



M Ű E G Y E T E M 1 7 8 2

Budapesti Műszaki és Gazdaságtudományi Egyetem

Villamosmérnöki és Informatikai Kar

Elektronikus Eszközök Tanszéke

Változtatható frekvenciájú lokális órajelelosztó központok áramkörei

TDK dolgozat

Készítette:

Riedl Tamás
(HKY4BB)

Konzulens:

dr. Bognár György
(BME-EET)

2012

Tartalomjegyzék

Kivonat	2
Abstract	3
1. Bevezetés	4
1.1. A VLSI áramkörökben alkalmazott órajelelosztó hálózatok	5
1.1.1. VLSI áramkörök adatútjai [2]	5
1.1.2. Órajel elosztó áramkörök felépítése [2]	8
1.2. Az órajel-elosztó hálózatokban alkalmazható ILO áramkörök	11
1.2.1. A külső jellel való befogás elméleti alapjai[3]	11
1.2.2. A külső jellel való befogás oszcillátorokban[3]	14
1.3. A frekvenciaosztó áramkörök	15
1.3.1. Frekvenciaosztó áramkörök felépítése és csoportosítása [2]	15
2. Az ILO áramkör megvalósítása	21
2.1. Az oszcillátor megvalósítása CMOS kapcsolástechnikával [4]	21
2.2. Az oszcillátor megvalósítása SCL kapcsolástechnikával	22
2.2.1. SCL inverter megvalósítása	22
2.2.2. SCL ring oszcillátor megvalósítása	28
2.3. Külső jel becsatolása, az ILO megvalósítása	30
3. Frekvenciaosztásra képes ILO áramkör tervezése	36
3.1. A megvalósítás elvi háttere	36
3.2. A selector blokk megvalósítása	36
3.3. Egyéb megvalósítások vizsgálata	39
4. Eredmények összegzése	41
Ábrák jegyzéke	43
Táblázatok jegyzéke	44

Kivonat

TDK munkámban az órajel elosztó hálózatok egyik legfontosabb részárámkörének, egy újszerű lokális órajel elosztó központi áramkör kutatásával és fejlesztésével foglalkoztam. A mai nagy bonyolultságú integrált áramkörök szinkron eszközök, ezért biztosítanunk kell számukra a pontos órajel-ellátást. A modern UVLSI áramkörök ma már igen nagy frekvencián üzemelnek (több GHz), valamint méretük eléri a néhány cm^2 -t is, ezért komoly problémát jelent az órajel felfutó élet minden regiszterhez egyszerre eljuttatni. Ha ez nem történik meg, akkor funkcionális hiba lép fel. A technológiai méretek csökkentésével a késleltetés tovább növekszik, hiszen a vezetékezésen nagyobb oldalfal kapacitás alakul ki, így növekszik annak $\tau = R \cdot C$ időállandója. Ennek a problémának a megoldására a fizikai szintézis során fokozott figyelmet kell fordítani az egy áramköri részegységet alkotó cellák (ALU áramkörök, vezérlő áramkörök, stb.) minél közelebbi elhelyezésére és az ún. órajel elosztó hálózat kiépítésére. Sokféle megoldás született az évek folyamán az órajel megfelelő szétosztására. Dolgozatomban részletesen bemutatom a modern VLSI áramkörökben (processzorok, DSP) és System-on-Chip (SoC) rendszerekben alkalmazott órajel elosztó hálózatok (clock distribution networks) felépítését. Az új áramkör működése egy analóg frekvenciaosztó áramkörre épül, aminek alapját egy ILO (Injection Locked Oscillator - külső jellel befogott oszcillátor) adja. Dolgozatom második felében bemutatom a frekvenciaosztó áramkörök felépítését és működését valamint az Injection Locking jelenségét. Továbbiakban áttekintem és részletesen ismertetem a cél áramkör alapvető megvalósítási lehetőségeit valamint bemutatom az általam készített újszerű megvalósítás tervezésének lépéseit, szimulációs eredményeit. Az áramkört Cadence IC 6.1 integrált áramkör tervező rendszerrel és AMS $0,35 \mu\text{m}$ CMOS technológiára terveztem. Helyes funkcionális működését pedig szimulációkkal igazoltam.

Kutató fejlesztő munkám eredményeként előállított új áramkör egy alacsony fogyasztású, állítható frekvenciájú, a központi órajelre szinkronizálni képes áramkör, mely széleskörűen alkalmazható.

Abstract

In my Scientific Students' Association work, I dealt with the research and development of a novel local clock distribution center, which is one of the most important subcircuits of the clock distribution networks. The recent large scale integrated circuits are synchronous implements, therefore we need to provide the accurate clock signal for them. Due to the fact that the modern VLSI circuits run in high frequency (several GHz) and reach a few cm^2 in size, it is a real difficulty to get along the clock signal to the registers simultaneously. In case it fails, functional error occurs. Reducing the dimensions, the delay becomes greater, due to the increased side capacity ($\tau = R \cdot C$). In order to solve this problem, we have to place the component circuits (ALU, controller circuits) close to each other and build up a clock distribution network. Over the years, many solutions have been developed to distribute the clock signal properly. In this work, I present the structure and operation of the CDNs (Clock Distribution Networks) used in VLSI circuits and SoC (System-on-Chip) systems in detail. The new circuit is based on an analog frequency divider, which is based on an ILO (Injection Locked Oscillator). Section 2 describes the structure and operation of frequency dividers, and the injection locking phenomenon. Hereinafter I review and describe the possible implementation ways of the target circuit in detail and I present the steps of the design of my novel implementation as well as the simulation results. I designed the circuit with the Cadence IC 6.1 design software in $0,35 \mu\text{m}$ AMS technology. I have verified the correct functional operation with simulation results.

The new circuit I designed as a result of my research and development work is a low-power frequency divider which is able to synchronize to a clock signal and broadly applicable.

1. fejezet

Bevezetés

TDK munkám során a VLSI áramkörökben (processzorok, DSP) és System-on-Chip (SoC) rendszerekben alkalmazott órajel elosztó hálózatok (CDN – Clock Distribution Networks) felépítésével és működésével foglalkozom. Mivel a mai nagybonyolultságú integrált áramkörök szinkron eszközök, ezért biztosítanunk kell számukra a pontos órajel-ellátást. Az említett áramkörök ma már igen nagy frekvencián üzemelnek, valamint méretük eléri a néhány cm^2 -t is, ezért komoly problémát jelent az órajel felfutó élét minden regiszterhez egyszerre eljuttatni. Ha ez nem történik meg, akkor funkcionális hiba lép fel. Sokféle megoldás született az évek folyamán az órajel megfelelő szétosztására. Munkámban áttekintem az alapvető megvalósítási lehetőségeket, valamint bemutatok egy általam készített, ILO alapú megvalósítást is.

Az ún. injection locking (külső jellel történő befogás) jelenségét ismertetem. Az injection locking vizsgálatának korszakalkotó műve Robert Adler: A study of locking phenomena in oscillators[1] című cikke volt, melyben először vizsgálta oszcillátorokra vonatkoztatva a jelenséget. Ebben a cikkben publikálta a róla elnevezett Adler-egyenleteket is, melyek a külső jellel befogható oszcillátorok (ILO – Injection Locked Oscillator) működésének alapjait írják le. Egy ilyen oszcillátor működésének lényege az, hogy egy külső, becsatolt jel frekvenciájára képes ráhangolódni, ezáltal szabályozható a kimeneti jel frekvenciája. Ezek után egy ilyen oszcillátor tervezési lépéseit mutatom be, valamint az áramkör működését szimulációkkal is igazolom.

Előfordulhatnak azonban az áramkörben olyan részegységek is, amelyek kisebb frekvencián képesek működni, mint a többi egység. Ezeket nem érdemes ugyanekkora frekvenciájú órajellel ellátni, mivel fölöslegesen növelik az áramkör fogyasztását. A fogyasztással együtt növekszik a disszipálódó hő is, ami processzorok esetén szintén komoly problémát jelent. Ezen problémákat figyelembe véve elmondható, hogy hasznos lehet, ha a rendelkezésre álló órajel-frekvenciát képesek vagyunk leosztani, és ezekhez a blokkokhoz az alacsonyabb frekvenciájú órajelet eljuttatni.

Munkám fő célja, hogy frekvenciaosztásra képes ILO áramkört hozzak létre, minél alacsonyabb fogyasztással, minél nagyobb önrezgési frekvencián.

1.1. A VLSI áramkörökben alkalmazott órajelelosztó hálózatok

Az órajel az a jelvezeték, ami a leghosszabb utat futja be az áramkör felületén, a legtöbb cellához csatlakozik (legnagyobb az ún. fanout-ja) és a legmagasabb frekvencián működik. A mai modern processzorok felülete akár a 2 cm^2 -t is meghaladja és akár $3,6 \text{ GHz}$ ($\lambda = \frac{c}{f} = 0,083 \text{ m} \approx 10 \text{ cm}$) frekvencián is működhetnek. Mivel a hullámhossz összemérhető a fizikai méretekkkel, ezért itt már a jel terjedését hullámterjedésként kell vizsgálni. Ebből egyértelműen következik, hogy az órajel mindenképp késleltetést szenved, mire eljut az adott celláig vagy regiszterig. A csíkszélesség csökkentésével ez a késleltetés egyre jelentősebbé válik.

A fő problémát azonban az jelenti, hogy a különböző elemekhez, a fizikai elrendezésük függvényében, hosszabb vagy rövidebb úton jut el az órajel. Ennek következtében eltérő fázisban ér oda az egyes egységekhez adott t_0 időpillanatban, aminek következtében azok eltérő ütemben szolgáltatnak kimeneti adatot. Ekkor legrosszabb esetben az is előfordulhat, hogy egy részáramkör még be sem fejezte a műveletvégzést, azonban a hozzá csatlakozó, és az ő eredményeit felhasználó egység már elkezdte feldolgozni a bemenetén lévő, azonban még nem érvényes adatot. A fáziselyesség biztosítása tehát egy kritikus tervezési lépés, ennek a problémának a megoldására születtek az ún. *órajel elosztó hálózati* struktúrák, melyek ezt a fajta szinkronitást hivatottak biztosítani.

1.1.1. VLSI áramkörök adatútjai [2]

Az adatok terjedésük során lokális és globális adatutakon haladnak keresztül. Lokális adatútnak nevezzük a két regiszter közötti jelutat, míg a globális adatútról akkor beszélünk, amikor egy adatút több lokális adatútból épül fel.

Lokális adatutak

A digitális szinkron áramkörök tulajdonképpen kombinációs hálózatokból és regiszterekből épülnek fel, ahol a kombinációs hálózat valósítja meg a funkciót, a két kombinációs hálózat között elhelyezett regiszter pedig szinkron működést biztosítja. A regiszter tárolja az előző kombinációs hálózat kimenetén megjelenő értéket a következő órajel felfutó éléig. Ekkor továbbadja azt a következő kombinációs hálózat bemenetére. A késleltetés okai tehát: a regiszterek, azoknak az írása és olvasása, a kombinációs hálózat és a vezetékezés maga.

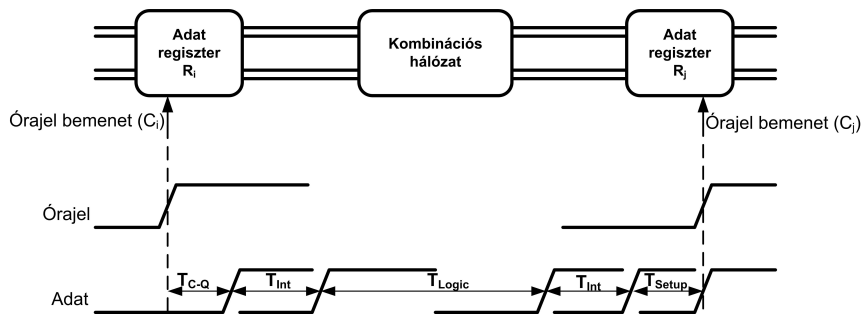
Az 1.1. ábrán látható egy két regiszterből álló szinkron hálózat blokkvázlata. Ha R_i regiszter kimenete és R_j bemenete között létezik legalább egy út (amit a kombinációs hálózat valósít meg), akkor azt mondjuk, hogy R_i és R_j regiszterek lokális adatutat valósítanak meg. Ebben az esetben az adatúton belüli jelterjedésre teljesül az 1.1. egyenlet:

$$\frac{1}{f_{clk,max}} = T_{CP}(min) = T_{PD}(max) + T_{skew}, \quad (1.1)$$

ahol $T_{CP}(min)$ a lehetséges legrövidebb órajel-periódus (Clock Period), $T_{PD}(max)$ az adatút maximális késleltetése (Propagation Delay) és T_{skew} az órajel-elcsúszás nagysága. Az órajel-periódus minimális hosszát úgy kell meghatározni, hogy ennyi idő alatt az R_i regiszterből származó utolsó adatjel is tárolódjon a következő regiszterben, jelen esetben R_j -ben (1.1. ábra). Teljesül továbbá az is, hogy

$$T_{PD}(max) = T_{C-Q} + T_{Logic} + T_{Int} + T_{Setup}, \quad (1.2)$$

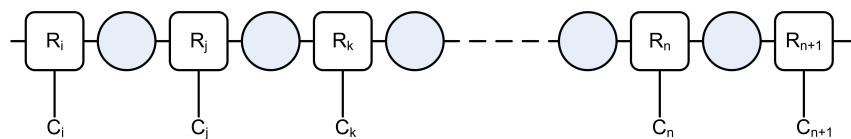
ahol T_{C-Q} annak a maximális időnek a nagysága, amely alatt az érvényes adat mindenképp meg jelenik a regiszter (R_i) kimenetén az órajel C_i felfutó élének hatására. $T_{Logic} + T_{Int}$ az az idő, ami alatt a jel a kombinációs hálózaton és az összeköttetéseken áthalad és T_{Setup} azt az időt adja meg, amennyi idővel az órajel következő felfutó éle előtt (C_j) az adatnak már érvényesnek kell lennie az R_j regiszter bemenetén (vagyis az R_j regiszterben történő eltárolás ideje).



1.1. ábra. A lokális adatút

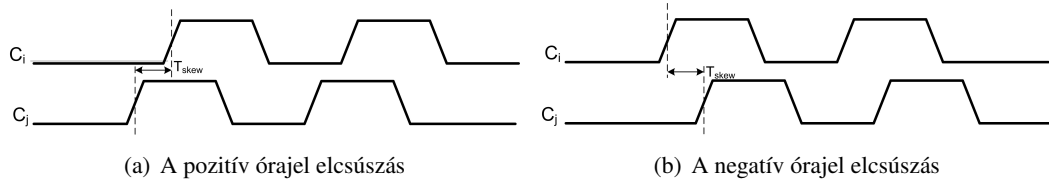
Globális adatutak

Az eddigiekben lokális adatutakról volt szó, most megvizsgálom az ezekből felépülő globális adatutakat is (1.2. ábra).



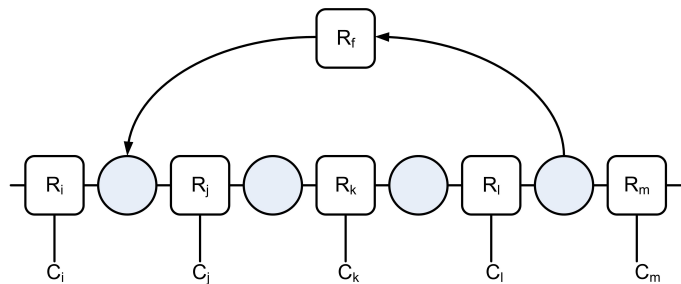
1.2. ábra. A globális adatút

Itt érdemes bevezetni az órajel-elcsúszás (clock skew) fogalmát. Órajel-elcsúszásról akkor beszélünk, ha két, egymással sorba kötött regiszter közül az egyikhez hamarabb érkezik meg az órajel felfutó éle, mint a másikkhoz (azaz fázishiba jelenik meg). A clock skew fogalma mind lokális, mind globális adatútra értelmezve van. Definíció szerint: „Az órajel elcsúszás a globális adatútban található bármelyik két regiszter között (ezek nem feltétlenül szomszédosak!) a két regiszter közötti regiszterpárok órajel elcsúszásainak az összege.” (1.3. ábra) Ezt úgy kell tehát érteni, hogy két regiszter, amely nincs közös globális adatútban, azok között nem lehet értelmezni órajel-elcsúszást (ez logikus is, hiszen két független regiszter között nincs adatáramlás).



1.3. ábra. A pozitív és negatív órajel elcsúszás

Előfordulhat visszacsatolás is a szinkron rendszerben. Ekkor azonban minden esetben igaz, hogy a visszacsatoló ág órajel elcsúszása és ugyanezen két regiszter közötti út órajel elcsúszása egyenlő nagyságú, de ellentétes előjelű (azaz irányú) (1.4. ábra). $T_{skew,feedback,lj} = -T_{skew,forward,jl}$. Fontos szabály továbbá, hogy bármekkora is legyen tetszőleges két regiszter között a $T_{PD}(max)$ késleltetés, soha nem érheti el az órajel egy periódusának hosszát.



1.4. ábra. A globális adatút visszacsatolással

Pozitív órajel elcsúszás

Ha az adatútban egy későbbi regiszteréhez az órajel hamarabb érkezik, mint az ugyanabban az adatútban lévő korábbi regiszterhez, akkor pozitív órajel elcsúszásról beszélünk (1.3(a). ábra). Ekkor az lehet a megoldás, ha az áramkör maximális frekvenciáját csökkentjük, nehogy az utolsó regiszter hamarabb tárolja el a bemenetén lévő adatot, mintsem megkapta volna az aktuális, ténylegesen eltárolandó értéket. Az órajel elcsúszásra jelen esetben teljesül, hogy

$$T_{Skew} \leq T_{CP} - T_{PD}(max) = T_{CP} - (T_{C-Q} + T_{Logic}(max) + T_{Int} + T_{Setup}), \quad (1.3)$$

ahol T_{Skew} a pozitív órajel elcsúszás mértéke. Ez a mai nagysebességű áramköreinknél valós probléma, megoldására a kritikus utak keresése és analízise vezethet. Egyes esetekben az is megoldás lehet, hogy az órajelet az adatvezeték mellett futtatjuk, ekkor így rákényszerítjük, hogy negatív elcsúszás alakuljon ki.

Negatív órajel elcsúszás

Abban az esetben tehát, amikor az adott adatútban egy későbbi regiszterhez később jut el az órajel felfutó éle, mint egy korábbihoz, negatív órajel elcsúszásról beszélünk (1.3(b). ábra). Hibamentes működést akkor tapasztalunk, ha R_f azt az adatot tárolja el, ami logikai kapcsolatban van az R_i

regiszterben az előző órajel periódusban eltárolt adattal, tehát nem az aktuális órajel periódusban eltárolt adattal dolgozik. Ekkor teljesül, hogy

$$|T_{Skew}| \leq T_{PD}(min) = T_{C-Q} + T_{Logic}(min) + T_{Int} + T_{Setup}. \quad (1.4)$$

A negatív órajel elcsúszás felhasználható a szinkron digitális rendszerek teljesítményének fokozására a kritikus utak késleltetésének csökkentésével. A kétféle elcsúszást szemlélteti az 1.3. ábra.

1.1.2. Órajel elosztó áramkörök felépítése [2]

Az órajel elosztó hálózatok feladata az órajel elcsúszás minimalizálása a szilícium teljes felületén. A modern integrált áramkörökről azonban elmondható az, hogy nincs rajta olyan adatút, amely a chip két átellenes pontját magába foglalná. Ebből viszont az következik, hogy az áramkör két átellenes pontja között nincs értelme clock skew-ról beszélni. Mivel az IC-k működési frekvenciája folyamatosan növekszik, ezért egyre kisebb a megengedhető órajel elcsúszás mértéke. Általánosságban elmondható, hogy tervezési ökölszabályként az órajel periódusidejének maximum 5 %-át érheti el. Kiszámolható, hogy ez pl. 3 GHz frekvencián kb. 16 ps-nak megfelelő érték.

Az órajel elosztó hálózatok fajtái

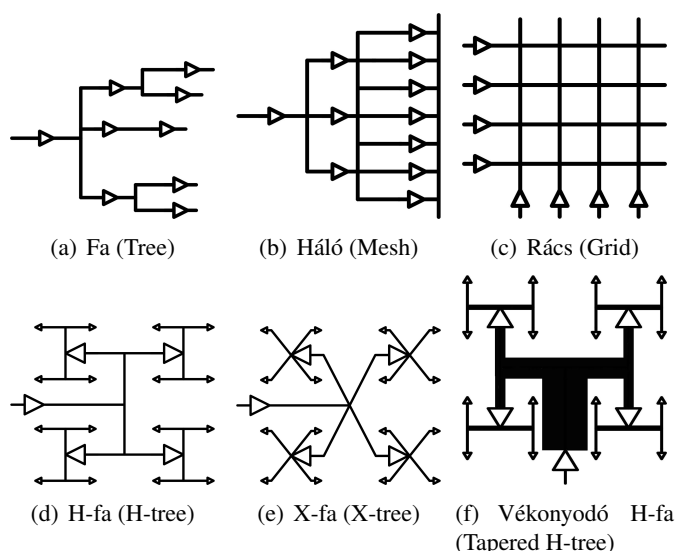
A továbbiakban bemutatom, hogy az órajel betáplálása és továbbítási módja szerint milyen órajel elosztó hálózatokat különböztethetünk meg.

- *Fa topológia:* Az integrált áramköri lapkára bejövő (PAD áramkör felől érkező) órajelet közvetlenül az beérkezési ponttól juttatjuk el az órajel vezérelt regiszterekhez fa topológiában. (1.5(a). ábra)
- *Szimmetrikus fa hálózat:* Az integrált áramkör szélén bejövő órajelet előbb az áramkör közepére vezetjük és onnan szimmetrikus, esetleg impedancia illesztett fa hálózattal juttatjuk el a chip többi részébe.
- *Chip közepén megvalósított órajel-generátor:* Az integrált áramkör közepén (néha a szélén) egy órajel generátor áramkörrel (általában fázis zárt hurokkal — PLL) magán a chipen állítjuk elő az órajelet és juttatjuk el onnan egy szimmetrikus (esetleg impedancia illesztett) fa hálózattal a chip többi részébe. Nagy előnye, hogy a PLL-ben alkalmazott frekvenciaosztó áramkör miatt az órajel frekvenciája állítható.
- *Rezonáns órajel elosztás:* Az egész órajel elosztó hálózat gyakorlatilag egy LC oszcillátorként működik, ahol a tárolt elektromos energia az induktivitás és a kapacitás között az oszcillátor rezonanciafrekvenciáján rezeg. Hátránya, hogy a működési frekvenciát csak szűk tartományban lehet állítani, valamint a nagy helyigény. Hátrány még, hogy az induktivitást nehéz szilíciumon megvalósítani.
- *VCO alapú elosztó hálózat:* Az integrált áramkör közepén létrehozunk egy vezérlő feszültséget, amit az egyes áramköri blokkokhoz vezetünk, ahol egy VCO (általában gyűrűs (ring)

oszillátor, de alkalmaznak LC oszcillátort is) segítségével állítjuk elő az adott áramkörü részegység számára szükséges frekvenciájú órajelet. A feszültség változtatásával az egyes blokkoknak (egymással nem kommunikáló blokkok esetén) akár különböző frekvenciájú órajel biztosítása is lehetővé válik. Nagy előny ebben az esetben, hogy nem egy frekvenciában változó, hanem egy egyenfeszültségű (de analóg) DC jelet kell továbbítanunk a chip felületén. Előnye továbbá, hogy rendkívül alacsony a fogyasztása (töltést csak a szivárgás miatt kell „pótolni”), viszont az induktivitások viszonylag nagy helyet foglalnak el (LC oszcillátoros megvalósítás esetén). Hátránya, hogy a rezgési frekvencia csak szűk tartományban állítható, valamint a technológiai szórások miatt előzetesen nehezen meghatározható a VCO sajátfrekvenciája, valamint a DC tápfeszültségre ülő zaj szintén elhangolhatja (a vezérlő feszültséggel persze befolyásolni lehet, valamint előzetesen kalibrálható is, de ezek is csak félmegoldások).

- *ILO alapú órajel elosztó hálózat*: ILO (Injection Locked Oscillator – külső jellel befogott oszcillátor) áramköröket alkalmazunk a szilíciumon a lokális órajel előállítására. Az integrált áramkör közepén állítjuk elő a globális órajelet, amivel vezéreljük az áramkörü részegységek saját lokális órajelét előállító ILO áramköröket. ILO áramkörök is hasonlóan működnek, mint az egyszerű VCO áramkörök, azonban előnyük, hogy képesek magukat szinkronizálni a globális órajelhez, valamint a globális órajel frekvenciájánál nagyobb ($f_{global} \cdot n$) vagy kisebb frekvenciájú ($\frac{f_{global}}{n}$) lokális órajelet is elő tudnak állítani megfelelő vezérlés mellett.

A különböző órajel elosztó hálózatokban alkalmazott topológiákat mutatja be az 1.5. ábra.



1.5. ábra. A különböző órajel elosztó topológiák

A leggyakrabban alkalmazott a fa (*tree*) topológia (1.5(a). ábra), ahol az órajel erősítők (buffer) az órajel elosztó hálózat mentén, egymás után kötve vannak elhelyezve, így egy fa struktúrát alkotva. A puffer áramkörök méretét és számát egy útban a terhelő kapacitásoknak és a maximálisan megengedhető órajel elcsúszásnak megfelelően kell beállítani! Valamivel fejlettebb megoldás a háló (*mesh*) topológia (1.5(b). ábra), amikor a puffer áramkörök kimenetét összekötjük, illetve a

rács (*grid*) topológia (1.5(c). ábra), amikor hálót két irányból is tápláljuk.

Modern nagyfrekvencián működő processzorok esetén azonban a hierarchikus felépítésű H-fa (1.5(d). ábra) illetve az X-fa (1.5(e). ábra) topológiát alkalmazzák. Ebben az esetben az órajel ellátás már a processzor közepéről történik meghajtva egy H illetve X alakú struktúra négy sarkát. Ezekre a sarkokra újabb, de kisebb H illetve X alakú struktúrák kapcsolódnak (lehet felváltva is a H és X alak), és ez ismétlődik, amíg a regiszterek szintjére nem jutunk. Köszönhetően a szimmetrikus felépítésnek a chip közepétől (az órajel forrásától) a fa struktúra végpontjáig (a regiszterekig) az órajel ugyanakkora késleltetést szenved.

A fokozatosan vékonyodó (*tapered*) H-fa esetén (1.5(f). ábra) az órajel vonalak impedancia illesztése a fő cél, ezzel is csökkentve a reflexiót az elágazásokban. Az elágazásba érkező órajel vezeték impedanciája pontosan a fele az elágazódást elhagyó órajel vezetékeknek. [2]

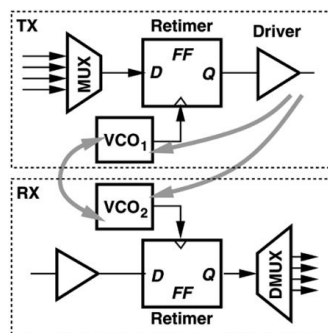
A szinkronitás biztosítása a nagy integráltsági fokú áramkörök tervezésének egyik legfontosabb feladata. Céлом tehát, hogy egy jól működő, optimális órajelelosztó hálózatot valósítsak meg. Ehhez a továbbiakban az órajelelosztó hálózatok egyik fajtáját, az ILO alapú órajelelosztó hálózatot fogom vizsgálni. Először az injection locking jelenség bemutatásával kezdem, majd az ILO áramköröket tekintem át röviden.

1.2. Az órajel-elosztó hálózatokban alkalmazható ILO áramkörök

1.2.1. A külső jellel való befogás elméleti alapjai[3]

Minden rezgő rendszernél megfigyelhető, hogy ha másik, hasonló frekvenciájú rezgéssel kerül kapcsolatba, akkor azok valamilyen módon hatnak egymásra. Ha elég erős a csatolás és a két frekvencia eltérése megfelelően kicsi, akkor megvalósul a befogás, összehangolódnak, és azonos frekvencián rezegnek tovább. Ez az injection locking, azaz a külső jellel történő befogás jelensége. Azonban, ha ezen két feltételből egy nem teljesül, akkor oly módon is hathatnak egymásra, hogy nem hangolódnak ugyan össze, de mégis elhangolják egymás frekvenciáját. Ezt nevezzük injection pulling jelenségnek.

Már a korai 17. században Christiaan Huygens holland fizikus, miközben az ágyban feküdt betegsége miatt, megfigyelte, hogy két ingaóra, melyek a egymáshoz falon közel helyezkedtek el, egy idő után összehangolódtak, és azonos fázisban jártak tovább. Ezek alapján megállapította, hogy rezgő rendszerek a falon keresztül történő mechanikai csatolása miatt az órák között szinkronizáció történt. Később tudósok azt is megfigyelték, hogy ha embereket egy elszigetelt bunkerbe zárnak, a külvilág minden behatását kizárva, akkor idővel az emberek alvás-ébrenlét ciklusa beáll egy 25 órás ciklusba (analógia: oszcillátorok szabadonfutó frekvenciája). Ha visszakerülnek a külvilági környezetbe, akkor visszaállnak a Föld 24 órás periódusidejére, azaz ráhangolódnak egy külső jelle, megvalósul az injection lock jelensége, azaz a befogás. A rezgő rendszerek összehangolódása nagyon sok alkalmazás esetében hasznos lehet, azonban számos eset előfordul, amikor ez a hatás negatív következményeket vonz maga után. Erre példa lehet egy szélessávú adó-vevő áramkör abban az esetben, amikor az adó VCO-ja (VCO_1) az adó a lokális kristály oszcillátor rezgése által kerül befogásra, míg a vevő VCO-ja (VCO_2) pedig az emiatt megváltozott frekvenciájú jelre hangolódik rá teljesen vagy részben (tehát kicsit eltérő frekvenciát vesz fel)(1.6. ábra).



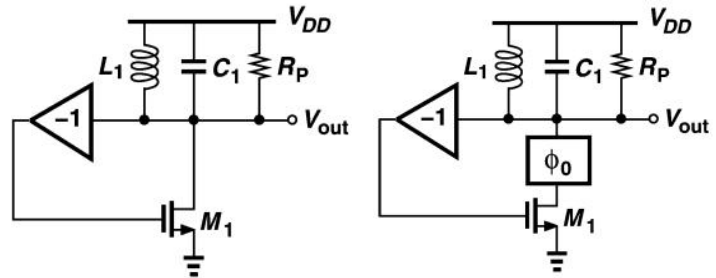
1.6. ábra. Az injection pull jelensége egy szélessávú adóvevő eszközben

Egy egyszerű oszcillátor esetében (1.7. ábra), ahol elhanyagoljuk a parazita hatásokat, teljesül, hogy a rezgőkör szabadonfutó frekvenciája $\omega_0 = \frac{1}{\sqrt{L_1 C_1}}$. Nézzük meg, mi történik akkor, ha az áramkörbe beiktatunk egy fázistoló elemet (1.7(b). ábra)! Az oszcillátor többé nem a saját szabadonfutó frekvenciáján (ω_0) üzemel, mert a rezgőkör 360°-os forgatásához hozzá jön a ϕ_0 fázistolás. Ekkor, ahogy az 1.7(c). ábrán látható, az oszcillátor egy új, ω_1 frekvenciára áll át.

Ezek után helyettesítsük a ϕ_0 fázistolást végző részáramkört egy áramforrással, amely szinuszos áramot ad az M_1 tranzisztor drain-jére, ezzel állítva elő a ϕ_0 fázistolást (1.7(d). ábra). Ha a beinjektált I_{inj} amplitúdóját és frekvenciáját körültekintően választjuk meg, akkor az áramkör az ω_{inj} frekvencián fog rezegni az eredeti (ω_0) frekvencia helyett. Ilyen feltételek mellett elmondható, hogy V_{out} és I_{inj} között fáziskülönbségnek kell lennie (1.8(a). ábra), hiszen:

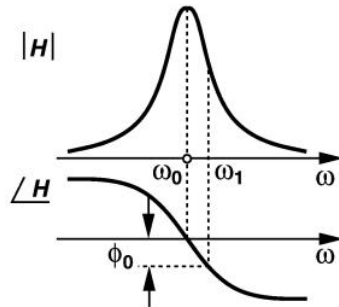
1. az $\omega_{inj} \neq \omega_0$ betáplált frekvencia miatt fázistöbblet alakul ki (ϕ_0), aminek következtében a V_{out} fázisa elfordul az I_T fázisához képest, valamint
2. az I_{osc} áram továbbra is fázisban marad a V_{out} feszültséggel, emiatt I_{osc} fázisa is eltér I_T fázisától. Ez azt eredményezi, hogy I_{osc} és I_{inj} között is fázis különbség lesz (Θ). (Azonban ha I_{osc} és I_{inj} azonos fázisban lenne, akkor I_T is összehangolódna a V_{out} feszültséggel.)

Az I_{osc} és a I_{inj} között kialakult fáziskülönbség miatt az I_T áram frekvenciája összehangolódik I_{osc} frekvenciával, miután a fázistolás (ϕ_0) lezajlik.

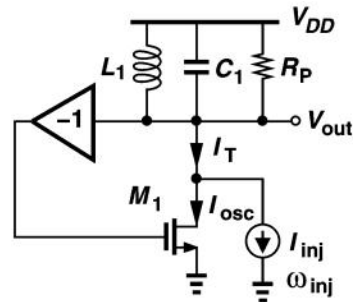


(a) Egy egyszerű oszcillátor

(b) Frekvencia-eltolódás a hozzáadott fázistolás miatt



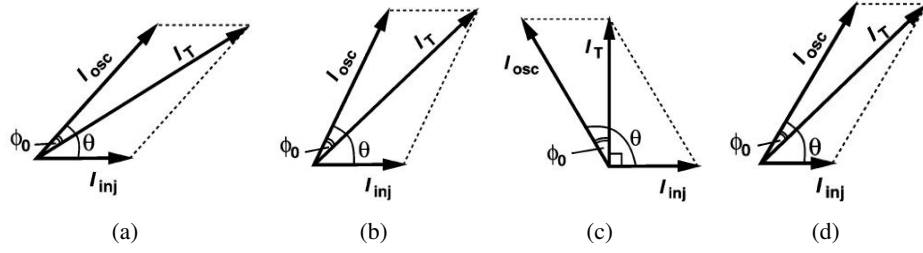
(c) Nyílt hurkú karakterisztikák



(d) Betáplálás miatti frekvenciatolás

1.7. ábra. Az injection locking bemutatása egy hagyományos oszcillátor

Az ω_{inj} értéke azonban nem lehet akármekkora. Létezik egy olyan tartomány ω_0 körül, amire a befogás még megvalósulhat. Ezt a tartományt nevezzük befogási tartománynak (locking range). Ennek meghatározására bemutatok egy fazorábrát (1.8(a). ábra), ahol ω_{inj} frekvencia eltér ω_0 értékétől. A rezgőkörben lezajló fáziseltolódás mértékének folyamatos növekedése miatt az I_{osc} és I_T közötti szög is növekedni fog. Ez azt eredményezi, hogy az I_{osc} az óramutató járásával ellentétes irányban forogni kezd (1.8(b). ábra).



1.8. ábra. Fáziskülönbségek különböző $|\omega_{inj} - \omega_0|$ és I_{inj} esetén

A szinusz-tétel szerint egy tetszőleges háromszög oldalainak aránya megegyezik a szemközti szögek szinuszainak arányával, azaz

$$\frac{I_{inj}}{I_T} = \frac{\sin(\phi_0)}{\sin(180^\circ - \Theta)}. \quad (1.5)$$

A szinusz függvény szimmetriája miatt a $\sin(180^\circ - \Theta) = \sin(\Theta)$ egyenlet teljesül. Ebből következik, hogy

$$\sin \phi_0 = \frac{I_{inj}}{I_T} \sin \Theta \quad (1.6)$$

$$= \frac{I_{inj} \sin \Theta}{\sqrt{I_{osc}^2 + I_{inj}^2 + 2I_{osc}I_{inj} \cos \Theta}}, \quad (1.7)$$

melynek maximuma

$$\sin \phi_{0,max} = \frac{I_{inj}}{I_{osc}}, \quad (1.8)$$

ha

$$\cos \Theta = -\frac{I_{inj}}{I_{osc}}. \quad (1.9)$$

Ahogy az az 1.8(c). ábrán megfigyelhető, hogy a fáziskülönbség az I_T és az I_{inj} között addig növekszik, míg el nem éri a 90° -ot, ami azt eredményezi, hogy a kimenet és a bemenet között fellépő maximális fáziskülönbség $90^\circ + \phi_{0,max}$ -nak adódik. Az ω_{inj} értékének meghatározásához (jelen esetre vonatkoztatva) először azt kell megemlíteni, hogy a rezgőkör által okozott fáziseltolás a rezonancia közelében meghatározható a

$$\tan \alpha \approx \frac{2Q}{\omega_0}(\omega_0 - \omega_{inj}), \quad (1.10)$$

összefüggést alkalmazva, és felismerve az 1.8(c). ábrán, hogy $\tan \phi_0 = \frac{I_{inj}}{I_T}$ és $I_T = \sqrt{I_{osc}^2 - I_{inj}^2}$. Ebből következik, hogy

$$\omega_0 - \omega_{inj} = \frac{\omega_0}{2Q} \cdot \frac{I_{inj}}{I_{osc}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{osc}^2}}}. \quad (1.11)$$

Ezt a maximális eltérést jelöljük ω_L -lel, és megjegyezzük, hogy a teljes befogási tartomány $\pm\omega_L$

az ω_0 környezetében. (Az ω_L -t hívhatjuk egyoldali befogási tartománynak is.) Az megállapítható, hogy ha I_{inj} csökken, I_{osc} nagyobb szöget alkot I_{inj} -nel azért, hogy fenntartsa a ϕ_0 fáziskülönbséget I_T és I_{osc} között. Ekkor tehát az áramkör közelebb van a befogási tartomány széléhez.

Abban a speciális esetben, ha $I_{inj} \ll I_{osc}$, akkor az 1.7 egyenlet leegyszerűsödik a

$$\sin \phi_0 \approx \frac{I_{inj}}{I_{osc}} \sin \Theta \quad (1.12)$$

összefüggésre, mely magában foglalja, hogy ϕ_0 kicsi és $\sin \phi_0 \approx \tan \phi_0$. Az 1.10 és az 1.12 egyenletből kiadódik, hogy

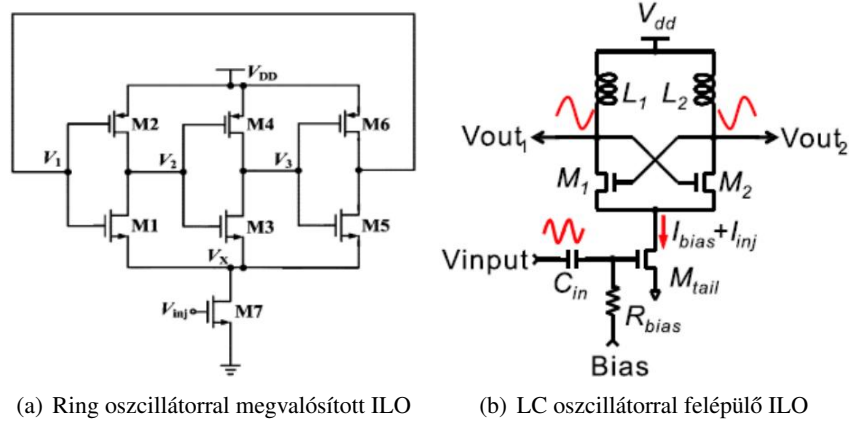
$$\sin \Theta \approx \frac{2Q}{\omega_0} \cdot \frac{I_{osc}}{I_{inj}} (\omega_0 - \omega_{inj}) \quad (1.13)$$

a bemenet és a kimenet közötti fáziskülönbség a befogási tartományban. Ahogy az egyértelmű az 1.8(c). ábra alapján, $I_{inj} \ll I_{osc}$ esetében ez a differencia eléri a 90° -ot a befogási tartomány szélén, és így szinkronizáció történik. A befogási tartomány ebben az esetben kinyerhető az 1.11 és az 1.13 egyenletekből:

$$\omega_L \approx \frac{\omega_0}{2Q} \cdot \frac{I_{inj}}{I_{osc}}. \quad (1.14)$$

1.2.2. A külső jellel való befogás oszcillátorokban[3]

A külső jelet mindig egy tranzisztor csatolja be az áramkörbe, ahogy láthattuk azt az 1.7. ábrán is. Ez a keverő tranzisztor. Különböző ILO áramköröket láthatunk az 1.9. ábrán. Mivel az induktivitás megvalósítása integrált áramköri lapkán még mindig problémát jelent, ezért dolgozatomban egy SCL kapcsolástechnikával megvalósított ring-oszcillátorral foglalkozok.



1.9. ábra. Különböző ILO megvalósítások

A ring oszcillátorok felépítése a következő: páratlan (és prím) számú invertert kötünk láncba, és az utolsó inverter kimenetét visszacsatoljuk a bemenetre. Mivel minden egyes inverter kimenetét parazita kapacitás terheli, így mindegyik visz egy kis késleltetést a rendszerbe. (A késleltetés abból adódik, hogy a fokozatok közötti vezetékkapacitásokat, illetve a következő fokozat bemeneti kapacitását véges árammal tölteni és kisütni kell.) Ennek köszönhetően a kezdeti értékről elindul az oszcilláció. Az egyes fokozatok késleltetése és azok páratlan száma miatt a rendszernek nincs

stabil állapota, oszcillál. Az oszcilláció frekvenciája a fokozatok késleltetésének és a fokozatok számának ismeretében az 1.15 összefüggés alapján számítható:

$$f = \frac{1}{T} = \frac{1}{N \times t_{pdp}}, \quad (1.15)$$

ahol t_{pdp} az inverterek párkésleltetése, N pedig a fokozatok száma. Az oszcillátor vezérlése a párkésleltetés befolyásolásával lehetséges. A töltő- és kisütő áram megfelelő beállításával megoldható a kimeneti ω_0 frekvencia befolyásolása.

A technológiai szórások következtében a szilícium felületén a ring-oszcillátorok (vagy VCO-k) azonos vezérlőfeszültség esetén eltérő önrezgési frekvenciát vehetnek fel. *Ha azonban a CDN-ben ezek helyett frekvenciaosztásra képes ILO áramkört alkalmazunk, akkor túl a disszipáció és a fogyasztás csökkentésén, elérhető lesz az oszcillátorok összehangolása is egy kis amplitúdójú vezérlőjel segítségével.*

1.3. A frekvenciaosztó áramkörök

A nagy bonyolultságú integrált áramkörök esetén nem minden blokkot érdemes azonos frekvencián működtetni. Léteznek ugyanis olyan áramköri részek, melyek lassabb működésre képesek, hiába kapnak gyakrabban órajel impulzust. Ekkor csökkenthető a fogyasztás és a disszipáció, ha ezeket alacsonyabb frekvenciájú órajellel tápláljuk meg. Indokolt tehát egy frekvenciaosztó áramkör létrehozása, amely biztosítani tudja a lassabb áramköri részek számára az alacsonyabb órajel frekvenciát.

1.3.1. Frekvenciaosztó áramkörök felépítése és csoportosítása [2]

A frekvenciaosztó áramköröknek többféle csoportosítása létezik. A frekvenciaosztók a működésük során beállítható osztásarányok száma szerint az alábbiak lehetnek:

1. Állandó osztásarányú frekvenciaosztók (*Prescaler*)
2. Két érték között állítható osztásarányú frekvenciaosztók (*Dual-modulus Prescaler – DMP*)
3. Állítható osztásarányú frekvenciaosztók (*Presetable Divider; programmable Divider; Divide-by-N circuits*)
 - Számlálóból felépülő frekvenciaosztók
 - Léptető regiszterből felépülő frekvenciaosztók
 - DMP-ből felépülő frekvenciaosztók (*Variable Modulus Prescaler; Multi-Modulus Prescalern*)
4. Pulzus Elnyelő áramkörök (*Pulse Swallower Circuits*)

Más megközelítés szerint megkülönböztethetünk szinkron és aszinkron frekvenciaosztót. Szinkron frekvenciaosztó esetében az egymásután kötött blokkokat egy közös órajel vezérli, ezért

gyorsabb működésre képesek, mint az aszinkron osztók, azonban minden egység a bejövő, maximális órajel frekvenciával működik, ami az áramfelvétel jelentős növekedését okozhatja. Aszinkron frekvenciaosztó esetén az n . fokozat kimenete szolgáltatja a következő $(n + 1)$. fokozat(ok) leosztott órajelét, így az eredeti órajelhez képest a következő fokozatok órajele pontosan n számú fokozat késleltetését szenved el, ami megnöveli az áramkör fázistolását. Mivel a osztót felépítő blokkok nem a maximális frekvenciával működnek, ezért a fogyasztás alacsonyabb, mint szinkron esetben.

Állandó osztásarányú frekvenciaosztók

A legegyszerűbb frekvenciaosztók egy előre beállított állandó számmal osztanak. Ezt az osztásarányt megváltoztatni sem működés megkezdése előtt, sem működés közben nem lehet. Ezeket az osztókat állandó osztásarányú frekvenciaosztónak nevezzük. A legegyszerűbb ilyen frekvenciaosztó egy olyan master-slave D tároló, amelynek a negált kimenete vissza van kötve a bemenetére, így a kimeneti érték órajel periódusonként invertálódik, így a bejövő jel frekvenciáját a master-slave D tároló kettővel osztja le. Ezzel a kapcsolási módszerrel végeredményben egy T flip-flopot kapunk. Így n darab T flip-flop összekötésével $1 : 2^n$ osztásarány valósítható meg.

Két érték között változatható osztásarányú frekvenciaosztók

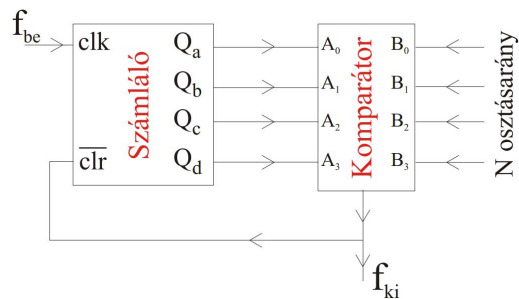
Más frekvenciaosztók esetén a frekvencia osztásának aránya – akár működés közben is – két előre meghatározott, fix érték között változatható. Ezeket a frekvenciaosztókat *Dual-Modulus Prescaler-nek (DMP)* hívjuk. A két érték között változatható osztásarányú frekvenciaosztó használata esetén az osztásarány két előre megtervezett, rögzített érték lehet. Így a bemeneti jel az osztásarányt kiválasztó jelnek megfelelően lesz leosztva. Ez az osztásarány akár menet közben is változatható. Tipikusan 2 – 3 és 4 – 5 közötti osztásarányú változatokat használnak.

Állítható osztásarányú frekvenciaosztók

Ha a működés ideje alatt az osztás értéke szabadon változatható (2-nél több osztásarány), akkor állítható osztásarányú frekvenciaosztókról beszélünk (*Pre-settable Divider*). Az ilyen típusú frekvenciaosztóknak több – architektúrájukban különböző – megvalósítási lehetősége van. Gyakorlati alkalmazások során, ha a frekvenciaosztó áramkörbe bejövő frekvencia túl magas ahhoz, hogy a változatható osztásarányú frekvenciaosztó fokozat megfelelően működjön, akkor állandó osztásarányú frekvenciaosztót alkalmazunk a bemeneten. Ezáltal a bejövő frekvenciát egy ilyen, magas frekvencián működni képes egyszerű áramkörrel oly mértékben csökkentettük le, hogy az állítható osztásarányú frekvenciaosztó már fogadni tudja ezt a frekvenciájában lecsökkentett jelet úgy, hogy működésében ne essen hiba.

Számlálóból felépülő frekvenciaosztó

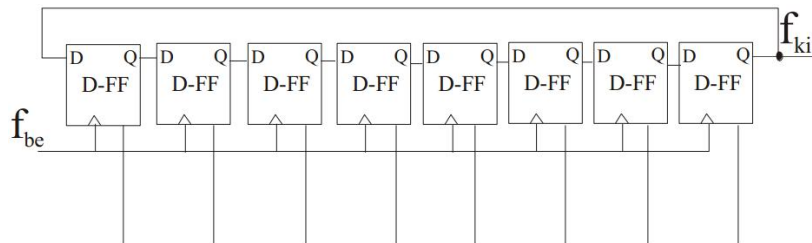
Az állítható osztásarányú frekvenciaosztók legegyszerűbb esete az, mikor a frekvenciaosztó áramkör tulajdonképpen egy – párhuzamos bemenettel rendelkező – számlálóból épül fel (1.10. ábra). A számláló a beérkező jel ütemére elkezd felfelé számolni, egészen addig, amíg el nem ér egy előre beállított értéket (N). Ha ezt az előre beállított értéket eléri, akkor a számláló lenullázódik és újraindul. Így a bejövő jel minden N -edik ütemére jelenik meg egy impulzus a kimeneten, tehát az áramkör N értékkel osztja a bejövő frekvenciát. Másik esetben az áramkör egy beállított N értéktől lefelé számol, és mikor eléri a 0-t, akkor a számlálóba parallel újra betöltődik ez az N érték.



1.10. ábra. Számlálóból felépülő frekvenciaosztó

Léptető regiszterből felépülő frekvenciaosztó

A shift regiszteres megoldás esetén egy bemenetére visszacsatolt léptető regiszterbe (1.11. ábra) betöltött bináris értéket (mely meghatározza az osztásarányt) az órajel ütemére léptetjük, így a léptető regiszter kimenetén megjelenő jel már a leosztott frekvenciájú jelet szolgáltatja. Például, ha egy 8 elemű léptető regiszterbe 10101010 értéket töltünk, akkor a bejövő jel frekvenciáját 2-vel fogja leosztani az áramkör. Előnye, hogy a betöltött érték szabadon változtatható a működés során. Hátránya viszont a nagyobb fogyasztás, hiszen több D-tárolót alkalmazunk, és mindegyik a maximális működési frekvencián üzemel.



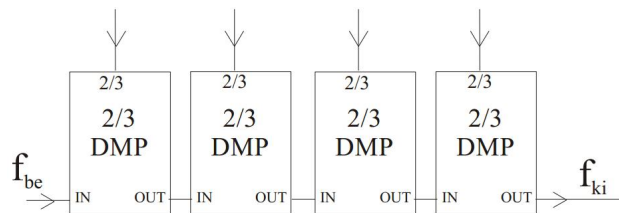
1.11. ábra. Léptető regiszterből felépülő frekvenciaosztó

DMP-ből felépülő frekvenciaosztó

Az olyan állítható osztásarányú frekvenciaosztókat, amelyek csak két érték között változtatható frekvenciaosztókból épülnek fel, Variable Modulus vagy Multimodulus Prescaler-nek nevezzük. DMP-ből felépülő frekvenciaosztó áramköröket két üzemmódban lehet használni. Számláló típusú üzemmód esetén az egymás után kötött DMP fokozatok osztásarányainak a szorzata adja a teljes frekvenciaosztó áramkör osztásarányát (1.12. ábra). Ha a bemenő jel frekvenciája f_{be} , akkor a kimenő jel frekvenciája:

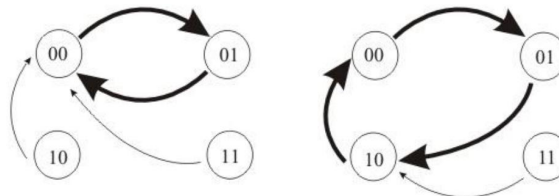
$$f_{ki} = \frac{f_{be}}{X^N \cdot Y^M}, \quad (1.16)$$

ha N az éppen X értékkel osztó, M az éppen Y értékkel osztó DMP fokozatok száma.



1.12. ábra. DMP-ből felépülő frekvenciaosztó

Variable Modulus frekvenciaosztó áramkörök egyik válfaja a pulzus elnyelő (*pulse swallower*) típusú frekvenciaosztók. Ezen frekvenciaosztók működése során egy előre meghatározott számú ütem elérésekor (N) jelenik meg az áramkör kimenetén egy impulzus. Ha működése során ezen ütemek közül B darabot elnyelünk, akkor az áramkör kimenetén megjelenő jel pontosan B ütemmel késleltetve jelenik meg, tehát az osztásarány $N + B$ -re fog változni. Ez az B érték menet közben változtatható, így nagyon rugalmas, gyorsan állítható frekvenciaosztókat lehet megvalósítani. Az ilyen típusú frekvenciaosztókban található DMP blokkok azonban periódusonként csak egy impulzust nyelhetnek el. Ezért biztosítani kell, hogy az osztásarány választó bemenetükön olyan impulzus jelenjen meg, hogy 1 legyen, mikor a DMP már 01 állapotba kerül, és 0 legyen, mire az áramkör újra eléri működése során ezt a 01 állapotot (1.13. ábra). Hátránya, a léptető regiszteres megvalósításhoz hasonlóan, hogy itt is minden DMP fokozat a maximális frekvencián működik, így nagyobb lesz az áramkör fogyasztása. Előnye, hogy rugalmas, és gyorsan állítható az osztásarány.

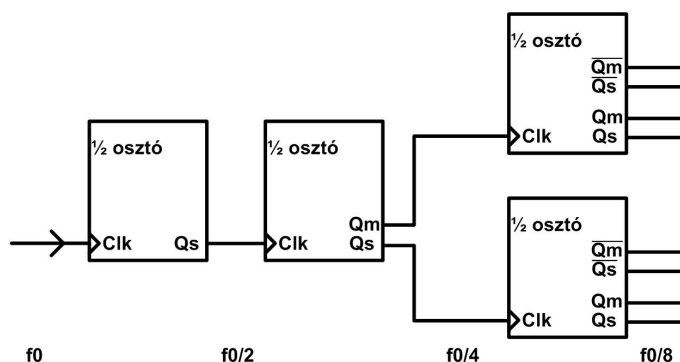


1.13. ábra. DMP állapotgráfja

Fázisváltáson alapuló frekvenciaosztó

A módszer lényege abban rejlik, hogy egyszerre több darab, fázisban eltoló, azonos periódusidejű jelet állítunk elő, és megfelelő vezéréssel ezek között kapcsolgatva érjük el egy adott pulzus elnyelését.

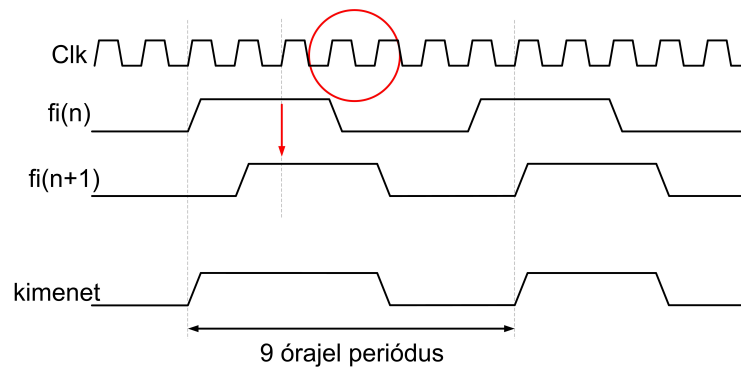
A jelenséget egy konkrét példán keresztül lehet jól bemutatni. Vegyük az 1.14. ábrán látató elrendezést. A bejövő nagyfrekvenciás jel először egy statikusan kettővel osztó master-slave T flip-flop áramkörbe kerül. Látható, hogy szemben DMP fokozatokat alkalmazó megvalósítással, itt a bejövő, legmagasabb frekvencián csak egyetlen flip-flop áramkör működik. Ezt a kettővel osztott jelet egy újabb T flip-flopba vezetjük, azonban a második flip-flop master és slave kimenetét külön-külön is kivezetjük. Mindkét kivezetésre egy-egy újabb T flip-flopot kapcsolunk. A harmadik fokozat két T flip-flopja az eddig négyvel leosztott bemenő frekvenciát még kettővel leosztja, így a kimenő jelek frekvenciája az eredeti bemeneti frekvenciának a nyolcada.



1.14. ábra. A nyolc fázisjelet előállító, nyolccal osztó áramkör blokkdiagramja

A második master-slave T flip-flop kivezetett master és slave kimenete közül mindkettőn az eredeti bemenő órajel frekvenciájának fele jelenik meg, de mivel az egyik fokozat a felfutó órajel-élre vált, míg a másik a lefutóra, a két jel között pontosan 90° fázistolás lép fel. Ez azt jelenti, hogy a második kettővel osztó áramkör master és slave kimenetére kapcsolt T flip-flopok időben elcsúszva dolgoznak. Az utolsó fokozatok ezt a két bemenő jelet osztják tovább kettővel. A kettővel osztás miatt a két utolsó fokozat megegyező jelalakú kimenő jelei egymáshoz képest 45° fázistolást mutatnak. A flip-flopokból mind a master, mind a slave ponált és negált jelét is kivezetjük. A végeredmény: nyolc darab jel, melyek frekvenciája a bemeneti jel frekvenciájának pontosan a nyolcada, azonban fázisban egymáshoz képest egy nyolcad periódussal el vannak tolvva. A nyolc fázisjelet egy multiplexerbe vezetjük. Ez a multiplexer a nyolc jelből mindig csak egy meghatározott jelet enged tovább a kimenetére. Ha a címző biteket működés közben nem változtatjuk meg, akkor a multiplexer folyamatosan ugyanazt a jelet engedi tovább. Így gyakorlatilag a bemeneten lévő osztók és a multiplexer áramkör egy statikus nyolccal osztó kapcsolást eredményez. Ha azonban működés közben a címző biteket úgy változtatjuk meg, hogy a kiválasztott jel lefutó élének hatására egy periódus alatt a multiplexer a szomszédos, időben késleltetett fázisjelre ugorjon át működés közben, akkor a kimeneten megjelenő periódusidő megnyúlik. Mivel az időeltolás a két fázisjel között éppen egy bemeneti órajel ciklus idejével egyezik meg, nyolc helyett pontosan kilenc órajel hosszúságú periódusidőt kapunk a multiplexer kimenetén.

Minden periódusban egyet léptetve az osztót folyamatosan kilenccel osztó üzemmódban működik (1.15. ábra). Ezzel tehát egy 8/9 között változtatható osztásarányú frekvenciaosztót kaptunk.



1.15. ábra. Fázisváltás következtében osztás kilenccel

A frekvenciaosztó áramkörök előnye, hogy segítségével az áramkör fogyasztása csökkenthető. A lassabb áramköri blokkok órajel-ellátását ugyanis szolgáltathatja egy frekvenciaosztó áramkör, mely a nagyobb frekvenciájú órajelből kisebbet állít elő. (Ez logikai változást nem eredményez.) A frekvencia csökkenésével pedig csökken a teljesítmény-felvétel, és így a disszipáció is.

2. fejezet

Az ILO áramkör megvalósítása

2.1. Az oszcillátor megvalósítása CMOS kapcsolástechnikával [4]

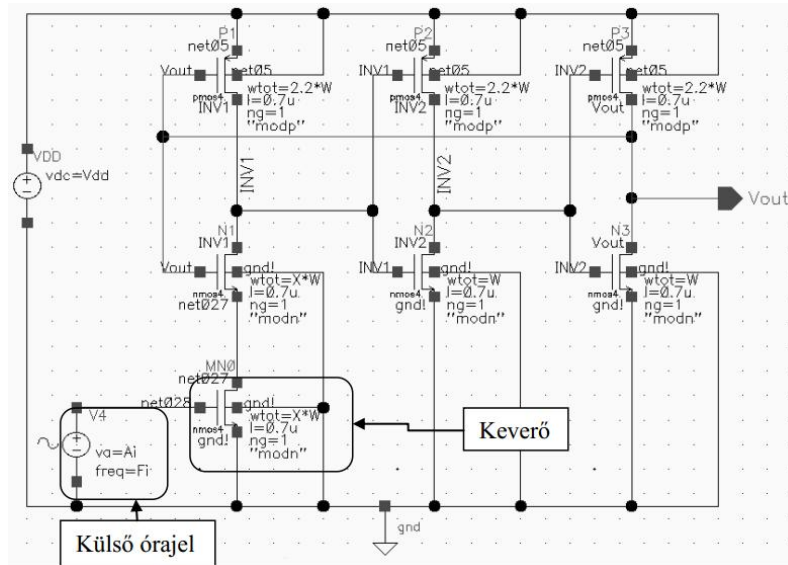
Egy CMOS kapcsolástechnikával megvalósított ring oszcillátor páratlan számú inverterből épül fel. Ezeket az invertereket sorba kell kötni, és az utolsó kimenetét az első bemenetére kell visszakötni (1.9(a). ábra). Egy CMOS inverter egy pMOS és egy nMOS tranzisztorból áll. A MOS tranzisztorok működését a

$$I_d = \frac{K}{2} \cdot \frac{W}{L} (|V_{GS} - V_T|)^2, \quad (2.1)$$

egyenlet írja le telítésszerű (saturation) tartományban. Az egyenletben $K = \frac{\mu_n \epsilon_{ox}}{t_{ox}}$ egy technológiai állandó, amiben $\frac{\epsilon_{ox}}{t_{ox}}$ a felületegységre eső oxidkapacitás, μ_n a csatorna töltéshordozóinak mozgékonyasága, W a csatorna szélessége, L a csatorna hosszúsága, V_{GS} a gate-source feszültség és V_T a tranzisztor küszöbfeszültsége. Ezen paraméterek közül a tervező csak a $\frac{W}{L}$ arányt tudja változtatni. Az L értéket célszerű lehetne az adott technológia minimumra (MFS – Minimal Feature Size) választani, hogy a lehető legkevesebb helyett foglaljon a chip felszínén. Azonban arra is figyelemmel kell lenni, hogy analóg áramkörök sokkal érzékenyebbek a technológiai szórásokra, mint a digitális áramkörök, ezért minimum ennek a kétszerese szükséges a megfelelő működéshez. Mivel 0,35 μm -es technológián dolgoztam, ezért az $L_p = L_n = 0,7 \mu\text{m}$ csatornahosszat találtam célravezetőnek. Az elektronok mozgékonyasága kb. 2..2,5-szer nagyobb, mint a lyukaké, ezért a $W_p = 2 \cdot W_n$ méretezéssel érdemes dolgozni. A W_n megválasztásával állítható be a ring oszcillátor sebessége, hiszen az n-csatornás MOS tranzisztor csatornaszélességétől függ, hogy milyen gyorsan sül ki a kimeneten lévő parazita kapacitás a föld felé. A felfutó él meredeksége ugyanakkor a pMOS tranzisztor csatorna szélességétől függ, ugyanis minél nagyobb áramot enged a kimeneti parazita kapacitásra egységnyi idő alatt, annál gyorsabban feltöltődik az.

Többféle megvalósításon gondolkodtam el, hogy hogyan érdemes a keverő tranzisztort bekötni az oszcillátorba, és ezek közül többet meg is valósítottam, majd szimulációkat végeztem. Ezek alapján kiderült, hogy a becsatoló tranzisztort a gyűrűs oszcillátor első fokozatában lévő nMOS tranzisztorának source-a és a föld közé érdemes bekötni, ahogy azt a 2.1. ábra mutatja.

A CMOS áramköri kapcsolástechnikával megvalósított ring oszcillátor előnye, hogy egyszerű



2.1. ábra. A külső jel becsatlóása a CMOS ring oszcillátorba egy nMOS keverő tranzisztorttal

felépítésű, csak dinamikus fogyasztása van és jelregeneráló hatása van, hiszen rail-to-rail működésű. Hátránya azonban, hogy 350 – 180 μm -es technológián nem érhető el vele több GHz-es frekvencia. Ennek oka, hogy a földig lehúzás, majd a tápfeszültségig történő felhúzás, azaz a kimeneti feszültség nagy peak-to-peak értéke miatt a jelnek több idő kell, hogy elérje a maximumot, majd a minimumot. Érdeemes tehát elgondolkodni rajta, hogy milyen egyéb megoldások valósíthatók meg, amelyek, bár némileg bonyolultabb kivitelűek, de nagyobb szabadonfutó frekvencia érhető el velük.

Két megoldást vizsgáltam. Az egyik egy LC oszcillátor megvalósítása volt. Előnye, hogy sokkal kisebb fáziszajjal rendelkezik, mint az egyéb megvalósítások esetében. Hátránya azonban, hogy nagyobb területet igényel a szilícium lapkán. A másik lehetséges megoldást az SCL (Source Coupled Logic) kapcsolástechnika nyújtja, erre esett a választásom. Tulajdonságait a 2.2. fejezetben ismertetem.

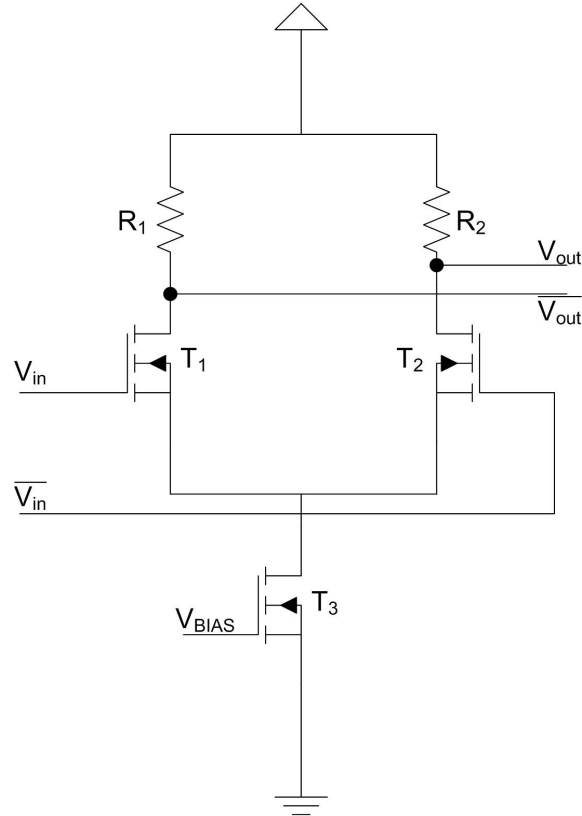
2.2. Az oszcillátor megvalósítása SCL kapcsolástechnikával

Tervezésre és a szimulációkra Cadence OPUS IC 6.1.4 nyílt integrált áramkör tervezőrendszert használtam. Az áramkört az Austria Microsystems 0,35 μm CMOS technológiára terveztem, 1,8 V-os tápfeszültségre.

2.2.1. SCL inverter megvalósítása

Az SCL áramkörök esetén differenciális formában történik a jelterjedés. Kis jelszinteket alkalmaznak, aminek következtében megnövekedik a zavarérzékenység, és jelentős sebesség növekedést lehet elérni annak köszönhetően, hogy a logikai szintek között áttöltési idő jelentősen

lecsökken (mivel nem rail-to-rail a működés). A logikai funkciók megvalósítását gyakorlatilag az áram folyásirányának a lehetséges áramutak között történő megválasztásával, átkapcsolásával lehet elérni. Így a kapcsolási tranziensekből eredő zaj kisebb lesz, valamint tisztább spektrum érhető el vele. A 2.2. ábrán látható az SCL kapcsolástechnika alapeleme, az SCL inverter. A T_3



2.2. ábra. Az SCL inverter kapcsolás

tranzisztor az áramgenerátort reprezentálja. A megvalósításban ez a tranzisztor egy áramtükör részeként jelent meg a kapcsolásban. Ennek a tranzisztornak a működés során végig a nagy kimenő ellenállású, elzáródásos tartományban kell működnie. Az áramgenerátor kimeneti ellenállásának a növelése érdekében javított áramtükör kapcsolást lehetne alkalmazni, viszont az alacsony tápfeszültség (1,8 V) miatt ez a megoldás nem kivitelezhető.

A két terhelő ellenállás értékének meg kell egyeznie. A T_1 és a T_2 tranzisztorok gate elektrodájára érkező jelnek megfelelően az áram vagy az egyik ágba, azaz R_1 -n keresztül, vagy a másik ágba, azaz R_2 -n keresztül fog elfolyani (ideális esetben, a gyakorlatban azonban gyakran előfordul, hogy hiába ellenütemben vezérellem a differenciálpár két tranzisztorát, mégis valamikor áram mindkét ágon folyni fog). Ennek megfelelően az egyik kimenet V_{DD} tápfeszültségen, a másik kimenet pedig $V_{DD} - I_{BIAS} \cdot R$ feszültség értéken lesz. A kimeneti feszültségkülönbség a terhelő ellenállás értékétől és az átfolyó áramtól függ. R_1 és R_2 ellenállások helyett (a nagy technológiai szórások miatt, valamint a nagy helyfoglalás és parazita kapacitások miatt) indokolt trióda tartományban működő pMOS tranzisztorokat alkalmazni terhelő ellenállásként. Ezeknek ugyanis nagyon pontosan méretezettnek kell lenniük, hogy pontos feszültség szinteket kapjunk vissza. Szilíciumon megvalósított ellenállás (pl.: PolySi ellenállás, diffúziós ellenállás) esetén

ennek a kritériumnak nem tudunk eleget tenni.

A két tranzisztor (T_1 és T_2) gate elektródáján mindig valamilyen tápfeszültség-közeli jel érkezik, ezért a tranzisztorok szinte mindig elzáródásos tartományban vannak. Így a rajtuk átfolyó áram majdnem maximális, azaz a $V_{DS} \geq V_{GS} - V_{THn}$ feltétel teljesül.

Legrosszabb esetben V_{DS} a legkisebb értékét veszi fel, a V_{GS} pedig a legnagyobb értékét, azaz teljesül, hogy

$$V_{DS} = V_D - V_S = V_{DD} - I_{BIAS} \cdot R = V_{CMki} - \frac{V_{SWki}}{2} - V_S, \text{ és} \quad (2.2)$$

$$V_{GS} = V_G - V_S = V_{DD} - I_{BIAS} \cdot R = V_{CMbe} - \frac{V_{SWbe}}{2} - V_S, \quad (2.3)$$

ahol V_{CMki} a kimenet, a V_{CMbe} a bemenet közösmódusú feszültsége. Ebből kifejezhető az alábbi összefüggés, ha a $V_{CMbe} = V_{CMki}$, és $|A|$ az áramkör feszültségerősítése, akkor

$$V_{SWbe} \leq \frac{2}{1 + |A|} \cdot V_{THn}. \quad (2.4)$$

Ha a ki- és bemeneti differenciális jelkülönbség egyforma, akkor $|A|=1$. Ezáltal felső becslést adhatunk a differenciális jelkülönbségre, azaz a technológiától és a hőmérséklettől függő nMOS tranzisztor küszöbfeszültségénél kisebb, a zajoknál nagyobb jelszint szükséges. Minél kisebb a feszültségváltozás, annál gyorsabb az áramkör.

Ezek után határozzuk meg a kapu késleltetését. A kimeneti feszültség időbeli lefutásának az egyenlete (2.5) a T_2 tranzisztor nyitásának pillanatát írja le, amikor az áram elkezd folyni az aktív (pMOS) terhelésen keresztül, azaz

$$V_{ki} = V_{DD} - V_{SWki} \cdot \left(1 - e^{-\frac{t}{R_{ki} \cdot C_L}} \right), \quad (2.5)$$

ahol R_{ki} a kimeneti ellenállás, C_L pedig a kimenetet terhelő kapacitások eredője (*source–gate kapacitás, drain–source átlapolódás, diódák kapacitásai, szubsztrát kapacitás, kimeneti vezeték kapacitása, következő fokozat bemeneti kapacitásainak az összege*). A késleltetés (kapcsolás pillanatától $V_{ki} = V_{DD} + 0,5 \cdot V_{SWki}$ értékig) felírható a következő összefüggéssel:

$$t_D = R_{ki} \cdot C_L \cdot \ln 2. \quad (2.6)$$

Meghatározható a kimeneti ellenállás értéke, a következő módon:

$$R_{ki} = \frac{V_{SWki}}{I_{BIAS}}. \quad (2.7)$$

Az aktív ágon, vagyis jelen esetben a T_2 tranzisztoron átfolyó áram megegyezik a T_3 áramgenerátor áramával, azaz

$$I_{BIAS} = \frac{K}{2} \cdot \frac{W}{L} (U_{GS} - V_{THn})^2. \quad (2.8)$$

A g_m meredekség kifejezhető a

$$g_m = \frac{dI_D}{dU_{GS}} = K \cdot \frac{W}{L} (U_{GS} - V_{THn}) \approx \frac{I_{BIAS}}{U_{GS} - V_{THn}} \quad (2.9)$$

összefüggéssel és

$$g_m \approx \frac{1}{R_{ki}} = \frac{I_{BIAS}}{V_{SWki}}, \quad (2.10)$$

minthogy $U_{GS} - V_{THn} = V_{SWki}$, így

$$t_D = \frac{2}{K} \frac{L}{W} \frac{C_L}{V_{SWki}} \ln 2. \quad (2.11)$$

Ebből tehát látható, hogy V_{SWki} értékének a lehető legnagyobbak kell lennie, hogy a késleltetés minél kisebb legyen. Érdemes az aktív terhelést megvalósító pMOS, valamint az nMOS tranzisztorok csatornahosszúságát a technológiai minimumon megvalósítani, mert ekkor csökken a parazita kapacitás értéke, és ezzel a késleltetés is. Azt is figyelembe kell venni azonban, hogy ekkor növekszik az áramkör technológiai szórásokra való érzékenysége is.

SCL áramkörökben a fogyasztás csökkentése érdekében mindig alacsony tápfeszültséget (1,8 V) alkalmazunk. Az SCL áramkörök működése az analóg működéssel van közvetlen kapcsolatban, ezért a méretezés analóg módon történik, munkaponti számításokkal és tranziens szimulációkkal. Emellett komoly gondot kell fordítani a hőmérséklet hatásainak és a technológia szórásának a figyelembevételére is [5].

A megvalósított kapcsolást, melyet a Cadence tervezőrendszerben terveztem, a 2.3. ábra szemlélteti. A T_5 és T_6 tranzisztorok valósítják meg az aktív terhelést, továbbá a szimuláció elvégzésére egy I_{DC} áramforrást is helyeztem a kapcsolásba, amit a T_3 tranzisztoron keresztül csatolok be az áramkörbe, és ez látja el árammal az oszcillátort. A PMOS tranzisztorok ekvivalens lineáris ellenállása (R_D) [6] alapján a következő módon számolható:

$$R_D = \frac{R_{int}}{1 - \frac{R_{DS}}{R_{int}}}, \quad (2.12)$$

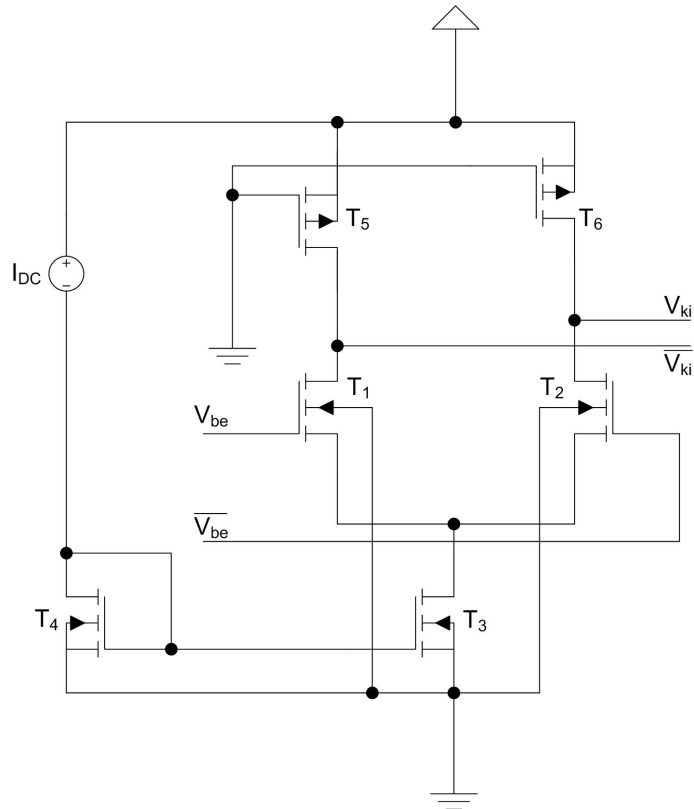
ahol:

$$R_{DS} = \frac{R_{DSW} \cdot 10^{-6}}{W_p}, \quad (2.13)$$

és

$$R_{int} = \left[\mu_{eff,p} C_{ox} \frac{W_p}{L_p} (V_{dd} - |V_{th,p}|) \right]^{-1}. \quad (2.14)$$

A fenti egyenletben R_{int} a pMOS tranzisztor intinsic ellenállása a lineáris tartományban, mely csak technológiai állandóktól, a tápfeszültségtől és a tranzisztor méreteitől függ. Ez az érték befolyásolja főként az ekvivalens lineáris ellenállás értékét, hiszen négyzetesen függ tőle (ahogy az a 2.12. egyenletből is látható). R_{DS} a drain-source parazita ellenállás értéke, R_{DSW} pedig ennek az empirikus modell paramétere.

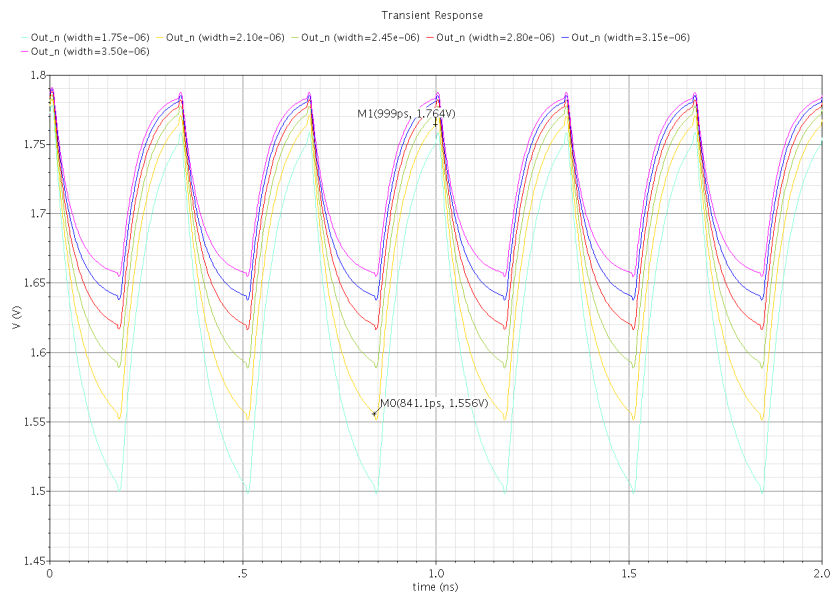


2.3. ábra. A megvalósított SCL inverter kapcsolás

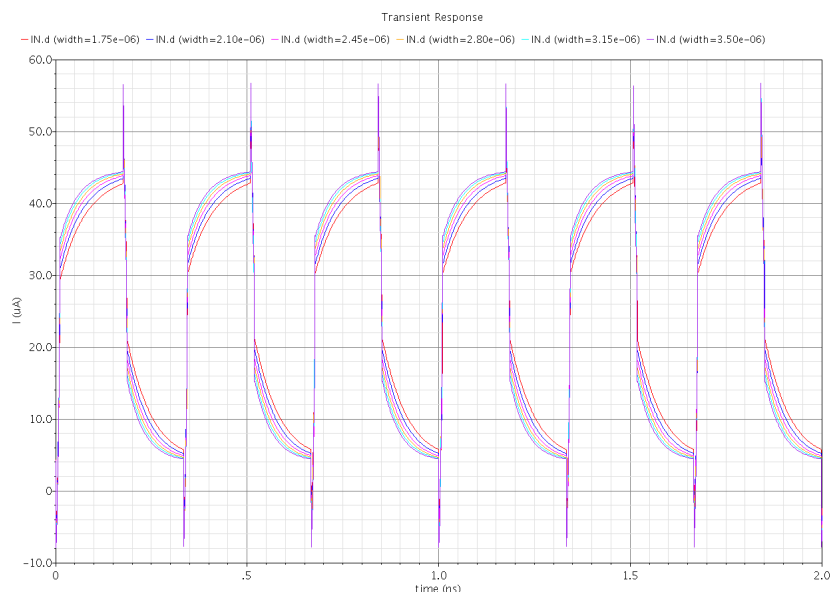
Az inverter szimulációjának eredménye a 2.4. ábrán látható. A szimulációt parametrikus analízissel végeztem, a pMOS aktív terhelés W paraméterét növelve figyeltem, hogy hogyan változik a kimenet feszültsége, valamint a T_1 tranzisztor árama. Zavaró lehet, hogy az inverter kimenetén nem szinuszos jel jelenik meg. Jelen helyzetben azonban nem az a fontos, hogy az inverter közel szinuszos jelet adjon ki, hanem, hogy meg tudjon hajtani egy másik ugyanolyan invertert, az így kialakított ring-oszcillátor kimenetén pedig megjelenjen a már ténylegesen közel szinuszos jel. A szimulációk és méretezések során figyelembe vettem egy olyan megállapítást, miszerint elég a kimeneten 200 – 300 mV feszültség-különbséget tartani, hiszen ez már azt eredményezi, hogy a logikai szint váltásához 400 – 600 mV-tal kell változtatni a feszültség-szintet[5].

A méretezés során a tapasztalataim a következők voltak:

- A pMOS aktív terhelés esetében a cél kettős volt. Egyrészt viszonylag nagy áramot kell átengednie, hogy V_{SWki} , azaz a kimeneti swing értéke kellően nagy legyen, hogy a kimeneten lévő parazita kapacitást hamar feltöltse, ezáltal a felfutóél meredekségének növelése érhető el. Ugyanakkor nagy ellenállással kell bírnia, hogy minél nagyobb swing kialakulhasson a kimeneten a „low” és a „high” szint között. Ez a két igény egymással ellentétes, ezért az optimalizáláskor arra törekedtem, hogy a minimális 200 mV legyen meg a kimeneten, de többet nem vártam el, így a feltételekhez képest a legnagyobb frekvencia érhető el.
- Az nMOS differenciál-pár méretezésekor az volt a feladat, hogy minél hamarabb ki tudjon rajta keresztül sülni a kimeneti parazita kapacitás, ezért nagy áramot kell tudnia átengedni, tehát széles csatornára van szükség. Egy adott korláton belül érdemes növelni az nMOS



(a) Az SCL inverter kimenete (V_{ki})



(b) A T_1 tranzisztor áramfelvétele

2.4. ábra. Az inverter szimulációjának eredménye, a pMOS aktív terhelés W paraméterének változtatása esetén

tranzisztorok W paraméterét. További haszna a W növelésének, hogy növeli a kimeneti jel amplitúdóját. A korlátot a betáplált DC áram erőssége határozza meg, valamint a parazita kapacitás értéke. A célom tehát a minél gyorsabb kimeneti változás elérése volt minél kisebb fogyasztás mellett. Erre kellett optimalizálni.

- Az áramtükörként alkalmazott tranzisztorok méretezése esetén csak annyit kellett figyelembe venni, hogy a W/L arány meghatározásánál érdemes a szimmetriára törekedni, tehát a két tranzisztor (T_3 és T_4) W és L értékei egyezzenek meg, valamint a technológiai szórások minimalizálása érdekében érdemes a W/L hányadost egynek választani.

- Alapvető tapasztalat volt az is, hogy míg az elvi megfontolások szerint csak az aktív ágban lenne szabad, hogy folyjon áram, viszont a szimulációk bebizonyították számomra, hogy ezt gyakorlatilag nem lehet megvalósítani, kis áram mindenképp fog folyni a másik ágban is (ahogy ez a 2.4(b). ábrán is látszik, értéke itt kb. $5 \mu\text{A}$), és az inverter-struktúra határai felé közelítve ez az áram egyre jelentősebbé válik.

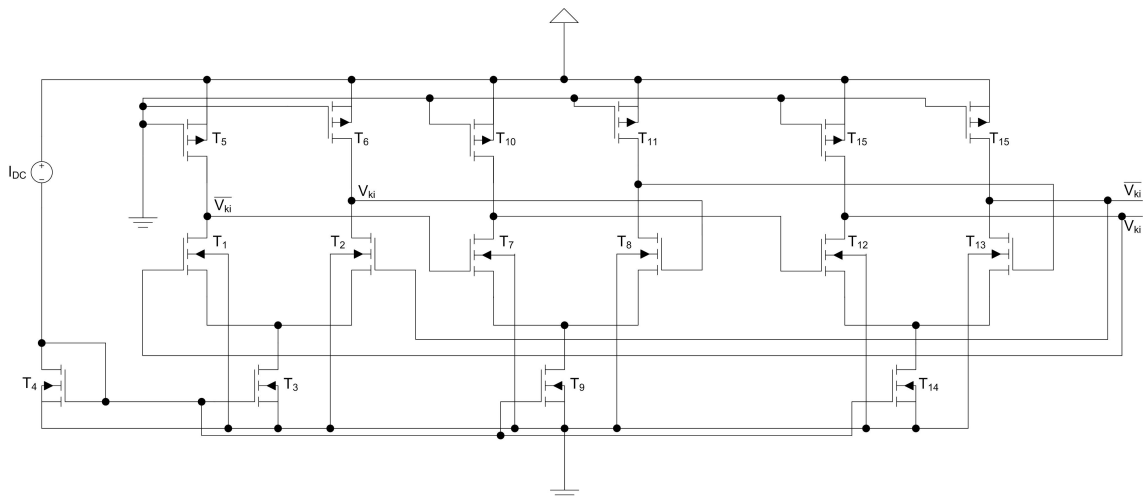
Az inverter méretezése utáni paramétereit és adatokat a 2.1. táblázat foglalja össze.

Méreték	
<i>Áramtűkőr</i>	
W	$1,2 \mu\text{m}$
L	$1,2 \mu\text{m}$
<i>Differenciál-pár</i>	
W	$4,2 \mu\text{m}$
L	$0,35 \mu\text{m}$
<i>Aktív terhelés</i>	
W	$2,1 \mu\text{m}$
L	$0,35 \mu\text{m}$
Elektromos jellemzők	
V_{DD}	$1,8 \text{ V}$
I_{DC}	$50 \mu\text{A}$
frekvencia	3 GHz
V_{SWki}	200 mV

2.1. táblázat. Az SCL inverter paramétereit

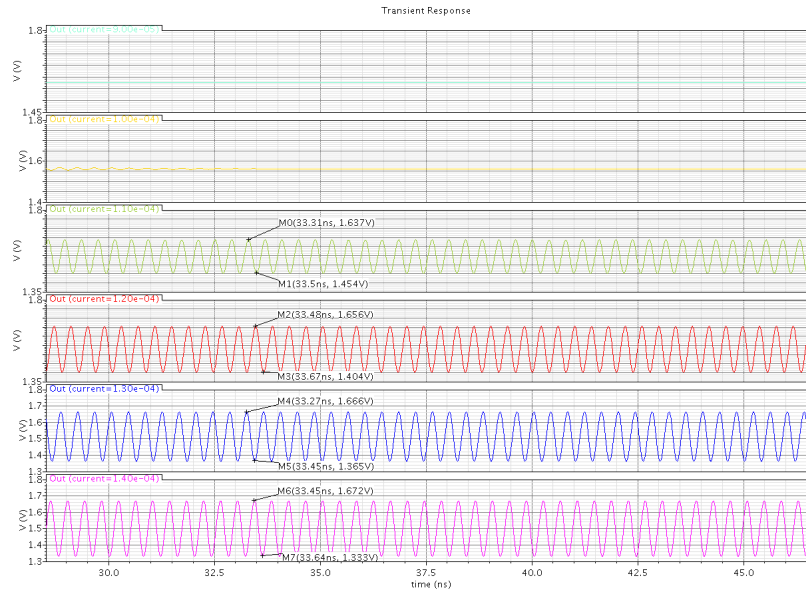
2.2.2. SCL ring oszcillátor megvalósítása

Az inverter optimalizálása után a ring-oszcillátor megtervezése volt a feladat. Első megközelítésben egy három fokozatú megvalósítást készítettem el és szimuláltam a működését. Ennek az oszcillátornak a felépítését mutatja a 2.5. ábra. Az inverter $50 \mu\text{A}$ -es áramforrásra lett optimali-



2.5. ábra. Az SCL ring oszcillátor kapcsolás

zálva, az oszcillátor azonban ekkora áram esetén nem oszcillált, így egy parametrikus szimulációt végeztem, hogy megvizsgáljam, mekkora áram mellett indulna el a rezgés (2.6. ábra). Az oszcillá-



2.6. ábra. Az SCL ring oszcillátor parametrikus szimulációja I_{DC} meghatározására

ció 110 μA esetén indult be, frekvenciája 2,539 GHz, mely az áram további növelésével csökkent. (Ennek az az oka, hogy az áram növelésével a feszültség középpértéke is fentebb kúszik, így a tápfeszültséget megközelítve korlátozó tényezővé válik.) Előnyként mondható el viszont az, hogy közel szinuszos jelet kapunk a kimeneten, és a swing értéke is majdnem megfelelő (183 mV). Ezek után következik az áramkör optimalizálása, mely a következő lépésekből áll:

1. pMOS aktív terhelés méreteinek beállítása
2. nMOS differenciál-pár méreteinek beállítása
3. (esetleg) Áramtükör tranzisztorainak méretezése

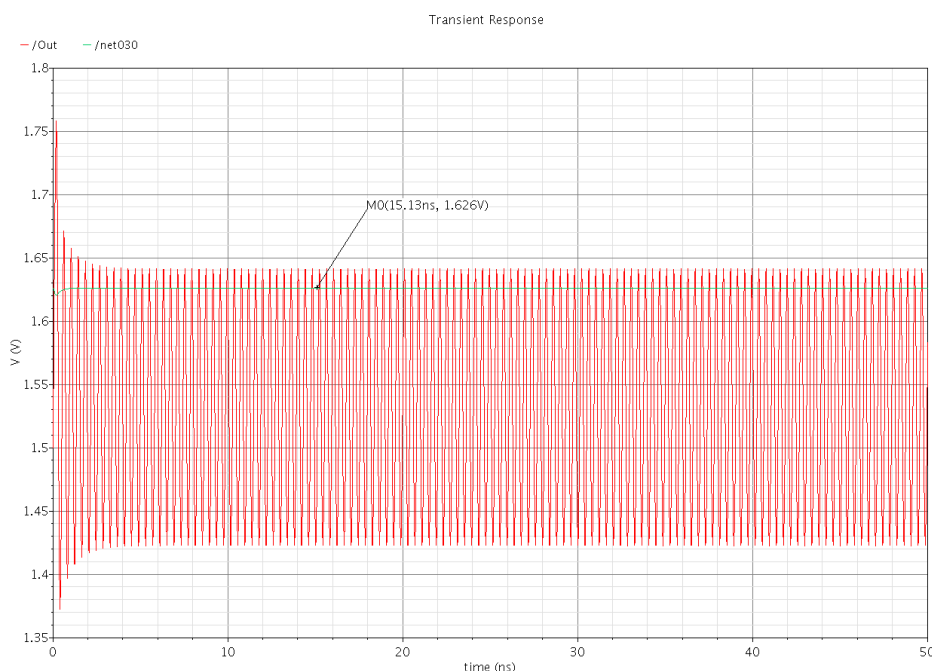
Méreték			
	1. megoldás	2. megoldás	
W	1,2 μm	1,1 μm	Áramtükör
L	1,2 μm	1,2 μm	
W	2,5 μm	1,9 μm	Differenciál-pár
L	0,35 μm	0,35 μm	
W	1,3 μm	1,35 μm	Aktív terhelés
L	0,35 μm	0,35 μm	
V_{DD}	1,8 V	1,8 V	Elektromos jellemzők
I_{DC}	60 μA	100 μA	
ω_0	2,468 GHz	2,742 GHz	
V_{SWki}	219,8 mV	213,1 mV	

2.2. táblázat. Az SCL ring oszcillátor paraméterei

Ezen lépések mentén többször iterálva az aktuális megoldásokat, kétféle megoldást kaptam. Az egyik minimális fogyasztást biztosít, még a specifikációnak megfelelő frekvenciával és kimeneti

swinggel. A második megoldásnak valamivel nagyobb a fogyasztása, ezzel együtt viszont frekvenciája is jelentősen növekszik. A két megoldás paramétereit mutatja be a 2.2. táblázat.

Ekkor úgy döntöttem, hogy mivel mindkét eset megfelel a specifikációnak, így én azt a megoldást választom, amely kisebb teljesítményt vesz fel, azaz a táblázat középső oszlopában lévő paramétereknek megfelelő kapcsolást. Ennek a megvalósításnak a kimeneti jelét mutatja a 2.7. ábra. Jól megfigyelhető, hogy elegendően nagy a kimeneti feszültség amplitúdója, valamint a kezdeti, elindulási tranzienst is látszik az ábrán.

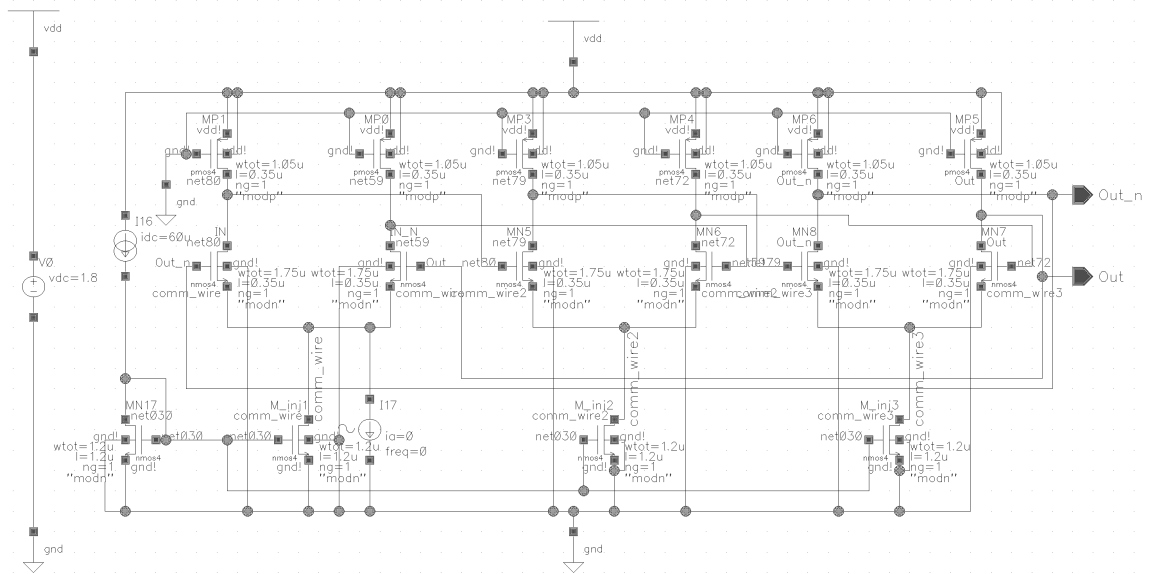


2.7. ábra. Az SCL ring oszcillátor kimenete $I_{DC} = 60 \mu A$ esetén

2.3. Külső jel becsatolása, az ILO megvalósítása

A külső jel becsatolására többféle ötletem is volt, ezek közül többet meg is valósítottam és szimuláltam. Voltak, amelyek megfelelőnek bizonyultak, de találkoztam olyan megvalósítással is, amiről a szakirodalom elismerően ír, a megvalósított oszcillátor azonban mégsem teljesítette az általam támasztott követelményeket. Most azonban csak azt a megvalósítást mutatom be részletesen, amely az elvárt funkciót a legjobban tudta teljesíteni.

A megvalósítás alapötlete az volt, hogy az első fokozatba az áramtükör tranzisztorával (M_{inj1}) párhuzamosan bekötök egy váltakozó áramú áramforrást is. Ez annyit jelent a gyakorlatban, hogy adott frekvenciájú árammal lehet befogni az oszcillátort. Az így kapott kapcsolás a 2.8. ábrán látható. Itt is két célom volt az optimalizálás és méretezés megkezdése előtt. Az egyik, hogy a becsatolt áram amplitúdóját minél kisebbre csökkentsem. A másik, hogy minél nagyobb befogási



2.8. ábra. Az SCL ILO áramtükörrel párhuzamosan kötött AC áramforrással

tartományt érjek el az oszcillátorral. Az optimálisnak tűnő megoldást a 2.3. szerinti paraméter értékeknél kaptam. Végül vizsgáltam azt, hogy a becsatolt jel amplitúdójának csökkentésével

Méreték	
<i>Áramtükör</i>	
W	1,2 μm
L	1,2 μm
<i>Differenciál-pár</i>	
W	1,75 μm
L	0,35 μm
<i>Aktív terhelés</i>	
W	1,05 μm
L	0,35 μm
Elektromos jellemzők	
V_{DD}	1,8 V
ω_0	2,449 GHz
ω_L	80 MHz
V_{SWki}	410,7 mV
$I_{RMS}(1 \text{ ág})$	51,63 μA
$I_{max}(1 \text{ ág})$	52,49 μA
$I_{inj,ampl}$	50 μA

2.3. táblázat. Az AC árammal vezérelt ILO paramétereit

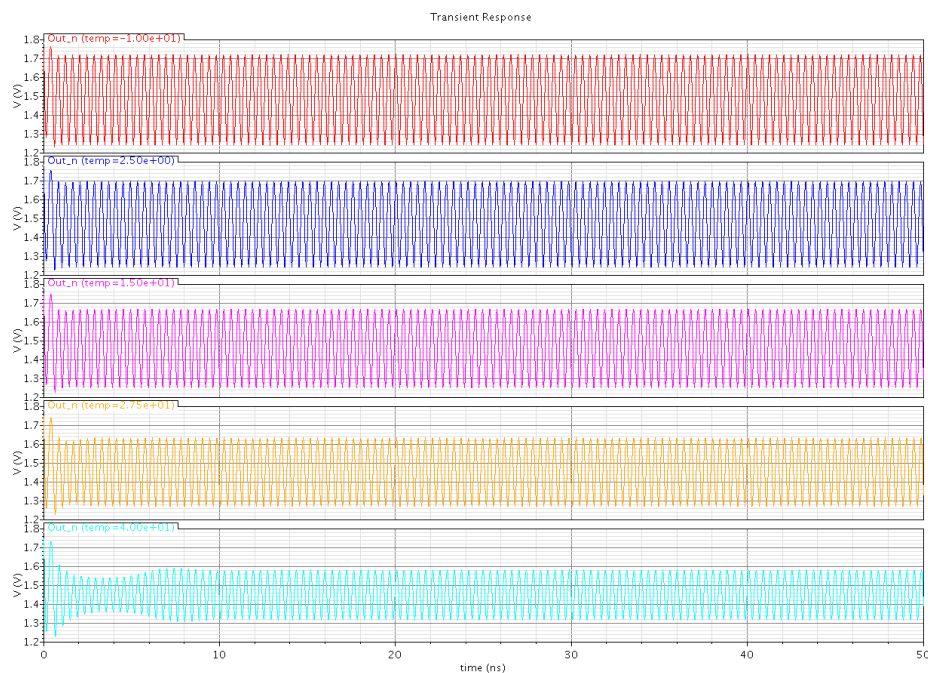
milyen mértékben csökken locking range. A szimuláció alapján kapott eredmények a 2.4. táblázatban találhatóak. A táblázatban a szürkének különböző árnyalataival jelöltem a különböző áramértékekhez tartozó befogási tartományokat.

Ezen szimulációk önmagukban még keveset árulnak el a valós áramkör működéséről, hiszen

	$I = 50 \mu\text{A}$		$I = 30 \mu\text{A}$		$I = 20 \mu\text{A}$	
f_{inj} (GHz)	f_{out} (GHz)	V_{SWki} (mV)	f_{out} (GHz)	V_{SWki} (mV)	f_{out} (GHz)	V_{SWki} (mV)
2,349	2,349	427,6	-	-	-	-
2,369	2,369	417,5	-	-	-	-
2,389	2,389	406,6	2,389	435,2	2,44	-
2,409	2,409	394,4	2,409	425,3	2,435	-
2,429	2,429	381,7	2,429	412	2,429	422,1
2,449	2,449	367,3	2,449	396,2	2,449	405
2,469	2,469	351,2	2,469	376,2	2,469	380,6
2,489	2,489	332,6	2,488	343,7	2,451	-
2,509	2,509	310,3	2,455	-	2,448	-
2,529	2,529	281,4	-	-	-	-
2,549	2,468	-	-	-	-	-

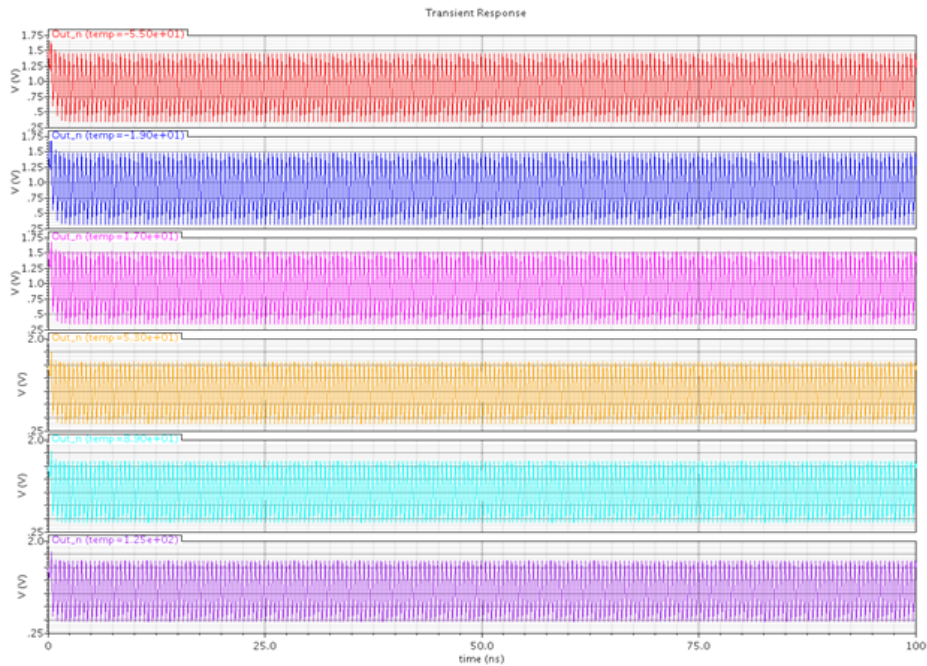
2.4. táblázat. Az AC árammal vezérelt ILO befogási tartományai különböző áramok esetén

a paraméter szórások fogják meghatározni, hogy az oszcillátor milyen frekvencián rezeg, a locking range pedig azt adja meg szemléletesen, hogy mennyire romolhatnak el a paraméterek, hogy külső jellel még vissza tudjuk hangolni az oszcillátort az eredeti frekvenciára. Ezért szimulációkat végeztem azt vizsgálva, hogy a hőmérséklet változása milyen mértékben változtatja meg a frekvenciát, valamint, hogy onnan még befogható-e az eredeti frekvencia. A 2.9. ábrán azok a hőmérséklet értékek vannak ábrázolva, ahol még megvalósulhatott a befogás rövidebb-hosszabb beállási idő után ($I_{\text{inj, ampl}} = 50 \mu\text{A}$ esetén), elegendően nagy swing értékkel. Ez a -10°C és $+40^\circ\text{C}$ közötti intervallumban következett be, tehát elmondható, hogy ezen hőmérsékleti tartományok között, tökéletes technológiai megvalósítás esetén függetlenné tehető az oszcillátor (a betáplált jel befogásának köszönhetően) a hőmérséklet megváltozásától. Szerettem volna kicsit



2.9. ábra. Az ILO hőmérsékletfüggése

nagyobb hőmérsékleti tartományra érzéketlenné tenni az áramkört, ezért a méretezés újragondolásával újabb optimalizálást kezdtem. Ennek következtében még a katonai alkalmazásokban szükséges hőmérsékleti tartományban, azaz -55 és $+125^{\circ}\text{C}$ között is képessé vált az áramkör a saját eredeti szabadonfutó frekvenciáját befogni, elegendően nagy amplitúdóval (min. 200 mV). Ezt a szimulációt mutatja be a 2.10. ábra.

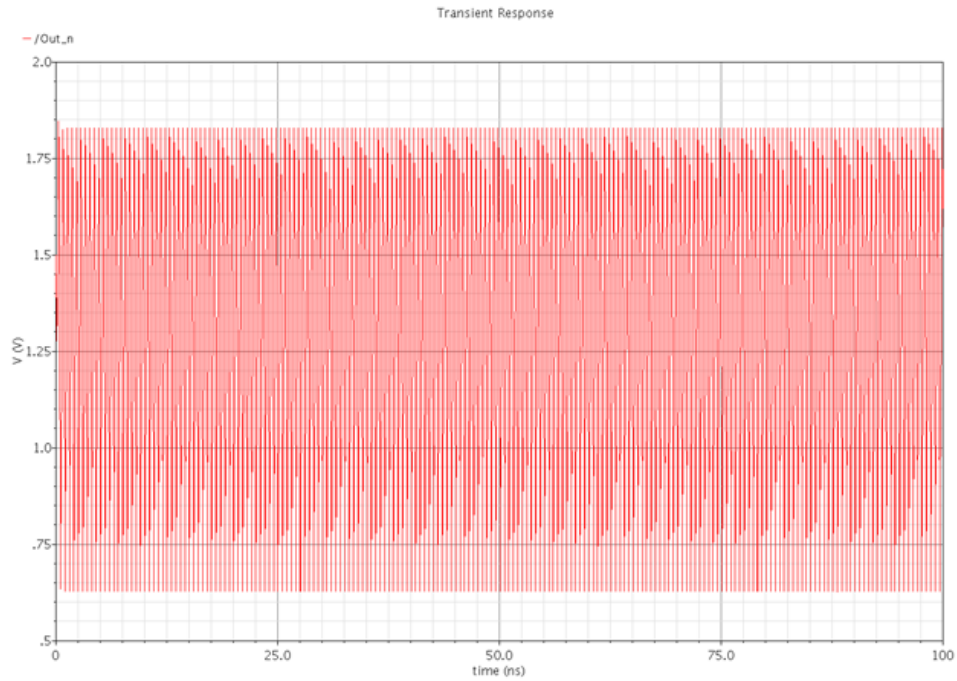


2.10. ábra. Az ILO működése a katonai alkalmazásokhoz szükséges hőmérsékleti tartományban ($-55^{\circ}\text{C} - 125^{\circ}\text{C}$)

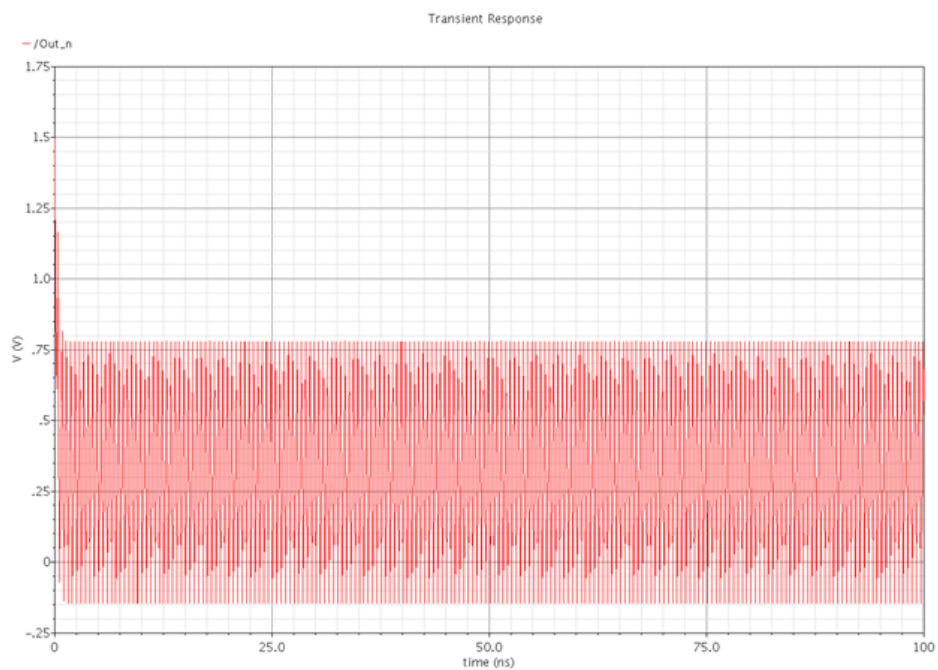
Ezt a méretezést úgy alakítottam, hogy más a technológiai szórásokra is érzéketlen legyen az áramkör. Ebben az esetben a célom az volt, hogy szélsőséges technológiai hibák esetén, azaz worst power (a legnagyobb fogyasztást és disszipációt eredményező megoldás) és worst speed (a legnagyobb parazita kapacitások miatt a lehető leghosszabb működés) esetben is jól működjön az oszcillátor. Azt a megfontolást követtem a vizsgálataim során, hogy elegendő, ha a két technológiai sarokpontra szimulációkat elvégezni, hiszen a tapasztalatok szerint ha itt jól működik a megvalósított áramkör, akkor az egyéb esetekben is megfelelő működés tapasztalható.

Az egyik technológiai sarokpont maximális hőmérséklet (jelen esetben 125°C) esetén a worst power megvalósítás lehet. Ebben az esetben visszakaptam a megfelelő szabadonfutó frekvenciát, 1,202 V kimeneti swing értékkel, tehát ebben az esetben az áramkör megfelelően működik. Erről tanúskodik a 2.11. ábra.

A második technológiai sarokpont a worst speed megvalósítás minimális hőmérsékleten, azaz jelen esetben -55°C -on. Ebben az esetben is az eredeti szabadonfutó frekvenciát nyertem vissza, 927,1 mV kimeneti swing érték mellett (2.12. ábra). Így látható, hogy mindkét technológiai sarokponton megfelelő a működés.



2.11. ábra. Az ILO működése az első technológiai sarokponton (worst power, 125°C)



2.12. ábra. Az ILO működése a második technológiai sarokponton (worst speed, -55°C)

Ezeket figyelembe véve a 2.5. táblázat szerinti paraméterek esetén kaptam optimális működést. Meg kell azonban említeni, hogy ennek az átméretezésnek ára volt, a szórásokkal szembeni függetlenség megvalósítása miatt a kimeneti frekvencia kicsivel 2 GHz alá süllyedt.

Méreték	
<i>Áramtükör</i>	
W	$1 \mu\text{m}$
L	$1 \mu\text{m}$
<i>Differenciál-pár</i>	
W	$0,4 \mu\text{m}$
L	$0,4 \mu\text{m}$
<i>Aktív terhelés</i>	
W	$0,6 \mu\text{m}$
L	$0,4 \mu\text{m}$
Elektromos jellemzők	
V_{DD}	$1,8 \text{ V}$
ω_0	$1,998 \text{ GHz}$
ω_L	600 MHz
V_{SWki}	$501,7 \text{ mV}$
$I_{\text{inj,ampl}}$	$67 \mu\text{A}$

2.5. táblázat. *A technológiai szórásokkal szemben érzéketlenített ILO paraméterei*

Miután egy technológiai szórásokra érzéketlen ILO áramkört hoztam létre, következő lépésben a frekvenciaosztás megvalósítását végeztem el.

3. fejezet

Frekvenciaosztásra képes ILO áramkör tervezése

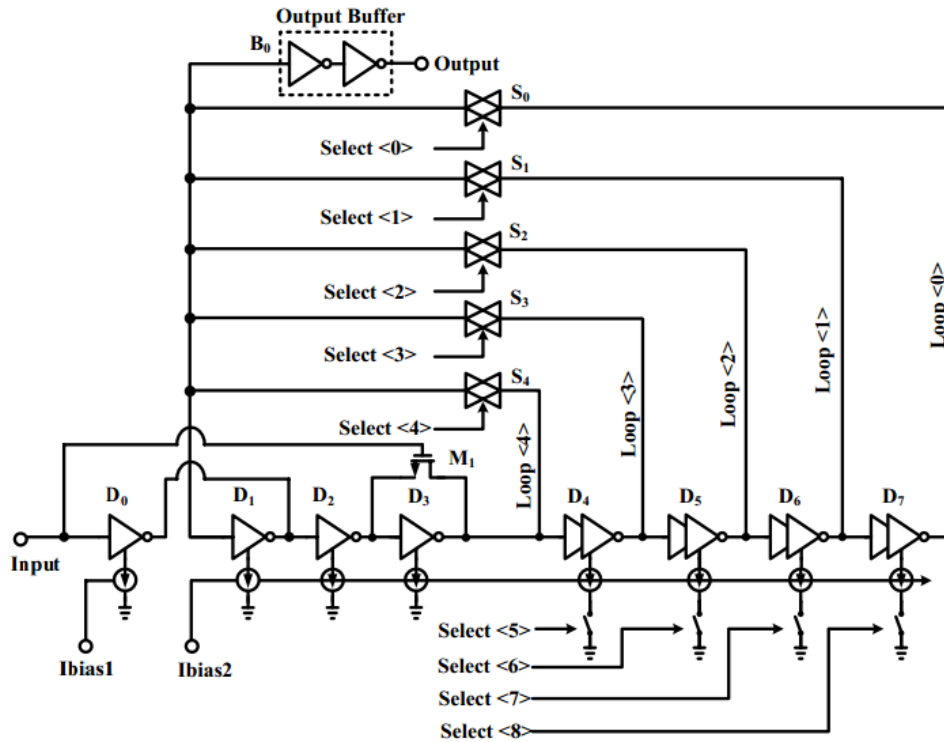
3.1. A megvalósítás elvi háttere

Munkám egyik célja volt, hogy programozható osztásarányú frekvenciaosztásra is képessé tegyem az általam tervezett ILO áramkört. Ehhez a [7] cikkben alkalmazott struktúrát választottam ki (3.1. ábra). Ennek lényege a következő: az eredeti oszcillátor kimenetére még annyi inverter fokozatot csatlakoztatok, ahány különböző osztásértéket akarok megvalósítani. Mindegyik fokozat végére egy-egy analóg kapcsolót helyezek el, és csak az éppen aktív osztásarányt megvalósító kapcsolót teszem aktívvá. Az inverter fokozatokat természetesen ekkor úgy kell méretezni, hogy az aktuális kimenet a megfelelő frekvenciaosztást valósítsa meg.

3.2. A selector blokk megvalósítása

Az analóg kapcsolót munkám során selector néven terveztem meg és építettem az áramkörbe, hiszen ez választja ki, hogy melyik fokozatok működjenek, és hogy mekkora frekvenciaosztás lesz megvalósítva. Hierarchikus tervezést folytattam, bottom-up módszerrel, azaz először megterveztem a selector blokkot, ami tulajdonképpen két transzfer kapuból áll (a differenciális jelvezetés miatt kettő kell). Második lépésként egy szimbólumot rendeltem hozzá és hozzá portoltam a kapcsolási rajz pinjeihez. Ezek után az elkészült szimbólumot elhelyeztem a kapcsolási rajzon. A megvalósított kiválasztó blokkot mutatja be a 3.2. ábra.

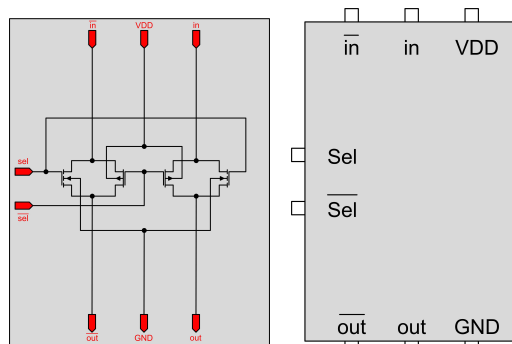
Mivel az oszcillátor SCL kapcsolástechnikával készült, azaz SCL inverterekből épül fel, ezért nem kell páratlan számú invertert alkalmazni az oszcilláció eléréséhez. Így az alap ILO áramkör után minden újabb frekvenciaosztás értékhez elegendő egy plusz invertert csatlakoztatni, a selector blokk megfelelő bekötésével ugyanis a páros számú fokozatok kimeneti vezetékeit megcserélve juttatom vissza a bemenetre. Azaz, ebben az esetben a selector ponált bemenetére az inverter ponált kimenetét kötöm, viszont a selector ponált kimenetét az oszcillátor negált kimenetére (így megvalósul a felcserélés), ugyanis ez lesz visszakötve az oszcillátor ponált bemenetére. Páratlan sorszámú inverterek esetén ez jóval egyszerűbb. Az utolsó inverter ponált kimenetét a selector



3.1. ábra. A javasolt frekvenciaosztó struktúra [7]

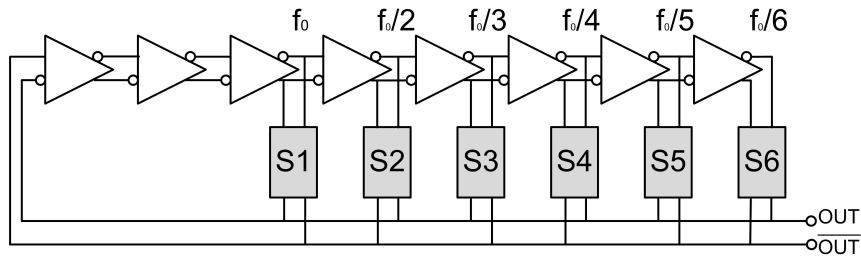
ponált bemenetére kötöm, az ezt követő ponált kiemenetet pedig az oszcillátor ponált kiemenetére, azaz nem történt vezeték-csere. Az így lecsökkentett inverterszámmal fogyasztás csökkenést értem el. Ezt a bekötést illusztrálja a 3.3. ábra, feltételezve, hogy 6 féle frekvenciaosztás-értéket valósítunk meg.

További fejlesztés eredményeként az éppen nem aktív inverter(ek)et kikapcsolhatóvá lehet tenni. Adott osztásarány esetén ugyanis az aktív selector utáni inverterek feleslegesen áramot fognak vezetni, azaz fogyasztásuk lesz. Jogos tehát az elképzelés, hogy a nem aktív invertereket válasszuk el vagy a tápfeszültségtől, vagy a földtől. Én a megvalósításomban egy n-csatornás MOS tranzisztort, mint kapcsolót helyeztem az áram útjába, az áramtükör tranzisztorának



(a) A selector blokk kapcsolási rajza (b) A selector blokk szimbóluma

3.2. ábra. A selector blokk megvalósítása



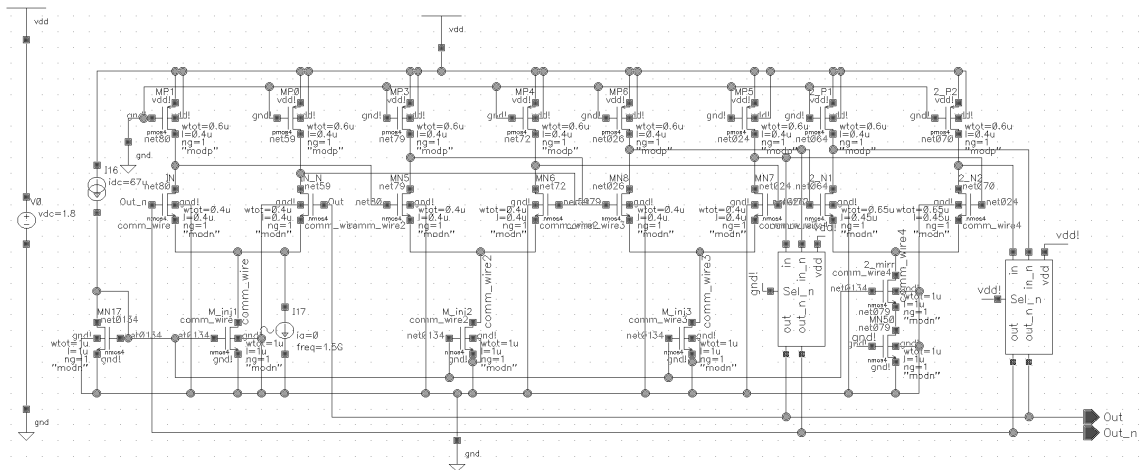
3.3. ábra. A selector megfelelő bekötése 6 különböző osztásarány esetén

source-a és a föld közé.

Az így megvalósított selector blokk azonban nem hozta az elvárt eredményeket. Nagy késleltetése miatt ugyanis jelentősen csökkentette az elérhető maximális kimeneti frekvenciát (791,4 MHz). Megvolt ugyan az az előnye, hogy a tápfeszültség (V_{DD}) és a föld (GND) közötti teljes feszültségtartományon képes volt jelet átvinni a komplementer megvalósítás miatt, azonban a két tranzisztor párhuzamos bekötése következtében a parazita kapacitások is megnöttek, ami a késleltetés növekedését eredményezte. Fontos szempont volt ugyanakkor, hogy, mivel sok szimulációt lefuttattam már az áramkörön, tudtam, hogy a kimeneti feszültség soha nem megy a pMOS nyitófeszültsége alá (kb. 0,8 V). Ez kihasználható, hiszen ekkor elegendő egy p-csatornás MOS tranzisztort bekötni, nem kell vele párhuzamosan az n-csatornás MOS tranzisztort is felhasználni (ha ugyanis a jel 0.8 V alá kerülne, akkor a pMOS tranzisztor mindig vezetne, így nem működne kapcsolóként). Az nMOS tranzisztor elhagyásával csökkenthető tehát a parazita kapacitások értéke. Az így megvalósított selectort természetesen inverz módon kell majd működtetni, azaz a Sel_n kiválasztó bemenetére 0-t kell kötni, ha aktívvá szeretnénk tenni, és 1-et, ha azt szeretnénk, hogy az ne adott áramköri rész határozza meg az oszcillátor frekvenciáját.

Az optimalizáláshoz hozzá tartozott továbbá, hogy a leegyszerűsített selector pMOS tranzisztorait méretezni is kellett, hogy a lehető legjobb átvitelt érjem el. A technológia azonban itt is jelentős korlátozó tényező volt, így a maximális frekvencia 1,062 GHz értéket vett fel. (Későbbi céljaim között szerepel, hogy ezt az értéket még növeljem.) Ezt a frekvenciát a selector $W = 1,2 \mu\text{m}$ és $L = 0,4 \mu\text{m}$ méretei mellett értem el. Ekkor volt a minimális a selectoron eső feszültség is, 92,5 mV. Így a kimeneten a swing értéke 272,1 mV értékű volt, ami megfelel az elvárásaimnak. Az így megvalósított kapcsolást mutatja be a 3.4. ábra.

Első közelítésben az volt a célom, hogy programozható osztásarányt valósítsak meg, ezért csak osztás nélküli és kettes frekvenciaosztással rendelkező megvalósítást hoztam létre. Ebből kis utána gondolkodással megcsinálható több fokozat is. A kettes osztást megvalósító utolsó fokozat méretei a 3.1. táblázatból olvashatóak ki.



3.4. ábra. A frekvenciaosztó ILO áramkör kapcsolási rajza

Méreték	
<i>Áramtűkör</i>	
<i>W</i>	1 μm
<i>L</i>	1 μm
<i>Differenciál-pár</i>	
<i>W</i>	0,4 μm
<i>L</i>	0,8 μm
<i>Aktív terhelés</i>	
<i>W</i>	0,4 μm
<i>L</i>	0,5 μm

3.1. táblázat. Az utolsó fokozat méretezése

3.3. Egyéb megvalósítások vizsgálata

Összevettem munkámat egyéb, szakirodalomban megtalált megoldásokkal. A 3.1. táblázat mutatja be az eredményeimet az egyéb megvalósításokkal összehasonlítva. A külföldi munkák mellett egy magyar megvalósítás is született, mely a táblázatban szintén megtalálható ([5]).

	[7]	[8]	[9]	[10]	[11]	[5]	saját ILO
technológia (nm)	130	90	200	240	350	350	350
f_{out} (GHz)	5	2,4-10	1,9-4,3	2,2-2,64	1,25	2,4	1,061
tápfeszültség (V)	1,2	1	0,7-1,8	1,5	3,3	1,8	1,8
P_{max}	470 μW	9,5 mW	1,4 mW	2 mW	109 mW	4,86 mW	314 μW

3.2. táblázat. Munkám összehasonlítása egyéb megoldásokkal

A [7] cikkben egy programozható osztásarányú frekvenciaosztó ILO áramkört valósítottak meg, CMOS kapcsolástechnikával. A kisebb csíkszélesség miatt jóval nagyobb frekvenciát értek el a tervezők, igen alacsony tápfeszültségen. Munkámban megvalósított változtatható osztásarány

alapötletét ebből a cikkből vettem. Megvalósításom annyiban volt jobb, hogy nagyobb csíkszélességen kisebb fogyasztást értem el, igaz, a frekvencia jóval alacsonyabb lett. A [8] munkában a szerzők egy külső jellel befogott ring oszcillátort valósítottak meg, 90 nm-es CMOS technológiát alkalmazva. Ahogy az várható is volt, igen nagy frekvenciákat lehet elérni a méretek ilyen mértékű csökkentésével. A teljes áramkör mérete is igen kicsi lett ($540 \mu\text{m}^2$). A nagy frekvencia miatt, bár kicsi a tápfeszültség, mégis viszonylag nagy lett a fogyasztás, de ekkora frekvencián még ez is alacsonynak számít. A [9] egy kis fogyasztású ILFD-t (Injection Locked Frequency Divider – Külső jellel befogott frekvenciaosztó áramkör) mutat be. A mű címében $44 \mu\text{m}$ -es fogyasztásról ír, ám ez a minimális fogyasztást jelenti. Maximális fogyasztása a táblázatból is kiolvasható $1,4 \text{ mW}$ -os érték, azonban azt is meg kell említeni, hogy ennyit 16 GHz frekvencián fogyaszt az áramkör. A [10] munka egy két érték között állítható Prescaler ILO áramkört mutat be. A szerző, csak úgy, mint én, SCL kapcsolástechnikát alkalmazott. A fogyasztás viszonylag magas, 2 mW , azonban magas frekvencián üzemel az áramkör. A [11] beszámol $1,25 \text{ GHz}$ -en működő PLL-ről, melyet az én munkáméval azonos technológián valósított meg. Bár a tápfeszültség és a fogyasztás is jóval magasabb az enyémnél, viszont a cikk írója egy jóval komplexebb áramkört valósított meg.

A [5] munkában többek között egy SCL alapú frekvenciaosztó áramkör megvalósítását írja le a szerző, most én ezt szeretném kiragadni, mivel ez összehasonlítható az én munkámmal. Azonos technológián dolgozott velem, megegyezik a tápfeszültség is. A különbség ott van, hogy ő egy frekvenciaosztó áramkört hozott létre, nem volt feladata az oszcillátor megtervezése. Az áramkör fogyasztása kb. egy nagyságrenddel nagyobb, mint az én áramkörömé. Meg kell említeni azonban azt is, hogy abban a munkában már egy megvalósított áramkör értékeiről beszél, míg nekem csak szimulációs eredményeim állnak rendelkezésre.

4. fejezet

Eredmények összegzése

Céлом egy olyan frekvenciaosztásra képes külső jellel befogott oszcillátor tervezése volt, amely széles hőmérséklettartományban és a technológiai szórásokra érzéketlenül, lehetőleg az eddig már létező áramköröknél kisebb fogyasztással képes legyen működni és az osztásarány legyen programozható. A fogyasztás csökkentése érdekében alacsony tápfeszültséget alkalmaztam (1,8 V). Több architektúrát is megvalósítottam és a tervezés során mindig a lehető legkisebb áramfelvétel elérésére törekedtem. Jelen munkámban már csak az optimális megoldást ismertettem.

A tervezésen lépésről-lépésre, az SCL inverter tranzisztor-szintű tervezésétől kezdve, a ring oszcillátor tervezésén át, a külső jel becsatolásáig haladtam végig. Ezek után következett a frekvenciaosztás megvalósítása. Itt is kellően nagy frekvencián működött az áramkör, azonban amikor programozhatóvá akartam tenni, akkor a kapcsoló elem (a parazita kapacitások okozta késleltetése miatt) nagyon lekorlátozta az elérhető frekvenciát. Így is sikerült azonban egy 1 GHz felett működő áramkört létrehozni, ami a felhasznált technológiát figyelembe véve még mindig nagyobb, mint amit CMOS inverterből felépülő oszcillátorral el tudtam volna érni.

Több megvalósítással összehasonlítva elmondható, hogy a megtervezett áramköröm meglehetősen alacsony fogyasztással bír, és az adott technológián és tápfeszültség érték mellett megfelelően nagy frekvenciát lehet elérni vele.

Ábrák jegyzéke

1.1.	A lokális adatút	6
1.2.	A globális adatút	6
1.3.	A pozitív és negatív órajel elcsúszás	7
1.4.	A globális adatút visszacsatolással	7
1.5.	A különböző órajel elosztó topológiák	9
1.6.	Az injection pull jelensége egy szélessávú adóvevő eszközben	11
1.7.	Az injection locking bemutatása egy hagyományos oszcillátor	12
1.8.	Fáziskülönbségek különböző $ \omega_{inj} - \omega_0 $ és I_{inj} esetén	13
1.9.	Különböző ILO megvalósítások	14
1.10.	Számlálóból felépülő frekvenciaosztó	17
1.11.	Léptető regiszterből felépülő frekvenciaosztó	17
1.12.	DMP-ből felépülő frekvenciaosztó	18
1.13.	DMP állapotgráfja	18
1.14.	A nyolc fázisjelet előállító, nyolccal osztó áramkör blokkdiagramja	19
1.15.	Fázisváltás következtében osztás kilencel	20
2.1.	A külső jel becsatolása a CMOS ring oszcillátorba egy nMOS keverő tranzisztorral	22
2.2.	Az SCL inverter kapcsolás	23
2.3.	A megvalósított SCL inverter kapcsolás	26
2.4.	Az inverter szimulációjának eredménye, a pMOS aktív terhelés W paraméterének változtatása esetén	27
2.5.	Az SCL ring oszcillátor kapcsolás	28
2.6.	Az SCL ring oszcillátor parametrikus szimulációja I_{DC} meghatározására	29
2.7.	Az SCL ring oszcillátor kimenete $I_{DC} = 60 \mu\text{A}$ esetén	30
2.8.	Az SCL ILO áramtükörrel párhuzamosan kötött AC áramforrással	31
2.9.	Az ILO hőmérsékletfüggése	32
2.10.	Az ILO működése a katonai alkalmazásokhoz szükséges hőmérsékleti tartományban ($-55^\circ\text{C} - 125^\circ\text{C}$)	33
2.11.	Az ILO működése az első technológiai sarokponton (worst power, 125°C)	34
2.12.	Az ILO működése a második technológiai sarokponton (worst speed, -55°C)	34
3.1.	A javasolt frekvenciaosztó struktúra [7]	37
3.2.	A selector blokk megvalósítása	37
3.3.	A selector megfelelő bekötése 6 különböző osztásarány esetén	38

3.4. A frekvenciaosztó ILO áramkör kapcsolási rajza	39
---	----

Táblázatok jegyzéke

2.1. Az SCL inverter paramétere	28
2.2. Az SCL ring oszcillátor paramétere	29
2.3. Az AC árammal vezérelt ILO paramétere	31
2.4. Az AC árammal vezérelt ILO befogási tartományai különböző áramok esetén	32
2.5. A technológiai szórásokkal szemben érzéketlenített ILO paramétere	35
3.1. Az utolsó fokozat méretezése	39
3.2. Munkám összehasonlítása egyéb megoldásokkal	39

Irodalomjegyzék

- [1] Robert Adler, „A Study of Locking Phenomena in Oscillators” *Proceedings of the IRE*, Vol. 34, pp. 351 – 357, June 1946.
- [2] Bognár György, *VLSI áramkörök tervezése és vizsgálata (oktatási segédanyag)*, Budapesti Műszaki és Gazdaságtudományi Egyetem, Budapest, 2011. április 12.
- [3] Behzad Razavi, „A Study of Injection Locking and Pulling in Oscillators” *IEEE journal of solid-state circuits*, Vol. 39, No. 9, pp. 1415 – 1424, September 2004.
- [4] Csányi Péter, *Nagyfrekvenciás órajel elosztó hálózatokban alkalmazott ILO áramkörök – TDK dolgozat*, Budapesti Műszaki és Gazdaságtudományi Egyetem, Budapest, 2011.
- [5] Bognár György, *A mikroelektronika egyes termikus problémáinak kezelése*, V. fejezet: A frekvencia-szintézer áramkörök hőmérsékletének csökkentési lehetőségei, különös tekintettel az ambient intelligence alkalmazásokra, Budapesti Műszaki és Gazdaságtudományi Egyetem, Budapest, 2009.
- [6] Mohamed Azaga and Masuri Othman, „Source-Coupled Logic (SCL): Operation and Delay Analysis”, *Semiconductor Electronics, 2006. ICSE '06, IEEE International Conference*, pp. 392 – 396, 2006.
- [7] Joonhee Lee and Seonghwan Cho, „A 470- μ W Multi-Modulus Injection-Locked Frequency Divider with Division Ratio of 2, 3, 4, 5 and 6 in 0,13 μ m CMOS” *IEEE Asian Solid State Circuits Conference, November 12-14, 2007*, pp. 332 – 335, November 2007.
- [8] Sang-yeop Lee, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, „2.4–10 GHz Low-Noise Injection-Locked Ring Voltage Controlled Oscillator in 90 nm Complementary Metal Oxide Semiconductor” *Japanese Journal of Applied Physics*, No. 50, 04DE03, April 20, 2011.
- [9] Ken Yamamoto and Minoru Fujishima, „A 44- μ W 4.3-GHz Injection-Locked Frequency Divider With 2.3-GHz Locking Range” *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 3, pp. 671 – 677, March, 2005.
- [10] Rasoul Dehghani and S.M. Atarodi, „A Low Power Wideband 2.6GHz CMOS Injection-Locked Ring Oscillator Prescaler” *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 659 – 662, 2003.

- [11] Lizhong Sun and Tadeusz A. Kwasniewski, „A 1.25-GHz 0.35- μm Monolithic CMOS PLL Based on a Multiphase Ring Oscillator” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 6, pp. 910 – 916, june 2001.