



M Ű E G Y E T E M 1 7 8 2

Budapesti Műszaki és Gazdaságtudományi Egyetem

Villamosmérnöki és Informatikai Kar

Távközlési és MédiaInformatikai Tanszék

# Nagy teljesítményű hálózat monitorozó rendszer fejlesztése és optimalizációja

TDK

*Készítette*

Nagy Balázs

*Konzulens*

Dr. Varga Pál

2018. október 28.

# Tartalomjegyzék

<b>Kivonat</b>	<b>3</b>
<b>Abstract</b>	<b>5</b>
<b>1. Bevezetés</b>	<b>6</b>
<b>2. Követelmények és műszaki háttér</b>	<b>7</b>
2.1. A hálózat-monitorozási architektúra elemei . . . . .	7
2.2. Funkcionális követelmény-specifikáció . . . . .	8
2.3. A kártyán futó jellegzetes firmware IP-k . . . . .	9
2.3.1. Mobil maghálózat monitorozást támogató firmware . . . . .	9
2.3.2. A NEDD DDoS detekciós rendszer . . . . .	10
2.4. Az FPGA választás háttere . . . . .	11
2.5. Nagyfrekvenciás elektronikai tervezés . . . . .	11
<b>3. Műszaki specifikáció</b>	<b>13</b>
3.1. Optimalizációs szempontok és azok súlyozása . . . . .	13
3.2. Az FPGA kiválasztása . . . . .	13
3.3. További fontosabb funkcionális elemek kiválasztása . . . . .	14
<b>4. Moduláris tervezés</b>	<b>15</b>
4.1. Tápegység és hidegítő hálózat megtervezése . . . . .	15
4.1.1. A tápegységek minőségi követelményei . . . . .	16
4.1.2. 1V 20A tápegység . . . . .	17
4.1.3. A nagyfrekvenciás FPGA tranceiver-k tápolása . . . . .	17
4.1.4. Tápegység maximális áram méretezés . . . . .	18
4.1.5. A hidegítő hálózat tervezése és optimalizációja . . . . .	19
4.2. DDR3 SDRAM illesztés . . . . .	19
4.3. FPGA programozása . . . . .	19
4.4. SFP+ és a PCIe Interface-ek illesztése . . . . .	20
4.5. Passzív alkatrészek specifikációja . . . . .	20
<b>5. Nyomtatott áramkörti tervezés</b>	<b>21</b>
5.1. Mechanikai tervezés . . . . .	21
5.2. BGA fanout . . . . .	23

5.3.	Nagyfrekvenciás tervezés . . . . .	24
5.4.	DDR3 interface routolása . . . . .	29
5.5.	Layer Stack meghatározása . . . . .	31
5.6.	Termikus tervezés . . . . .	32
5.7.	Gyárthatóságra való tervezés . . . . .	32
<b>6.</b>	<b>Verifikáció</b>	<b>36</b>
6.1.	FPGA chip validáció . . . . .	36
6.2.	FPGA bekötésének validációja . . . . .	37
6.3.	Tápegység összeszerelése és tesztje . . . . .	37
6.4.	A kész kártya tesztelése . . . . .	37
6.4.1.	Első bekapcsolás utáni teszt . . . . .	37
6.4.2.	Első program teszt . . . . .	38
6.4.3.	10 GbE tesztelése . . . . .	38
6.4.4.	A PCIe Interface tesztje . . . . .	40
6.5.	Áttekintés . . . . .	40
<b>7.</b>	<b>Összefoglalás</b>	<b>45</b>
7.1.	A tervezés és implementáció eredményei . . . . .	45
7.2.	Jövőbeni tervek . . . . .	46
	<b>Köszönetnyilvánítás</b>	<b>47</b>
	<b>Irodalomjegyzék</b>	<b>49</b>

# Kivonat

A hálózati forgalom gyors és effektív célba juttatása a XXI. századi számítástechnika egyik alapvető kihívása. Ahhoz, hogy ez lehetséges legyen, a szolgáltatóknak kézben kell tartaniuk a kommunikációs hálózataikat, ennek feltétele a diagnosztikai és biztonsági célú forgalmi monitorozás. A feladatot nehezíti, hogy a hálózatok sávszélessége rohamosan növekedett az elmúlt évtizedekben. Míg 1992-ben a teljes Internet forgalma 100GB-t tett ki naponta, 2016-ban másodpercenként 26600GB-t volt ez a forgalom.

A legtöbb monitorozási feladatot hardver-gyorsítás nélküli szoftveres rendszerek látják el. Bizonyos nagy teljesítményigényű feldolgozási feladatokat azonban nem tudnak on-the-fly elvégezni ezek a rendszerek. Ezeknél a feladatoknál a hardveres gyorsítás, és kifejezetten az FPGA-k használata az egyik népszerű megoldás. Bár a rugalmas fejlesztési lehetőség mellettük szól, az FPGA alapú eszközök ára komoly szerepet játszik abban, hogy nem tudtak szélesebb körben elterjedni. Mindemellett komoly igény mutatkozik egy olyan monitorozási hardverre, ami az új technológiák felhasználásával árban és teljesítményben is fel tudná venni a versenyt a szoftver alapú megoldásokkal.

Ebben a dolgozatban részletes leírást adok arról, hogyan készítettem el a SGA 10-GEQ 40Gbps kapacitású, FPGA alapú csomagfeldolgozó PCIe (PCI express) kártyát. A dolgozat végigköveti a tervezési fázistól a kivitelezésen át a tesztelésig a kártya megvalósítását. A dolgozatomban bemutatom ennek a szerteágazó területnek a bevett megoldásait és a határait - a fejlesztői szemszögből.

A nagysebességű hálózatok monitorozása bővelkedik a kihívásokban; ezek hátterében a gyors reakcióidő, a komplex protokollok, és a széleskörű funkcionális elvárásai állnak.

A tervezés nem csak a kívánt funkciók elérést foglalja magában, hanem a design optimalizációját is. Elsősorban költség minimalizálására és gyártási technológia egyszerűségére optimalizáltam.

A kártya nyomtatott áramkörének terveit az Altium Designer CAD segítségével terveztem meg, teljesen tiszta lappal indulva. A bemutatott megoldás teljes mértékben a saját munkám, a funkcionális specifikációtól a tervezésen át a tesztelésig — természetesen szakértő kollégákkal konzultáltam a folyamat során. A dolgozatban ismertettem a megvalósítás legnagyobb kihívásait:

- 10 feszültség-szintű tápellátás: az FPGA és a nagy frekvenciás perifériák tápellátásának megtervezése összetett feladat;
- 10GHz-es adatátvitel a PCB-n: a jel-integritás biztosítása alapvető követelmény, ami ezen a frekvencián nagyon komoly kihívást jelent;

- DDR3 illesztése az FPGA-hoz: a DDR3 SDRAM interface elkészítése a nagy jelátviteli frekvencia és a 64 bites adatbusz szélesség miatt komoly tervezést igényel;
- Passzív alkatrészek kiválasztása, a megfelelő kondenzátorok kiválasztása és a hidegítő hálózatok optimalizálása.

A dolgozatban bemutatom a tesztelés menetét, az oszcilloszkópos méréseket, valamint a VHDL teszt core-okat (amikkel a nem mérhető funkciókat teszteltem), valamint a nagyfrekvenciás jelek nehézkes mérésének megoldását.

# Abstract

The fast and effective transportation of Internet traffic is one of the major challenges of the 21st century. To achieve the requirements of this challenge the network providers have to thoroughly supervise their networks. This requires diagnostic and security monitoring. Monitoring has become much harder as the bandwidth of the aforementioned networks have been becoming exponentially higher. For example, the total annual traffic of the Internet was 100GB in 1992, but in 2016 the total traffic was 26600GB per second. Most monitoring tasks use purely software systems. Still, there are special high-performance tasks that require hardware acceleration to work properly on-the-fly. FPGA is one of the popular solutions for this problem. The versatility of FPGA devices makes them a lucrative choice, but the cost of these devices prevented them from becoming widely popular. This paper describes the design process of a very cost-efficient FPGA-based hardware accelerator, the SGA-10GEQ 40Gbps PCIe (PCI express). The paper contains the description of the design, implementation and test, and the challenges of this project from the viewpoint of a hardware designer. The design step also includes a high-level optimization process to achieve the goal of cost-effectiveness and the simplicity of the PCB design. The PCB was designed with Altium designer CAD software. The whole design is my work from the functional specification to the electrical tests, while consulting regularly with co-workers. In the paper I emphasize the greatest challenges of this project:

- 10 different voltage rails are required for the FPGA and the high frequency peripherals.
- 10GHz metallic data transmission with high signal integrity.
- DDR3 interfacing with the FPGA – is quite challenging because of the high bus width and high frequency.
- The selection of passive components, especially the selection of capacitors and the optimization of bypass networks.

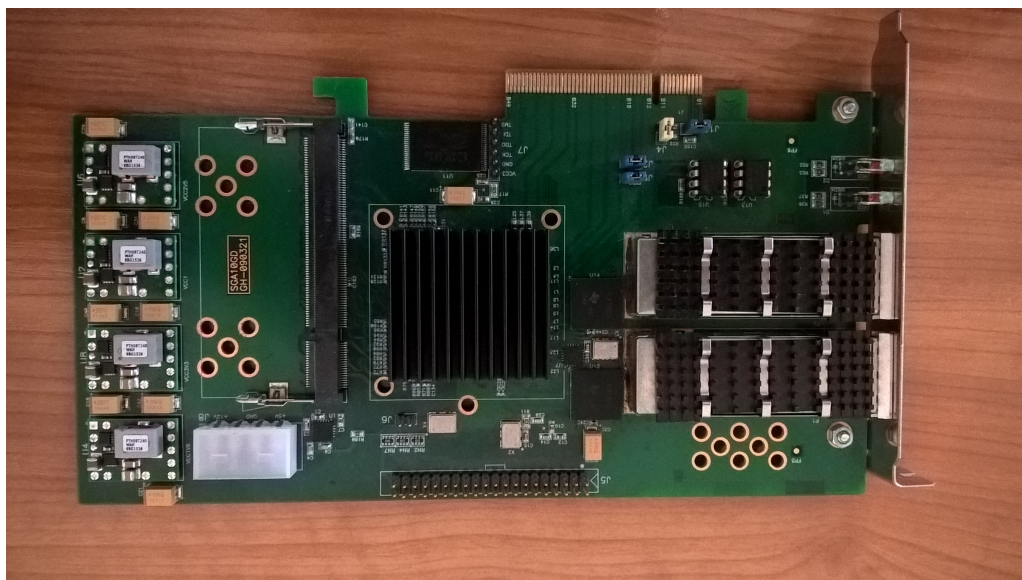
In the paper I also present the testing procedure, including the oscilloscope measurements and the VHDL test core measurements.

# 1. fejezet

## Bevezetés

A hálózat monitorozása mind üzemeltetési, mind fejlesztési, mind hálózat-optimalizációs szempontból fontos feladat. Segítségével az operátor képet kap a hálózati elemek és kapcsolatok állapotáról, hibáiról, teljesítmény-mutatóiról, vagy biztonságtechnikai helyzetéről.

2007-ben a BME Távközlési és MédiaInformatikai Tanszékén (TMIT) felvetődött az igény egy 10Gbps Ethernet forgalom kezelésére képes, FPGA-alapú adatfeldolgozó PCIe illesztésű kártyára. Ez a kártya, a SGA 10-GED, 2009-ben készült el; két darab 10Gbps XFP interface-t tartalmazott a nagysebességű Ethernet forgalom monitorozásához, és egy Virtex-5-ös FPGA-t, a forgalom on-the-fly feldolgozásához. Ez a kártya majdnem egy évtizede működik a Magyar Telekom és más hazai szolgáltatók hálózatában, az AITIA International Zrt. monitorozó rendszerének részeként.



**1.1. ábra.** SGA-10GED kártya - a 2x10Gbit/s-képes előd, Virtex-5 FPGA-val

Ez a kártya azonban technológiailag elavulttá vált a rendszer-elemek fejlődésével és az adatsűrűség növekedtével. Az XFP interface-eket leváltotta az SFP+. A Virtex-5 FPGA költséghatékonysága nagyon lecsökkent. A kártya többi eleme is elavulttá vált. Ezért azt a feladatot kaptam, hogy a modern technológiák felhasználásával új kártyát tervezek, ami a komplex monitorozó rendszerben kiváltja a SGA 10-GED kártyát (lásd 1.1. ábra).

## 2. fejezet

# Követelmények és műszaki háttér

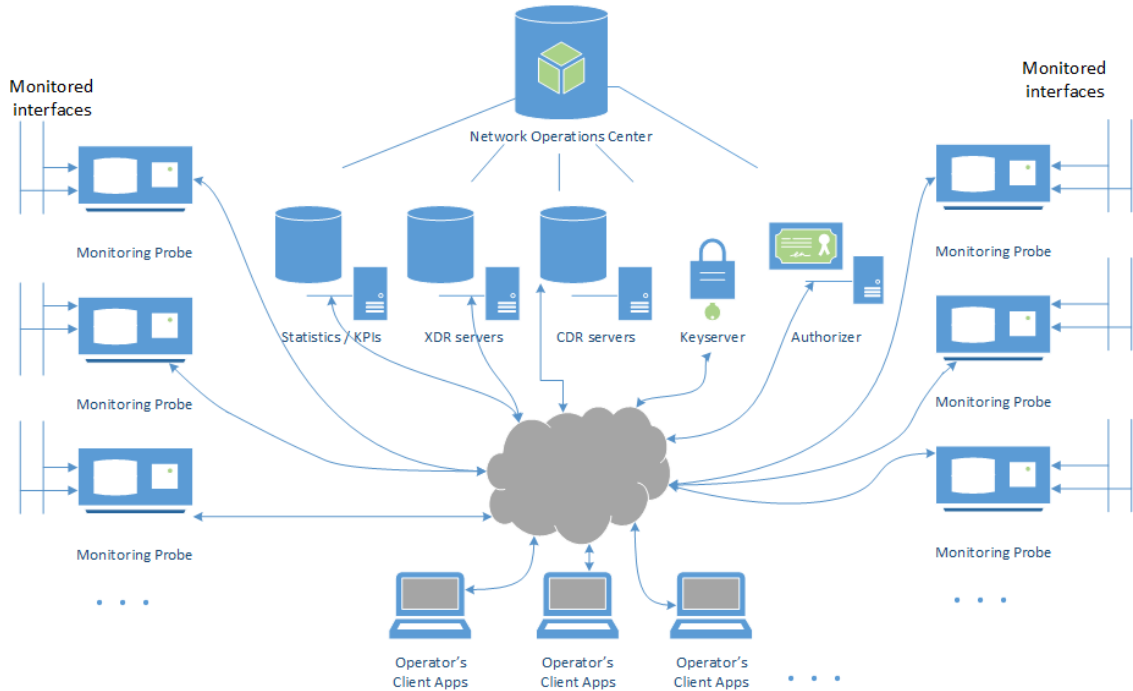
### 2.1. A hálózat-monitorozási architektúra elemei

Bár a hálózat-monitorozásnak két alfaja van – aktív és passzív –, ebben a dolgozatban kifejezetten a passzív hálózat-monitorozáson van a hangsúly, ugyanis ez igényel komolyabb követelményeket a rendszer-hardver tekintetében. (A tömeges, terheléses tesztelés is hardver-igényes feladat, ám ez nem az aktív monitorozáshoz, hanem az intruzív teszteléshez sorolódik.) A passzív monitorozás non-intruzív, azaz nem injektál forgalmat a vizsgált hálózatba – csak figyel és feldolgozza annak jelzéseit. Ennek során azonban minden, a linkeken haladó adatot el kell kapnia a monitorozó hardvernek; ellenkező esetben – a hiányos adatsor miatt – nem lesz megbízható a vizsgálat eredménye. Passzív monitorozás esetén az adatok újra-kérésére sincs lehetőség, tehát a monitorozó hardvernek nem szabad adatot veszítenie.

A hálózat-monitorozó rendszerek akkor képesek teljes képet adni a hálózat állapotáról (terheléséről, használati módjairól, hibáiról), ha annak minden kapcsolatát figyelik, a kapcsolatokon megjelenő adatokat feldolgozzák. Ha – jellemzően pénzügyi okokból – nem teljes a lefedettség, akkor nem teljes a kapott kép sem. A gyakorlat azt mutatja, hogy ilyen helyzetekben az operátorok is töreksenek valamiféle koncepcionális teljességre: egy-egy szolgáltatás teljes lefedésére, egy-egy protokoll által hordozott forgalom teljes lefedésére, egy-egy kiterjedt hálózatrész teljes lefedésére. Ez – országos szintű hálózatok esetében – jellemző módon több telephelyen történő monitorozást jelent. A telephelyeken történő adatgyűjtést szinkronizálni kell annak érdekében, hogy a globális feldolgozás során összefűszülhetők legyenek az adatsorok. A telephelyek monitorozó hardverének óráit szinkronizálni kell tehát, ugyanis csak így biztosítható az üzenetekre kerülő időpecsétek globálisan helyes sorrendezése. Erre a problémára megoldást nyújt az SGA hálózat-monitorozó rendszeren validált időszinkronizációs eszközrendszer [1].

A teljes monitorozási architektúrára mutat jellemző példát a 2.1. ábra. Az adatok globális feldolgozásával cél-alkalmazások foglalkoznak: globális KPI (Key Performance Indicator) összeállítók, kiterjesztő algoritmusok, hívás- és session-record összeállítók, hívás-egyűjtő (call trace) programok. Az operátorok különféle kliens-alkalmazások segítségével kérdezhetik le a számukra fontos, az alkalmazások által már előfeldolgozott információkat.





2.1. ábra. A jelzeshálózat-monitorozás jellegzetes architektúrája [1]

Emellett a nyers jelzésforgalmi adatokat is le lehet kérdezni a lokális monitoroktól.

Az jelzés-forgalmi adatok helyben nyers tárolásra és is feldolgozásra kerülnek: helyi KPI-k készülnek a jellemző statisztikák alapján, emellett napló-események és felügyeleti jelzések is generálódnak. A monitorozó rendszer ezen, helyi monitorozást végző elemére "probe"-ként, "monitoring probe"-ként, vagy "monitor"-ként is hivatkozik a szakirodalom [1] [2]. Speciális hardver-követelményekkel tehát a rendszer ezen "monitor" elemei (nekik is a hálózati interfészei) rendelkeznek.

A "monitoring probe" elemek hálózati interfészével kapcsolatos funkcionális követelményeket a következő fejezetben részletezem. A dolgozat ennek a hardver-intenzív feladatnak a kiemelkedő elemére, a speciális monitorozó illesztőkártyára fókuszál.

## 2.2. Funkcionális követelmény-specifikáció

A nagysebességű hálózat-monitorozási feladat versenyképes ár-érték-arányú támogatásának igénye szolgált funkcionális specifikáció alapjául. A kártyának – amennyire lehet – kompatibilisnek kell lennie a 10-GED-re készített FPGA firmware IP-kkel (Intellectual Property). Ebbe beletartozik a korábban általam fejlesztett IDS (Intrusion Detection System) rendszer is [3], [4], [5], [6], [7]. A specifikáció pontosabb kifejtése alapján a kártyának

- csatlakoznia kell az ipari számítógépek standard alaplapi PCIe buszába;
- kommunikálni kell tudnia a monitorozó rendszer szoftver elemével a PCIe buszon keresztül;
- legalább 4x10Gbps forgalmat kell tudnia veszteségmentesen fogadni;
- a fogadott forgalmat on-the-fly fel kell tudnia dolgozni: részben dekódolni, ez alapján

- szűrni;
- a kiválasztott csomagokat időpecséttel és más meta-adatokkal ellátva továbbadni a PCIe buszon a feldolgozó processzor felé;
- programozhatónak kell lennie JTAG-en keresztül;
- programozhatónak kell lennie távolról is, PCIe buszon keresztül érkező vezérléssel;
- tartalmaznia kell DDR3 memóriát;
- csatlakoznia kell az idő-szinkronizációs SGA-Clock Card-khoz IDE buszon keresztül;
- be kell férnie standard, fektetett szerver gépekbe;
- legalább három évig bírnia kell a folyamatos 7/24 használatot;
- a PCB-jének legyártása ne igényeljen különleges gyártási eljárásokat;
- az összeszerelése ne igényeljen különleges összeszerelési eljárásokat;
- magas jelintegritást kell biztosítani, a bithibák, csomagvesztés minimalizálása érdekében;
- sorszámozható PCIe végpontként kell látszódnia a bekapcsolás után, a PCIe sorszámozási folyamat során;
- védettnek kell lennie a külső perifériák hibáival szemben.

Ezek voltak a funkcionális követelmények, amelyek alapján el kellett készíteni SGA-10GEQ<sup>1</sup> kártyát. A dolgozat végén, az összefoglalás fejezetben tárgyalom ezeknek a követelményeknek a teljesülését.

## 2.3. A kártyán futó jellegzetes firmware IP-k

Bár az elkészült kártya a megfelelő firmware IP core alkalmazásával akár hagyományos hálózati illesztőkártyaként is használható, képességeit veszteségmentes alkalmazásokkal lehet legjobban kihasználni. Ilyenek lehetnek a különféle forgalom-generálási, valamint forgalom-monitorozási funkciók.

Ebben a fejezetben a kártya által ellátott monitorozási funkciókat ismertetem, az AITIA International Zrt. két IP core-ján keresztül. Az FPGA különlegessége, hogy egyszerre képes nagy volumenű forgalom valós idejű feldolgozására (akárcsak az ASIC), úgy, hogy a működési logikája gyorsan változtatható, ha igény van rá.

### 2.3.1. Mobil maghálózat monitorozást támogató firmware

Az előzetes tervek szerint a kártya egyik fontos ipari alkalmazása a Magyar Telekom rendszerében futó hálózat-monitorozási firmware futtatása lesz.

A firmware feladata, hogy veszteségmentesen fogadja a hálózati forgalmat, jelen esetben mind a négy 10Gbps kapcsolatán. A konfigurációnak megfelelően dobja el azt az adattömeget, ami a jelzés-monitorozás szempontjából irreleváns IP-címek és portok között halad – a maradékon pedig végezzen elő-feldolgozást, és az eredményt küldje el a PCIe buszon keresztül a feldolgozó processzornak (CPU). A hibásan érkező kereteket is fel kell ismernie a kártyának, ezért a firmware részét képezi egy Ethernet Frame Check Sequence számító algoritmus megvalósítása is.

---

<sup>1</sup>Az elnevezési konvenció szerint a Q betű a "quad", azaz négyszeres interface-re utal.

A csomag-feldolgozás során a továbbküldendő csomaghoz további meta-információt kell illeszteni. Ennek része az aktuális időpecsét, valamint a csomag részleges dekódolása során adódó speciális, a keresést és a feldolgozást gyorsító mezők (protokoll-azonosítók, kulcs-paraméterek). A mobil maghálózat különféle elemei között speciális protokollokon haladnak az üzenetek [2], [1], melyekből a kulcs-paraméterek (az IP-címpárokon túl jellemzően a SIM-kártya-azonosító (IMSI), vagy a hívószámok (MSISDN) ilyenek) egy egyszerűsített protokoll-feldolgozó segítségével kinyerhetők. Ez a protokoll-feldolgozó is a firmware részét képezi.

### 2.3.2. A NEDD DDoS detekciós rendszer

A szolgáltatás-megtagadáson alapuló elosztott támadások (Distributed Denial of Service, DDoS) nem számítanak újdonságnak napjainkban, de elhárításuk sajnos még nem megoldott feladat. Erre az elmúlt években több példát láthatunk, mint például a Dyn Inc. Domain Name System (DNS) szerverei elleni támadás. A dolgozatom célja egy gyors reakció-idejű detekciós rendszer bemutatása, amit FPGA-alapú, nagysebességű hálózati platformra terveztem és implementáltam, majd verifikáltam [3].

A rendszer ezredmásodperces reakcióidejével lehetővé teszi, hogy olyan támadásokat detektáljunk és állítsunk meg, amik hagyományos rendszerekkel nem is lettek volna észlelhetők [4], [5]. A rendszer emellett másodpercenként akár több mint százmillió csomagot képes átvizsgálni, kontextusba helyezni a tartalmukat és döntést hozni ezen információk alapján. Megmutattuk, hogy ha egy új támadás megjelenik, milyen kevés időbe kerül az FPGA detektor felkészítése ennek kezelésére — hála a flexibilis és moduláris architektúrának [6].

Mivel biztonsági tématerületről van szó, ezért kiemelt hangsúlyt fektettünk a rendszer tesztelésére [7]. A koncepció működésének validálására egy kiterjedt magyarországi hálózat (NIIFI, Nemzeti Információs Infrastruktúra) által nyújtott adatközponti szolgáltatást ért támadások valós forgalmi mintáit használtuk fel. Mivel a forgalom-análízishez használt hardveres gyorsítással a hálózat állapotáról is finom felbontású információhoz jutunk, az architektúra az SDN (Software Defined Networking) vezérlők döntéshozásának támogatására is alkalmas.

A rendszer egyik újdonsága, hogy egy aktív visszacsatolási kör topológiába elhelyezett eszközök segítségével készült. Ez egy egyszerűen telepíthető és üzemeltethető rendszer. Az alapötlete az, hogy egy switchen, vagy switch rendszeren átfolyó adatot átadjuk egy feldolgozó és döntéshozó rendszernek, a switch mirror portján keresztül.

Az FPGA alapú platformnak köszönhetően az adatfeldolgozás sebessége ezredmásodperces nagyságrendben lesz, ezzel valós idejű beavatkozást tesz lehetővé. Ez a megoldás nem invazív: ha a hálózat megfelelő switcheket használ, minimális beavatkozással lehet telepíteni a rendszerbe. Switchenként egy linket szabaddá kell tenni a mirror-nak. Hasonló funkcionalitású rendszerek installálása, drága switchek/routerek behelyezésével, vagy a hálózat teljes újratervezésével járna.

A switchek a mirror funkciót használva lemásolják a switch forgalmát, ezt a forgalmat

## 2.1. táblázat. A FPGA-alapú hardver-tervezéshez tartozó legfontosabb dokumentumok

UG1099 - Recommended Design Rules and Strategies for BGA Devices User Guide (ver1.0) [8]	BGA breakout, routing layer számítás
UG470 - 7 Series FPGAs Configuration User Guide (ver1.13.1) [9]	Programozás, Flash, JTAG
UG471 - 7 Series FPGAs SelectIO Resources User Guide (ver1.10) [10]	FPGA IO-k leírása
UG475 - 7 Series FPGAs Packaging and Pinout Product Specifications User Guide (ver1.17) [11]	Bank szerkezet, Pin-out
UG476 - 7 Series FPGAs GTX/GTH Transceivers User Guide (ver1.12.1) [12]	GTX transceiver blokk leírása
UG483 - 7 Series FPGAs PCB Design Guide (ver1.13) [13]	PCB design irányelvek
DS180 - 7 Series FPGAs Overview (ver2.6) [14]	A 7 series család áttekintése
DS182 - Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics (ver2.16.1) [15]	A Kintex-7 család elektromos leírása
WP431 - Leveraging 7 Series FPGA Transceivers for High-Speed Serial I/O Connectivity (ver1.0) [16]	A GTX transceiver-ek felhasználása

feldolgozás céljából átadják a NEDD-nek. Természetesen a mirroron lemásolt forgalmat megcsonkítva adjuk át a feldolgozónak, a csomagok payload részét levágjuk. A csonkolás azért előnyös, mert az adatok döntő többsége egyébként is titkosított (tehát feldolgozásra alkalmatlan), viszont így megnöveljük a mirroron átvihető csomag mennyiségét.

## 2.4. Az FPGA választás háttere

Mivel a jelenlegi IP-k portolhatósága miatt csak Xilinx FPGA jött szóba a tervezésnél, csak ennek a gyártónak a termékei mérlegeltem. A Xilinx-nek jelenleg a következő korszerű szériái vannak:

- Kintex 7,
- Virtex Ultrascale+,
- Spartan 7,
- Artix 7,
- Kintex Ultrascale+.

Ezek a szériák elégé hasonlítanak egymásra; a legtöbb általános megállapítás, ami a dolgozatban az FPGA-tervezéssel kapcsolatban felmerül, mindegyik szériára érvényes. Külön kiemelem a Kintex 7-s széria bemutatását, mivel a később bemutatott elemzések alapján Kintex 7 160T FPGA került felhasználásra.

Azt érdemes megemlíteni, hogy PCIe-ből 4 lane-s is elégséges, mivel a kártyának a célja a csomag-fejlecek feldolgozása, *nem* pedig a nagy, fogadott forgalom teljes átküldése a CPU felé a PCIe buszon keresztül. Mivel a payload-ok nem érdekesek ezekben az applikációkban, ezért nem kell ugyanazt a sávszélességet biztosítani a FPGA és a CPU (software) között, mint a hálózat és FPGA között.

A 2.1. táblázatban megtalálhatóak azok a legfontosabb Xilinx leírások, amiket használtam. Ezek a leírások lefedik a teljes tématerületet, ami a kártya FPGA-val kapcsolatos részének megtervezéséhez szükséges.

## 2.5. Nagyfrekvenciás elektronikai tervezés

Az elvégzendő mérnöki háttér megismeréséhez a következő három könyvet ajánlom mindenkinek, aki hardware-fejlesztési kérdésekben komolyan el akar mélyedni. Ezek a könyvek nagyon magas színvonalúak és könnyen érthetőek, legalábbis a téma bonyolultságához képest.

Paul Horowitz "The Art of Electronics" [17] című könyve nagyszerű leírást ad mindenről, ami elektronika. Ez a könyv egy nagyon széles, gyakorlati szemléletű áttekintést ad az

egész témaköréről, a passzív komponensektől kezdve az analóg elektronikán át egészen a korszerű digitális elektronikáig. Viszont mivel ilyen nagy területet átfog a könyv, ezért nem tud részletes, mélyreható leírást adni egyes témákról. A részleteket specializált könyvekből és cikkekből kellett begyűjtenem.

Simonyi Károly Elméleti Villamoságtan című könyve [18] nagyszerűen ismerteti az elméleti hátterét annak résznek, amihez Kirchoff egyenletek nem megfelelőek. A könyv a Maxwell egyenletektől kezdve mutatja be a villamoságtan különböző törvényeit és modelljeit. Kiemelt figyelmet fordítottam a távíró egyenletekre, mivel a nagyfrekvenciás PCB vezetékeket a távvezetékekkel lehet modellezni. Simonyi könyve semmi fajta gyakorlati ajánlást nem tartalmaz, ezért azt más forrásokból kellett megkeresnem. Viszont az elektromágneses jelek hullám-természetének megismerése és megértése nélkülözhetetlen egy ilyen szintű feladatnál.

Howard Johnson High Speed Digital Design: A Handbook of Black Magic [19] című könyve a két előző könyv által hagyott rést tölti be. Ez a könyv erősen specializált a nagyfrekvenciás fejlesztésre, ezért lehetősége van mind az elméleti hátteret, mind a gyakorlati megoldásokat ismertetni. A könyv nagyon magas színvonalon kapcsolja össze az elméletet és a gyakorlatot. A könyv a PCB kialakításhoz is hasznos segítséget ad. A címmel ellentétben nem sok fekete mágia marad a felhasználó hozzáállásában a könyv olvasása után.

Ezen felül használtam még több cikket; ezeket a munkám ismeretése során a megfelelő helyeken idézek. A Texas Instruments Inc. cikkeit, datasheet-jeit külön kiemelném, mivel nagyon magas színvonalúak, gyakorlat-orientáltak, de meg lehet belőlük érteni a működés elvét is. Ezen felül érdemes a Xilinx referencia design-jait tanulmányozni. A Xilinx Inc. gyárt teszt board-okat is az FPGA chip-jeihez. Ezek a teszt boardok verifikáltan működnek, és a Xilinx a regisztráció után elérhetővé teszi a kapcsolási rajzokat és a Gerber fájlokat. Munkám során ezek közül a KC705 kártyának a fájljait használtam elsősorban [20].

## 3. fejezet

# Műszaki specifikáció

Ebben a fejezetben a feladat áttekintő jellegű, főbb elemekre kiterjedő műszaki specifikációját ismertetem. Ennek során bemutatom az optimalizációs célokat, az FPGA kiválasztásának menetét, és a komplexebb alkatrészek kiválasztásának szempontjait.

### 3.1. Optimalizációs szempontok és azok súlyozása

A kártya egy már meglévő alaptermék kiváltására szolgál, költség- és teljesítmény-optimalizációs célból. Tehát a három alapvető szempont az alacsony ár, a nagyobb interfész-sűrűség, és a meglévő szoftver-rendszerekkel való kompatibilitás.

Ezekon kívül szempont az egyszerű gyárthatóság és a egyszerű összeszerelhetőség. Kiemelt szempont továbbá a tartósság is, mivel ezek a kártyák a hét minden napján, napi 24 órában működnek rendeltetésszerűen. Látható, hogy ezek a szempontok bizonyos értelemben szemben állnak egymással.

### 3.2. Az FPGA kiválasztása

Ahogy a 2.2 szekcióban említettem, ennek a kártyának képesnek kell lennie a cég firmware IP-jeinek futtatására. Emellett lehetőséget kell biztosítani arra, hogy jövőbeni extra funkciók helyet kaphassanak ezen meglévő IP-k mellett.

A készülék kártyát jelzés-hálózat monitorozására tervezik használni elsősorban; másodszorban pedig helyet adhat monitorozás alapú forgalmi szűrőnek is. Mindkét feladat jellegzetessége, hogy a monitorozó rendszert támogató hardver (jelen esetben a kártya) kártya feladata, hogy veszteségmentesen fogadja a forgalmat, képes legyen a nagy intenzitással érkező csomagok kezelésére – de a monitor PC CPU-ja felé csak szűrt forgalmat kell átadnia a PCIe buszon keresztül. A szűrt forgalom azt jelenti, hogy vagy csak a jelzés-forgalom kerül átadásra (ez például a mobil maghálózat esetén a teljes forgalom apró töredéke), vagy csak a csomagfejlécek (ez jellemzően a forgalom volumenének nagyjából 1/8-a). Ezeket a dekódolási és szűrési feladatokat minden, a kiválasztás során felmerülő FPGA képes teljesíteni.

A kompatibilitási problémák megelőzése érdekében a választás egyértelműen a Xilinx által gyártott chip-ekre esett. A tervezés folyamán az alapvető sebesség-követelmények és

interface-sűrűség kritériumok miatt három FPGA család került szóba: Kintex-7, Kintex Ultrascale+, Virtex Ultrascale+ [14], [21], [22]. A 3.1 táblázatban látható a három család legolcsóbb elemeinek műszaki összehasonlítása.

**3.1. táblázat.** *A tervezés során felmerülő FPGA-k összehasonlítása*

	Ár (USD) [?]	BRAM	DRAM	DSP	Transceivers
XC5VLX110T	3140	4.6K	1120	64	N/A
XC7K70T	150	4.8K	838	240	8 GTX
XC7K160T	217	11.7K	2188	600	8 GTX
XC7K325T	1000	16K	4000	840	16 GTX
XCKU3P	1120	26K	4700	1368	16 GTY
XCVU3P	10000	115K	12000	2280	40 GTY

Látható, hogy csak a Kintex 7-es család ad lehetőséget egy valóban olcsó alternatívára. A 70T, 160T és 325T a család három legolcsóbb tagja, ezek közül kell választani. A XC7K70T esett ki először a három FPGA közül, mivel csak két fajta tokozásban elérhető: FBG484 és FBG676. A FBG484 tokozásban csak 4 GTX adó vevő van kivezetve (2x10Gbps Eth, PCIe x1). A FBG676 tokozásban a GTX transceiverek maximális data rate-je 6.6Gbps-ra van korlátozva [14]. A XC7K160T és a XC7K70T között a két különbség van: a XC160T kétszer annyi logikával rendelkezik, valamint elérhető FFG676 tokozás is belőle. A FFG676 tokozásban mind a 8 GTX (4x10Gbps Eth, PCIe x4) ki van vezetve, és a sebességük nincsen korlátozva. A 160T képes futtatni a IP-kat 4x10Gbps mellett.

A verifikáció fejezetben további alátámasztásra kerül, miért volt a kritériumoknak megfelelően a legjobb választás a 160T-s chip.

### 3.3. További fontosabb funkcionális elemek kiválasztása

Az FPGA chip választás nagyban meghatározza a többi nagyobb alkatrészt, és ezzel a technikai specifikációt is.

A memória választás DDR3 és DDR3L között történt. Végül a DDR3 lett kiválasztva, mivel a Kintex-7 memória interface-e nem támogatja rendesen a DDR3L-t, alacsony frekvenciák érhetőek csak el.

A flash kiválasztása is adott volt az SPI x4 kategóriában. A K7 család megjelenéskor eleve nem támogatott túl sok flash-t, és azóta több támogatott flash is elérhetővé vált.

Az SFP+ modul hot-plug kompatibilis, ezért a tervezési fázisban altípust nem kell kiválasztani. A teszteléshez a legolcsóbb SR (Short-Range) modult választottam.

## 4. fejezet

# Moduláris tervezés

Ebben a fejezetben tematikus bontásban tárgyalom a kapcsolási rajz megtervezésének lépéseit. A következő tematikus bontást használtam:

- Tápegység
- DDR3 SD-RAM SO-DIMM
- FPGA
- SFP+ modul
- PCIe csatlakozás

Ezt a feladatot legjobban egy széles hierarchia írja le, mivel a modulok több modullal vannak kapcsolatban. A FPGA és a tápegység független almodulokra bontható le. A kisebb kapcsolásokat, mint a flash vagy oszcillátor, besoroltam a kapcsolódó nagyobb modulokba.

Mindezek mellett a fontosabb passzív alkatrészecskék jellemzőit is specifikálom.

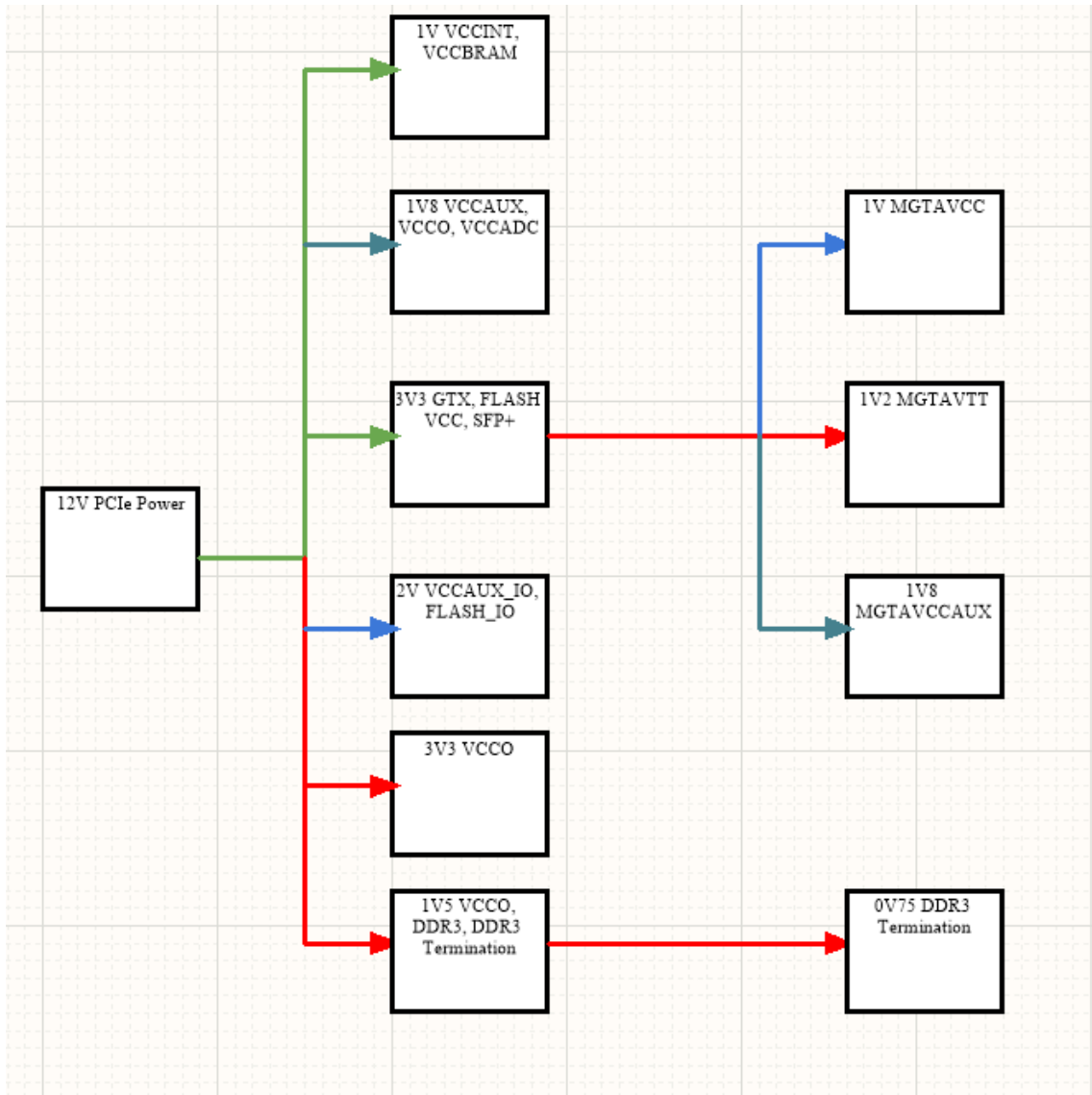
### 4.1. Tápegység és hidegítő hálózat megtervezése

A tápegységek és a hidegítő hálózatok feladata, hogy a megfelelő minőségű feszültség megteremtése az áramkör feladat végző egységeinek táp bemenetein. Az ún. "bulk" kondenzátorokat a hidegítő hálózat részének tekintem ebben a fejezetben, mivel a Xilinx is így tesz.

A tápegység megtervezése a kártya tervezésének az egyik legnagyobb kihívása, mivel a kívánt funkciók eléréséhez 10 különböző táp sín kell, lásd 4.1. ábra. Emellett a tápellátásnak nagyon erős minőségi megkövetései vannak.

- 12V PCIe Power: a kártya tápolására használt feszültség,
- 1V VCCINT, VCCBRAM: az FPGA fő táp síne,
- 1,8V VCCAUX, VCCADC: Másodlagos FPGA táp sínek,
- 3,3V GTX, FLASH, SFP+: Az FPGA nagyfrekvenciás transceiver blokkjának külső síne és a nem-FPGA alkatrészecskék fő meghajtója (SFP+, Flash),
- 1V, 1,2V, 1,8V MGTAVxxx Az FPGA nagyfrekvenciás transceiver blokkjának ultra-alacsony zajú elkülönített táp sínei,
- 2V VCCAUX\_IO: A DDR3 blokkjának másodlagos feszültsége,
- 3V3 VCCO: Az FPGA alacsony teljesítményű IO blokkját IO feszültsége,





4.1. ábra. A táp sínék hierachiája

- 1,5V VCCO, DDR3: A DDR3 memória és a FPGA DDR3 memória IO meghajtásáért felelős tápegység,
- 0,75V DDR3: A DDR3 referencia és  $V_{tt}$  feszültségeit előállító tápegység.

Ezeket a tápokat három csoportra lehet osztani a minőségi megkötések alapján:

- Teljesítmény tápegység: 1V,
- Nagy pontosságú, ultra-alacsony zajú tápegységek: MGTAV 1V, 1,2V, 1,8V,
- Nagy pontosságú, alacsony zajú tápegységek: az eddig fel nem sorolt tápok.

#### 4.1.1. A tápegységek minőségi követelményei

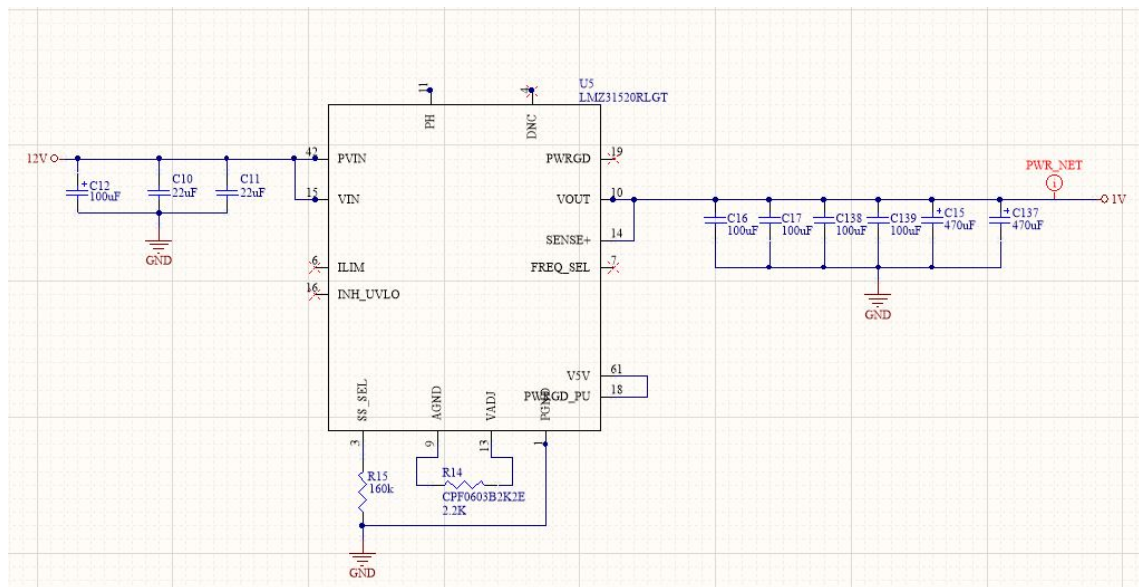
Slow-start (lassú indítás), pontos feszültség szint, táp zajossága, táp bekapcsolási sorrend.

A slow-start egyfajta bekapcsolási védelem az FPGA-nak. Slow-start esetében a táp bekapcsolásakor a  $V_{out}$  0 –  $V_{cc}$  változás nem egy "azonnal" történik meg, hanem egy meghatározott idő alatt; ez az idő általában egy külső kondenzátorral állítható. A 7 Series UG

[15] tanulmányozása után 2ms slow-start időt választottam. A táp bekapcsolási sorrend is az FPGA védelmét szolgálja, hisz az FPGA megsérülhet ha az összes táp feszültsége egyszerre kapcsolódik be. Én a LM3880MF-1AA TI IC-t választottam [23]; ez egy nagyon egyszerű, állíthatatlan kapcsoló. A feladatát tökéletesen elvégzi, és minimális hiba lehetőséget enged csak. A feszültség szint a gyártó által specifikált, [15]-ben meghatározott szintek között hogy kell, hogy legyen. Fontos tudni, hogy a névlegesnél magasabb tápfeszültség erősen növeli a disszipációt. A tápoknak minimális zajt szabad csak produkálniuk. A zajos táp nagyon komoly problémákat tud okozni, többek között átviteli bithibákat.

#### 4.1.2. 1V 20A tápegység

Ez a tápegység komoly tervezési kihívást jelent, mivel az áramerősség nagyon nagy és a potenciális áramerősség változás is igen nagy lehet. A táp IC választásánál csak kapcsoló üzemű IC-k jöttek szóba, mivel a nagy hatásfok elengedhetetlen. A kapcsoló üzemű DC-DC tápegységek hatásfoka 80-95% közt van általában. A kapcsolóüzemű tápegységek három különböző integráltsági szinten léteznek: Controller (külső kapcsoló FET), converter (belső kapcsoló FET), modul (integrált kapcsolási node) [24]. A végső választás a LMZ31520RLGT TI modulra esett [25]. Mint a 4.2. ábrán látható, ehhez modulhoz csak két ellenállást (Slow start select és  $V_{out}$  beállítása) és bulk kondenzátorokat kell illeszteni. Előnyös még, hogy a modul 16x16mm alapterületű, és jelenleg mindössze 18 dollárba kerül.



4.2. ábra. 1V-s tápegység

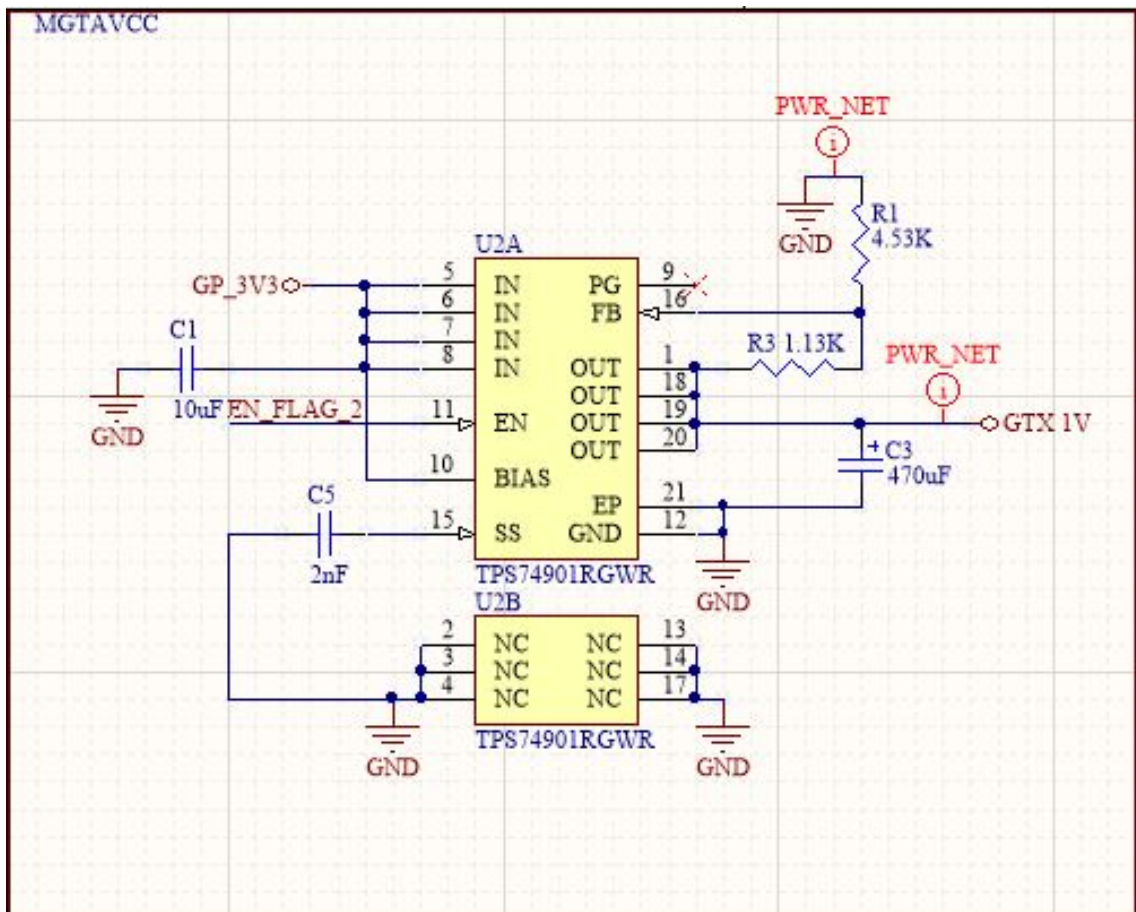
#### 4.1.3. A nagyfrekvenciás FPGA transceiver-k tápolása

A nagyfrekvenciás MGT transceiver-ek (SFP+, PCIe) különlegesek abban a tekintetben, hogy csak 10mV peak-peak zajt tolerálnak a tápfeszültségeken. Ez komoly kihívást jelent; technikailag mind LDO mind DC-DC tápegységek szóba jöhetnek, Xilinx mind a két meg-

oldást támogatja. Én LDO-t választottam ezeknek a feszültségeknek a meghajtására, amit az alábbiakkal támasztottam alá.

- Majdnem univerzálisan az LDO zaja kisebb mint DC-DC-é ,ha ugyanolyan áru és áramú tápegységeket hasonlítottunk össze.
- A transceiver blokkok fogyasztása kicsi, tehát a tápegység hatásfoka nem számottevő a teljes hatásfok tekintetében.
- A táp vezeték hossza kritikus az indukált zaj miatt, tehát közel kell tenni a táp IC-t a FPGA-hoz. A DC-DC tápegység csillagpontja erős EM teret generál, ami indukált zajként jelentkezik a nagyfrekvenciás adat vezetéseken.
- Az LDO elnyeli a  $V_{in}$  zaját.

Mivel LDO-t választottam, ezért nem használhatom a 12V-s sítet  $V_{in}$ -hez; ez 10% alatti hatásfokot okozna. Mivel az SFP+ és a flash tápolására már van egy erős 3.3V-os sín a kártyán, ezért logikus azt használni. A 4.3. ábrán látható egy LDO-s tápegység kapcsolási rajza.



4.3. ábra. Egy MGT tápegység kapcsolási rajza

#### 4.1.4. Tápegység maximális áram méretezés

A Xilinx FPGA más IC-ktől eltérően nem ad meg maximális fogyasztást, hanem fogyasztás szimulációhoz biztosít kész software-t (ISE, Vivado) és Excel sheet-eket (XPE) [26].

Ezen szimulációk alapján választottam ki tápegységek áram bírását. Elvégeztem egy worst case analízist az XPE segítségével és az ott kijött értékeknél legkisebb nagyobb áramú tápegységet választottam.

#### 4.1.5. A hidegítő hálózat tervezése és optimalizációja

A hidegítő hálózat feladata kettős: egyrészt töltést tárol közel a fogyasztóhoz (ún. "bulkolás"), másrészt a kijelölt frekvencia-tartományban aluláteresztő szűrést biztosít. Ezt a két feladatot kell megvalósítania. Ezt a két adatot a datasheet-kből lehet kideríteni. Ezeket követelményeket biztosítottam. A nagyfrekvenciás szűréshez a legnépszerűbb méretek 100nF, 22nF. Én 100nF-t választottam, mivel az FPGA tartalmaz tokozáson belüli nagyfrekvenciás kondenzátorokat.

#### 4.2. DDR3 SDRAM illesztés

A DDR3 illesztése egy elég alaposan kidolgozott, dokumentált mérnöki feladat. Két probléma van vele: az információk megszerzése, és a CAD tervezési szabályok precíz rendszerének megalkotása. A route-olás már egy nehezebb probléma, azt 5 szekcióban tárgyalom. A témában a legjobb információforrások jelenleg a JEDEC specifikációi [27], [28]. Ezen felül érdemes a gyártó-specifikus referenciákat is áttekinteni [20]. A másik kihívás a megfelelő szabálykészlet létrehozása. A következő szabályok egy minimális követelmény-rendszert alkotnak (általános érvényű szabályok ebben nem szerepelnek):

- BGA alatti vezeték szélesség,
- Általános impedancia kontrolált vezeték szélesség,
- BGA alatti via méretek,
- Általános via méret,
- BGA alatti differenciális pár szabály rendszer,
- Általános differenciális pár szabály rendszer,
- Cím, parancs, control csoportok illesztett hosszúság szabályai,
- Bajt Lane 0-7 egyeztetett illesztett hosszúság szabályai,
- Differenciális pár illesztett hosszúság szabály.

Ha ez a rendszer nincs megfelelően kialakítva, akkor igen kicsi az esélye annak, hogy a DDR3 működni fog. A szabályokat konkrétan számszerűsítve itt nem fogom megadni, de JEDEC standardok alapján kitalálható [27].

#### 4.3. FPGA programozása

Az FPGA programozása kétféleképpen történik: egyrészt direkt JTAG láncon keresztül, másrészt flash memóriából való felolvasással. Egyik sem jelent megterhelő tervezési feladatot. A Xilinx programozási útmutatója meghatározza, pontosan mit hová kell kötni [9]. A flash programozását lehetővé kellett tenni FPGA oldalról. Ezt kétféleképpen oldottam meg: egyrészt a JTAG-et visszahurkoltam az FPGA normál IO lábaira, másrészt a flasht is rákötöttem az FPGA normál lábaira. Így VHDL kóddal kétféleképpen is programozható a

flash. Emellett egy jumper-t is beterveztem, amivel állítható, hogy a PCIe busz reset jele reset-elje az FPGA-t (ha a jumper rajta van).

#### 4.4. SFP+ és a PCIe Interface-ek illesztése

Sem az SFP+, sem a PCIe interface tervezése nem jelentett különösebb mérnöki kihívást. Egy LC aluláteresztő szűrő kell az SFP+ tápjára, valamint a PCIe vevő ágait kis kondenzátorokkal kell DC csatolni. Ezeknek az interface-knek valójában nem a tervezése, hanem az implementációja jelenti az igazi kihívást a magas frekvencia melletti jel-integritás megőrzése miatt.

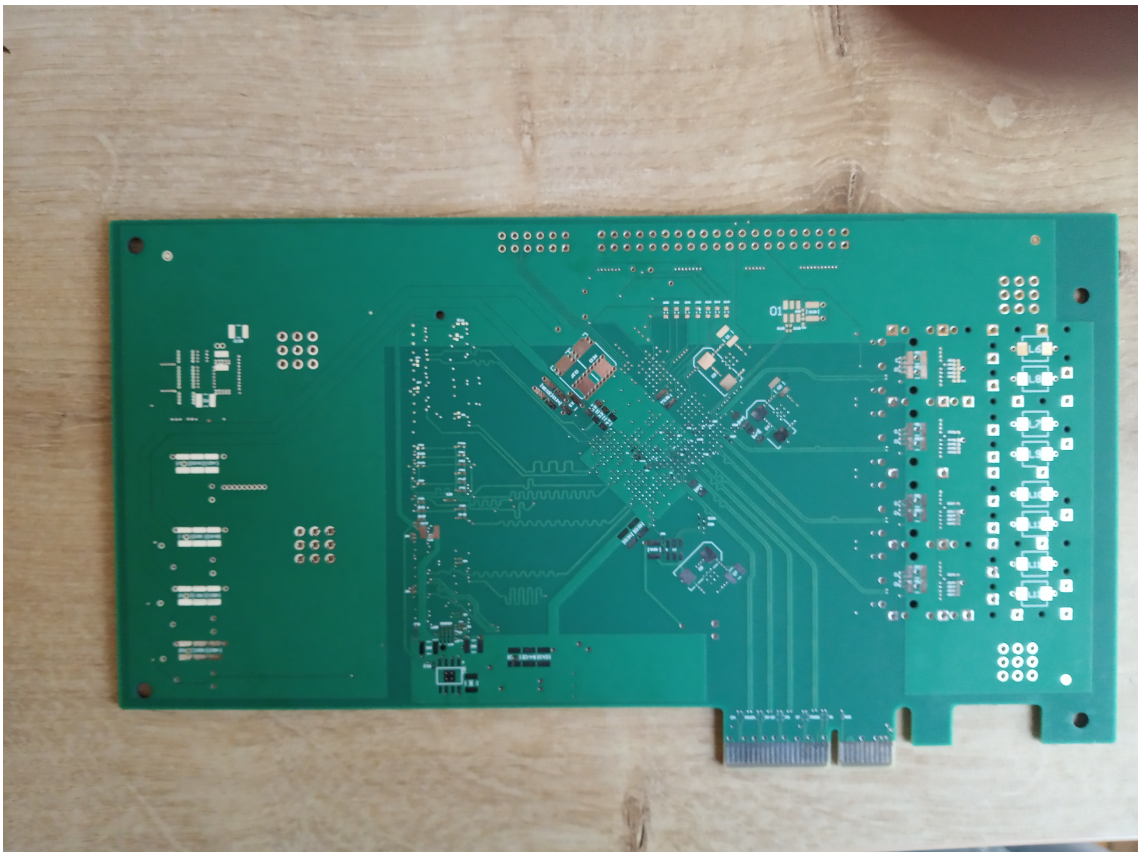
#### 4.5. Passzív alkatrészek specifikációja

A passzív alkatrészekenél a kiválasztás egészen máshogy megy, mint a félvezetőknél. Passzívok elemekből potenciálisan sok olyan footprint-kompatibilis alkatrész van, ami kielégíti a specifikált követelményeket. Ellenben az nem biztos, hogy akár egy hónappal a kiválasztás után az az alkatrész a nagy disztribútoroknál (Mouser, Farnell, Digi-key) még kapható lesz. Ez épp az ellentéte a drága IC-knél tapasztalható gyakorlatnak. Ezért érdemes nem típust kiválasztani, hanem a megadni egy minimális specifikációt ezekre az alkatrészekre. Az ellenállások esetében ez nagyon egyszerű, mivel a valóságos ellenállások sokkal jobban közelítik az ideális ellenállást, mint a kondenzátorok. Az ellenállásoknál csak a méretet, értéket, pontosságot, maximális teljesítményt kell figyelembe venni. A kondenzátoroknál lényegesen bonyolódik a kép, figyelembe kell venni a kapacitást, a maximális feszültséget, az ESR-t, a kapacitás értéket a kívánt feszültségen, a rezonancia frekvenciát, dielektrikum, hőfüggést, pontosságot és a maximális "ripple" áramot.

## 5. fejezet

# Nyomtatott áramköri tervezés

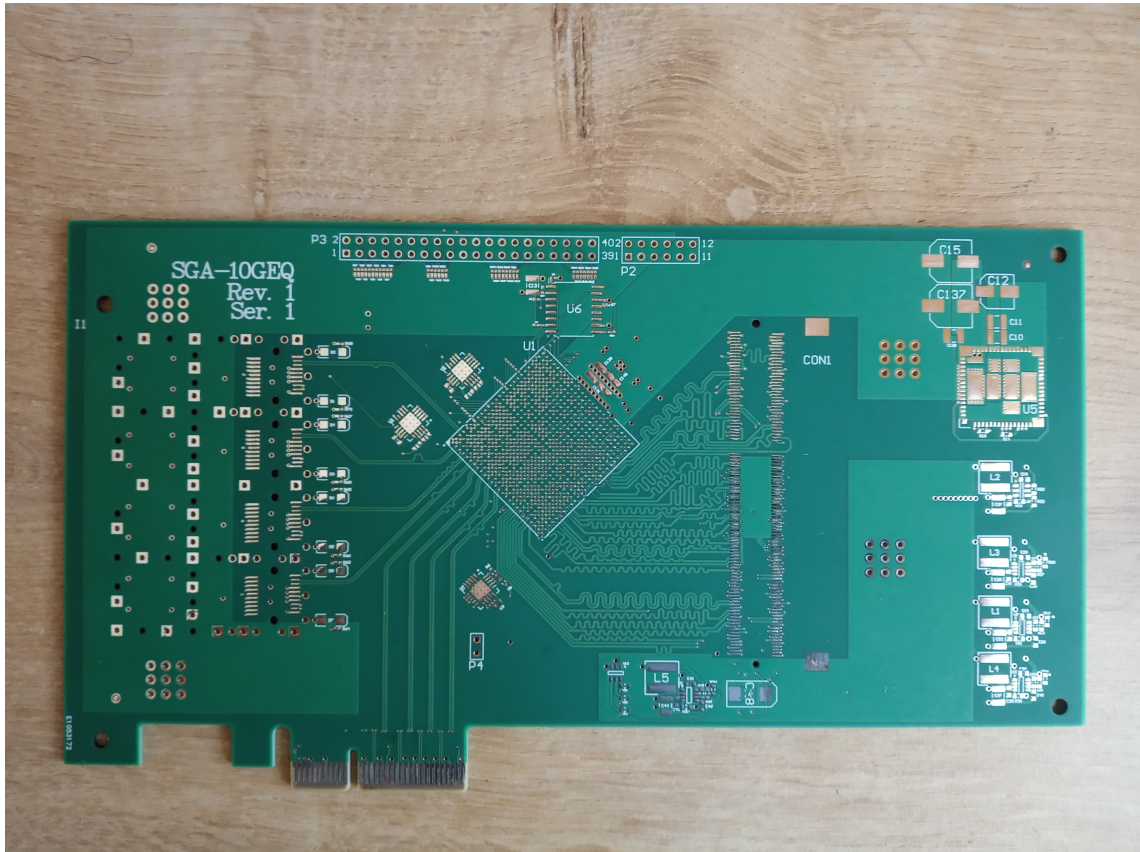
Ebben a szekcióban ismertettem a PCB megtervezésének lépéseit, azt, hogy a kapcsolási rajztól hogyan jutottam el a kész kártyáig (5.1. ábra, 5.2. ábra, 5.3. ábra, 5.4. ábra és 5.5. ábra). Bemutatom, hogyan terveztem meg a PCB zónáit, layer sorrendjét, a kártya route-olását, és a módszereket amiket a helyes működés elérésének érdekében használtam.



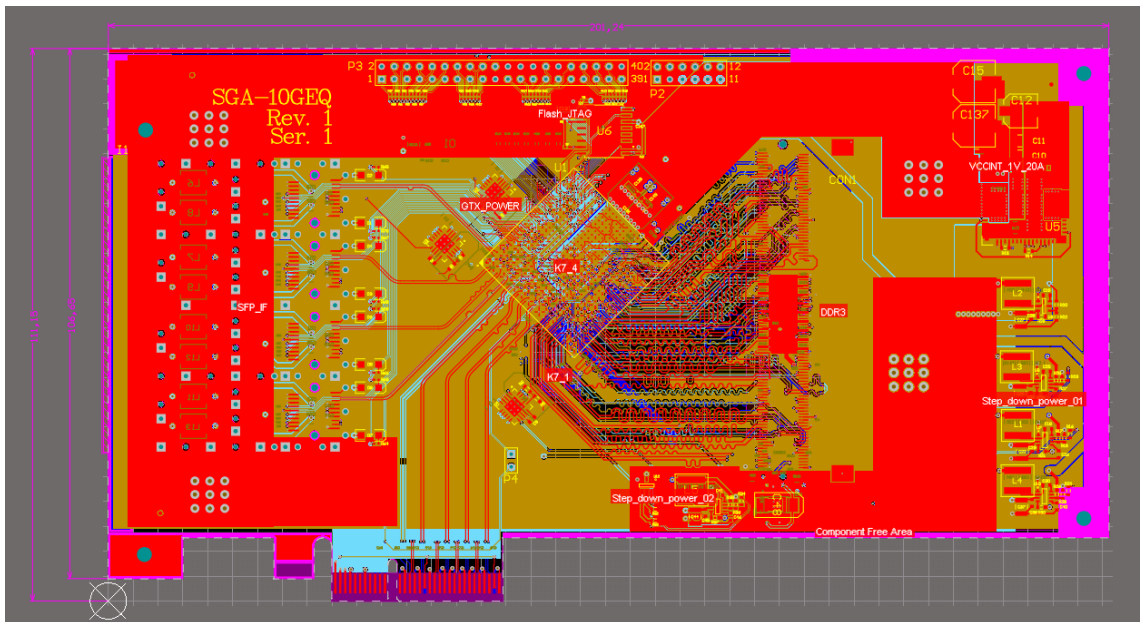
**5.1. ábra.** *A kártya PCB-jének alulnézete*

### 5.1. Mechanikai tervezés

A készülék kártyának kompatibilisnek kell lennie standard alaplappal, és standard fekvő szerver gépházakkal. Ehhez meg kell felelnie a PCIe elektromechanikai standardnak [29].

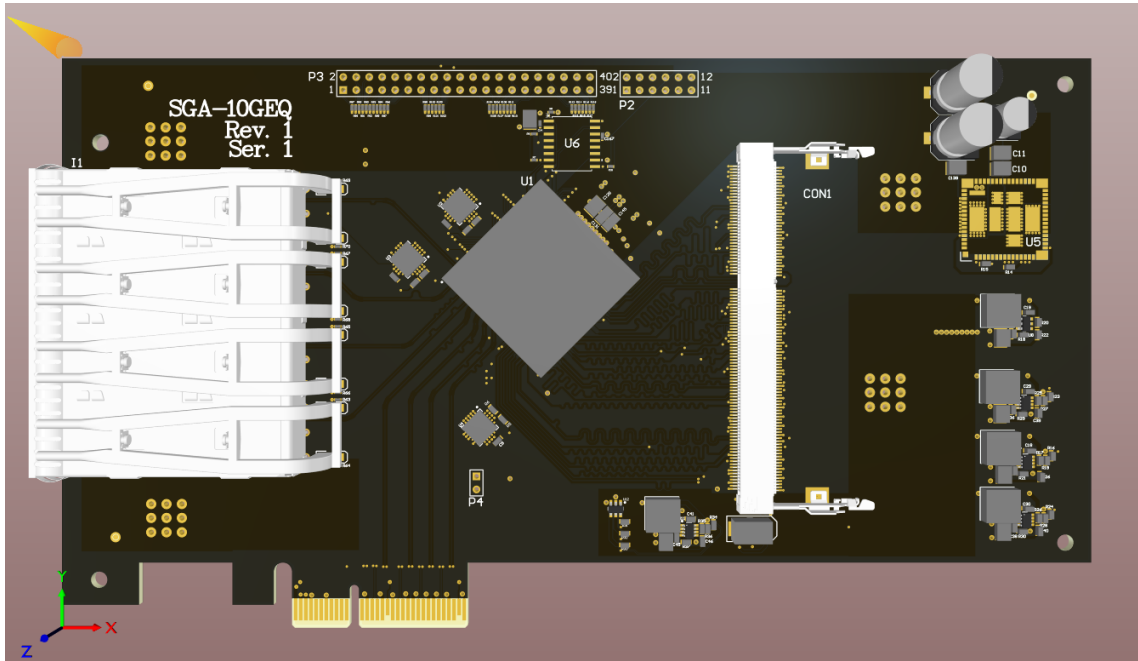


5.2. ábra. A kártya PCB-jének felülnézete

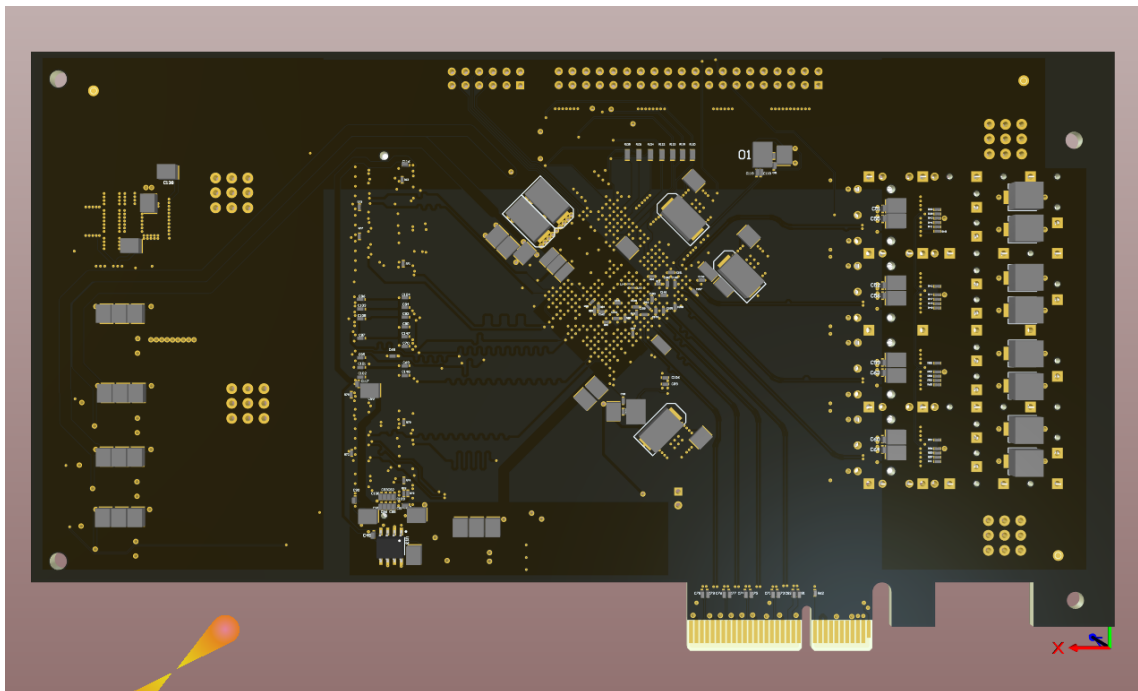


5.3. ábra. A kártya PCB terve

Ebben sokat segített a Altium által készített PCIe x4 PCB sablon. Ez a sablon Altium felhasználóknak ingyenesen elérhető, letölthető. Ez egy specifikáció kompatibilis PCB sablont ad, amiben benne van a PCIe él-csatlakozó és a kártya körvonala.



5.4. ábra. A kártya PCB terve 3D



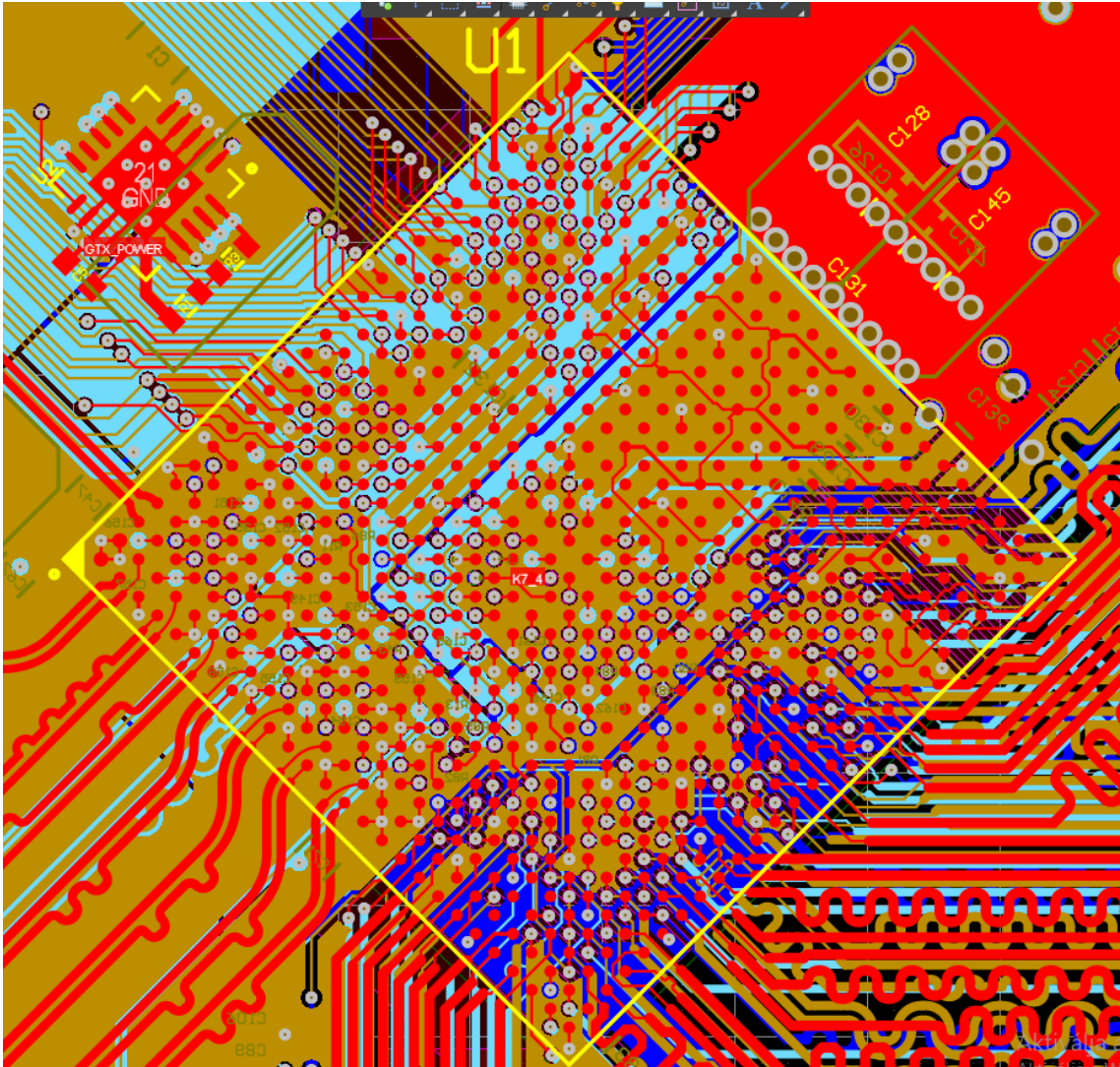
5.5. ábra. A kártya PCB terve 3D bot

## 5.2. BGA fanout

A 676 lábú BGA jel és táp kivezetése komoly kihívást jelentett, mivel – az egyszerű, olcsó gyárthatóság követelménye szerint – csak 6 layer-es a NYÁK, amiből kettő teljes kitöltésű föld sík. Mindemellett az FPGA IO megkötéseiből következik, hogy bizonyos területeken nagyon nagy lesz a kivezetés-sűrűség. Például a DDR memória interface-ét maximum három IO bank-el lehet elkészíteni. A 5.6. ábrán látható az FPGA break-outja. Az első kihívások



már akkor jelentkeztek, amikor a jelvezetékek FPGA-alóli kivezetését kellett tervezni. A sikeres kivezetésnek a legfontosabb kritériuma bankok jó elosztása.



5.6. ábra. A BGA fan-outja

### 5.3. Nagyfrekvenciás tervezés

Azokat a vezetékeket, amin nagyfrekvenciás jel fog futni, különleges figyelemmel kell megtervezni. Ahogy növekszik a frekvencia, úgy kezd a Kirchoff modell egyre kevésbé használhatóvá válni, mivel megjelennek az ún. hullám-jelenségek.

Nagyfrekvenciás tervezésnél az elsődleges szempont a jelintegritás megőrzése. A következő könyvek részletes leírást adnak a terület elméletéről és kihívásairól: [19], [18] és [17]. Munkámat emellett gyakorlati orientációjú cikkek is segítették: [30], [31]. Nagyfrekvenciás tervezésnél két megközelítés létezik: a modell alapú, és a iteratív véges elem szimulációs módszer. A modell alapú módszer veszi a Maxwell egyenleteket és azok segítségével alkot egy modellt, amivel már lehet dolgozni. A másik módszer véges elem szimulációkra épül, amikkel a mérnök iteratívan javítja layout-ját, amíg el nem éri a kívánt szimulált

jelintegritást. Ez a két módszer nem exkluzív. Én a modell alapú módszert alkalmaztam a szakmabeli mérnökökkel való konzultálás után. A következő szempontok nagyon fontosak a nagyfrekvenciás jelvezetékek route-olásánál:

- Impedancia illesztés a driver-hez és a lezáráshoz;
  - Megfelelő áram visszaút biztosítása;
  - Skin hatás figyelembe vétele;
  - Impedancia folytonosság megtartása,
  - Cross-talk minimalizálása;
- Differenciális pároknál:
- Hossz illesztés;
  - Fázis illesztés;
  - Csatolatlan hossz minimalizálása.

A hullámimpedancia nagyon fontos szerepet játszik a jel megfelelő átvitelében. Az Altium dokumentációja [32] a következő képleteket adja meg (5.1), (5.2), ahol LR az a kritikus úthossz, ami fölött impedancia-kontrollált route-olást kell alkalmazni. A 5.1. táblázatban összeszedtem a kártyán megtalálható nagyfrekvenciás vonalakat. A táblázatban található LR érték csak hozzávetőleges, mivel az ún. dielektromos konstans valójában frekvencia függő, valamint ennek az értéknek a pontos kiszámolása nem szükséges, és a képletek is csak közelítőleg modellezik a valóságot. Viszont az jól látszik, hogy a DDR3 oszcillátorának kivételével minden nagyfrekvenciás vonalon elkerülhetetlen az impedancia kontrollált route-olás.

$$V_p = \frac{c}{\sqrt{\epsilon_r}}, T_{rel} = 1/3 \cdot T_{rise} \quad (5.1)$$

$$LR = T_{rel} \cdot V_p \quad (5.2)$$

**5.1. táblázat.** *A kártyán található nagyfrekvenciás vezetékek tulajdonságai és az azokhoz tartozó LR érték, a felfutó él idők a datasheet-kből származnak.*

	Frekvencia	V <sub>p</sub> (5.1)	Min Trise (5.1)	LR
SFP+	10GHz	150m/us	28ps	1.5mm
PCIe Gen. 2	5GHz	150m/us	30ps	1.5mm
DDR3 SDRAM	0.5-1GHz	150m/us	60ps	3mm
DDR3 Oscillator	200MHz	150m/us	450ps	20mm

A hullámimpedancia számítása a Maxwell egyenletekből levezethető, és a [18]-ban megtalálható differenciál egyenletek alapján történik. Ezen belül a távvezeték modell is használható ennél a problémakörnél, mivel az áram visszatérési útvonala egy-két nagyságrenddel kisebb, mint a hullámhossz. Ezek az egyenletek még mindig transzcendális differenciális egyenletrendszer alkotnak. Ez a számítási mód a valóságban nem alkalmazható, ehelyett a következő modelleket használjuk (5.3), (5.4), (5.5), (5.6). A (5.3) a microstrip vezeték impedanciája, (5.4) a stripline impedanciája, (5.5) a microstrip differenciális pár diff. impedanciája, (5.6) a stripline differenciális pár diff. impedanciája, ahol  $h$  a legközelebbi

teljes kitöltésű plane és a vezeték távolsága microstrip, legközelebbi teljes kitöltésű plane-k távolsága stripline,  $w$  a vezeték szélessége,  $t$  a vezeték magassága,  $d$  a diff. pár élének távolsága. Ezek a legfontosabb vezeték impedancia-modellek nagyfrekvenciás rendszereknél. Ezen felül léteznek még modellek, de azokat a dolgozatban nem ismertetem, mivel nem használtam őket.

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \cdot \ln\left(\frac{5.98h}{0.8w + t}\right) \quad (5.3)$$

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \cdot \ln\left(\frac{1.9h}{0.8 * w + t}\right) \quad (5.4)$$

$$Z_d = \frac{174}{\sqrt{\epsilon_r + 1.41}} \cdot \ln\left(\frac{5.98h}{0.8w + t}\right) \left(1 - 0.48 \exp\left(\frac{-0.96 * d}{h}\right)\right) \quad (5.5)$$

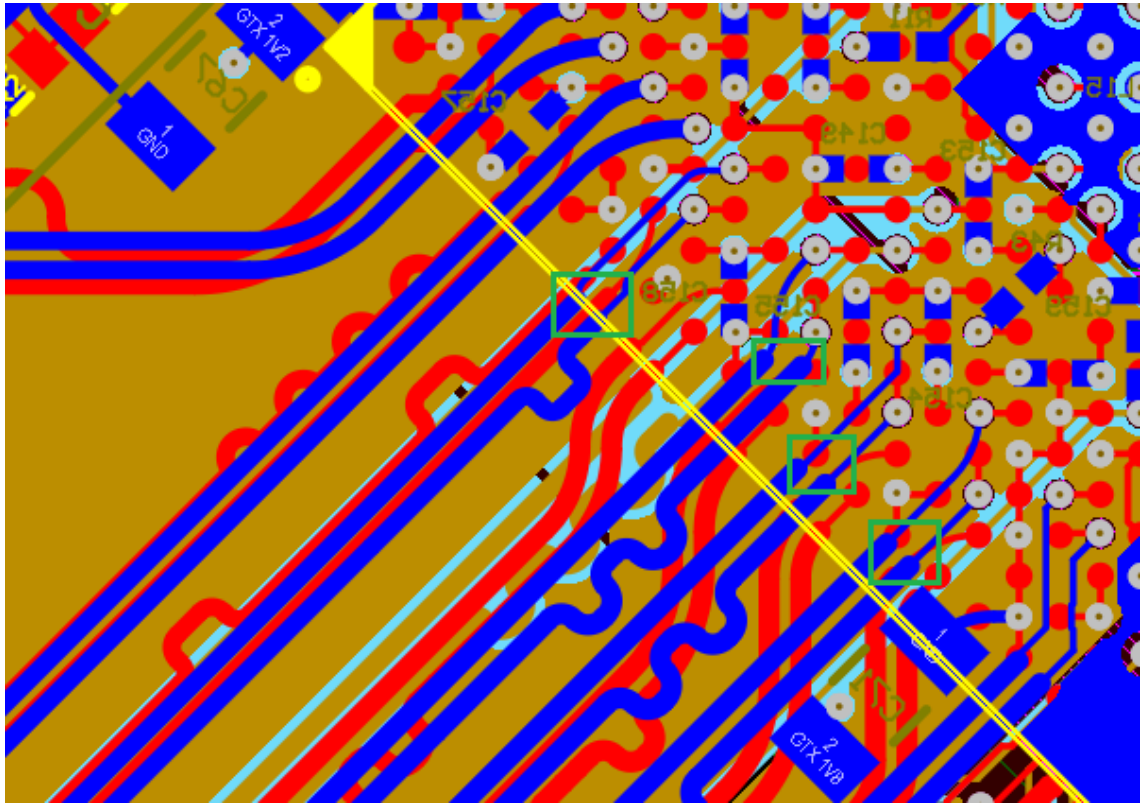
$$Z_d = \frac{120}{\sqrt{\epsilon_r}} \cdot \ln\left(\frac{1.9(2h + t)}{0.8 * w + t}\right) \left(1 - 0.347 \exp\left(\frac{-2.9d}{2h + t}\right)\right) \quad (5.6)$$

Ezek a modellek a Maxwell egyenletekből lettek származtatva, úgyhogy feltételezésekkel éltünk a környezetről, amiben benne vannak a vezetékek. Ahhoz, hogy ez a modell valós értékeket adjon, az implementáció során figyelniük kell arra, hogy a megvalósításban teremtjük meg azokat a feltételeket amiket elfogadtunk az egyszerűsítésnél. Például feltételezzük (5.3)-nál, hogy a rétegen amin a microstrip vonal elhelyezkedik nincs más vezető – ez természetesen megoldhatatlan az implementáció során. De azt kiköthetjük, hogy 10mm távolságon belül nem rakunk kondenzátort arra a rétegre. Mivel ezek a követelések gyakran ellentmondanak egymásnak és más típusú megkötéseknek, ezért sok tapasztalati tudást kell beépíteni a fejlesztési folyamatba. A jelvezetésénél törekedni kell az impedancia-folytonosság megtartására, hiszen minden impedancia-változáson reflexió keletkezik. A (5.7) képlet írja le ezt a jelenséget távvezeték modell esetében.

$$r = \frac{Z - Z_0}{Z + Z_0} \quad (5.7)$$

Felmerül a kérdés, a gyakorlatban mikor lép fel impedancia változás? Ezt a SGA-10GEQ legkritikusabb nagyfrekvenciás részén mutatom be: a FPGA transceiver blokkjánál. A leggyertelműbb eset az, amikor megváltozik vezeték szélessége – lásd 5.7. ábra. Ezen felül a közeli pad-ek, vezetékek kapacitív csatolása, valamint layer váltás via által és geometria egyenetlenségek, lásd 5.8. ábra. Felmerül a kérdés, hogy mégis mért szerepelnek ezek a "hibák" a NYÁK-on? A FPGA 10GHz-es transceiver kivezetései 2mm távolságra vannak egymástól, ezért kell az FPGA közelében kisebb vezeték-szélességgel dolgozni. A C71 a 10GHz-s QPLL-k tápját bulk-olja/szűri, aminek a közelsége kritikus. A 5.8. ábrán szürkével kiemelt egyenetlenségek az ún. fázis illesztés miatt szükségesek. Mint látható, a követelmények gyakran egymásnak ellentmondanak, ezért a tervezésnél tapasztalati tudást kell alkalmazni ahhoz, hogy feloldjuk ezeket az ellentmondásokat. Ezért is nevezték a mikro-hullámú tervezést "black magic"-nek.

Skin-effektusnak azt a jelenséget nevezzük, amikor az áramsűrűség a nagyfrekvenciás



5.7. ábra. A képen kiemelve láthatóak a vezeték-szélesség változások

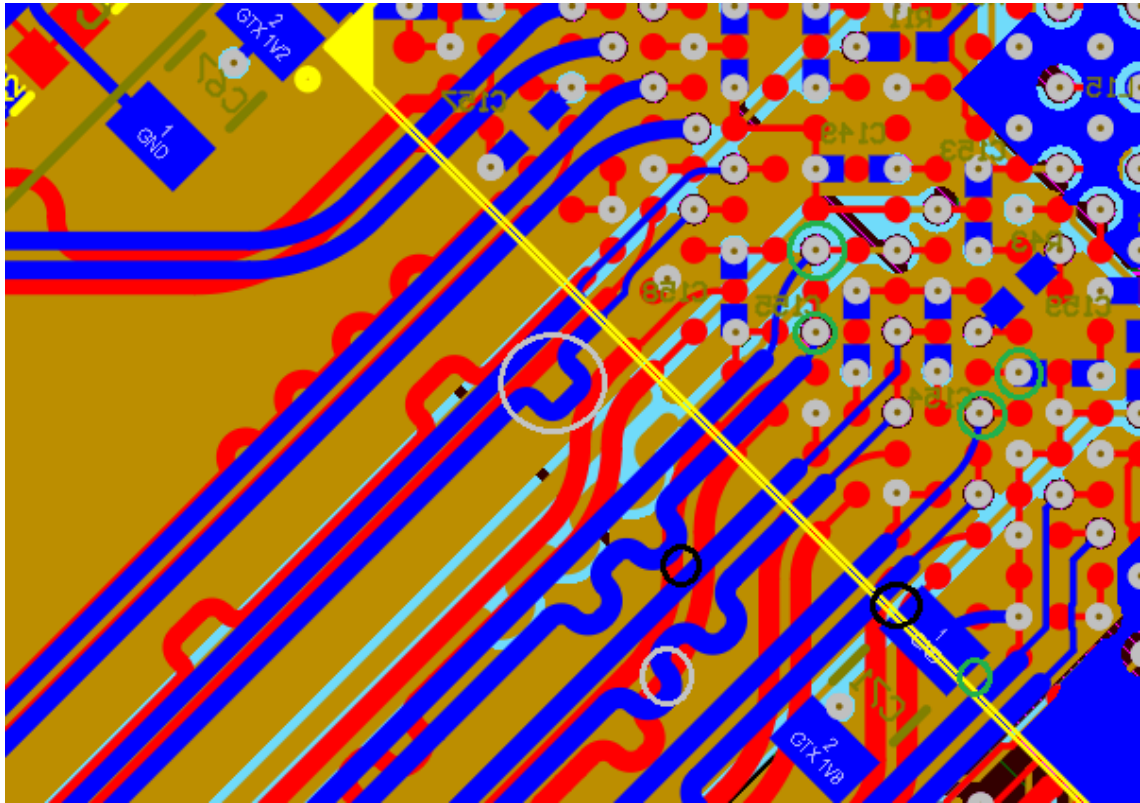
jeleknél a vezeték külső felületéhez közel koncentrálódik. Ennek a jelenségnek az oka, hogy a vezetékben generálódó cirkuláris  $H$  tér által generált örvényáram (eddy) "kiszorítja" a hasznos áramot a vezeték közepéből. Ez miért érdekes nekünk? Mivel szeretjük az egyszerűség miatt a vezetéseinket veszteségmentes távvezeték-ként modellezni, egy egyszerű példa (5.8), ami tovább egyszerűsödik nagyfrekvenciás esetben (5.9) – tehát csak ilyen veszteségmentes esetben lehet tisztán rezisztív lezárást alkalmazni.

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (5.8)$$

$$Z_0 = \sqrt{\frac{L}{C}} \quad (5.9)$$

Az első mérnöki megérzés nagyfrekvenciás route-olásnál nyilván az, hogy legyenek olyan vékonyak a vezetékek amennyire csak lehetnek, így kisebb lesz a cross-talk, kevesebb helyet foglal. A skin-effektus miatt ez nem biztos, hogy egy szerencsés megközelítés. A 5.2. táblázat néhány gyakori vezeték ellenállását írja le. Látható, ha az megkötés, hogy elhanyagolható legyen az ellenállás, akkor érdemes nagyobb szélességű vonalakat használni.

A megfelelő áram-visszautak biztosítása különösen fontos a nem-differenciális jelek esetében. Nagyfrekvenciás jelek esetében a visszautat a legközelebbi plane (táp vagy föld) biztosítja. A vissza-áram ebben az esetben a legkisebb *induktivitású* úton fog folyni – tehát a vezeték alatt fog folyni az áram. Ha ez nem lehetséges, az illesztetlenség miatt reflexiók



**5.8. ábra.** A képen kiemelve láthatóak a via átmenetek (zöld), közeli részfelületek (fekete), geometriai egyenetlenségek (szürke)

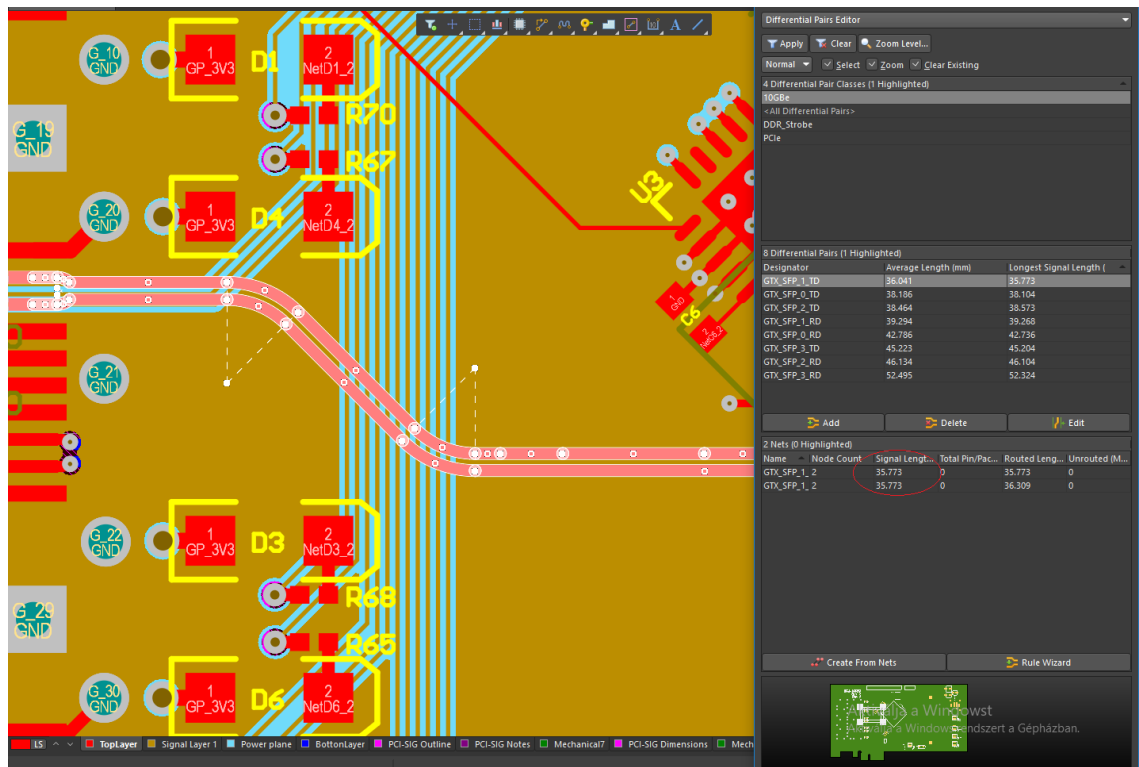
**5.2. táblázat.** Különböző szélességű vezetékhez tartozó ellenállás értékek,  $T=25^{\circ}C$  és téglalap alakú vezeték-keresztmetszetet feltételezve

Dimension	R 0Hz	R 1GHz	R 10GHz
50mm 0.15mm 35um	0.162	1.139	3.547
50mm 0.3mm 35um	0.081	0.623	1.952
50mm 0.5mm 35um	0.04	0.388	1.221

fognak keletkezni, valamint antennák alakulhatnak ki. Azért, hogy biztosítsam a megfelelő áram-visszautakat, a inner 1 és inner 4 layereket tiszta föld rétegeknek vettem; ez a két réteg a maradék négy rétegnek megfelelő visszautat biztosít.

A cross-talk a közeli vezetékek között fellépő parazita kapacitív és induktív csatolások miatt létrejövő áthálások összessége. Az áthallásokat a vezetékek közti távolság növelésével és a él-felfutási idő növelésével lehet csökkenteni. A SFP+ és PCIe interface-nél csak a távolság növelése lehetséges. DDR3-nál mind a két lehetőség használható, mivel a DDR3 több frekvencián is működőképes. A differenciális pár két vezetéken, redundánsan viszi át az információt. Ennek a redundanciának haszna az, hogy védelmet biztosít a jelnek, valamint csökkenti a jel EM szennyezését. A közös módosú zajok például teljesen kiszűrhetők, ha a differenciális pár jól van implementálva. A jó implementációnak három fő követelménye van: a csatolatlan hossz minimalizálása, hossz illesztés, fázis illesztés. A hossz illesztés a legfontosabb: ha a pár két vezetékének hossza nem egyezik meg, akkor a jelterjedési idő miatt a jel két komponense eltolva érkezik meg a vevőhöz, ezzel eltorzítja a logikai jelet. A

PCB-n lévő differenciális jeleket maximálisan 0.1mm toleranciával illeszttem – lásd 5.9. ábra –, az ipari megkötés 10GHz-s jeleknél 5 mil.



5.9. ábra. Mikrométerre pontosan hossz-illesztett differenciális pár

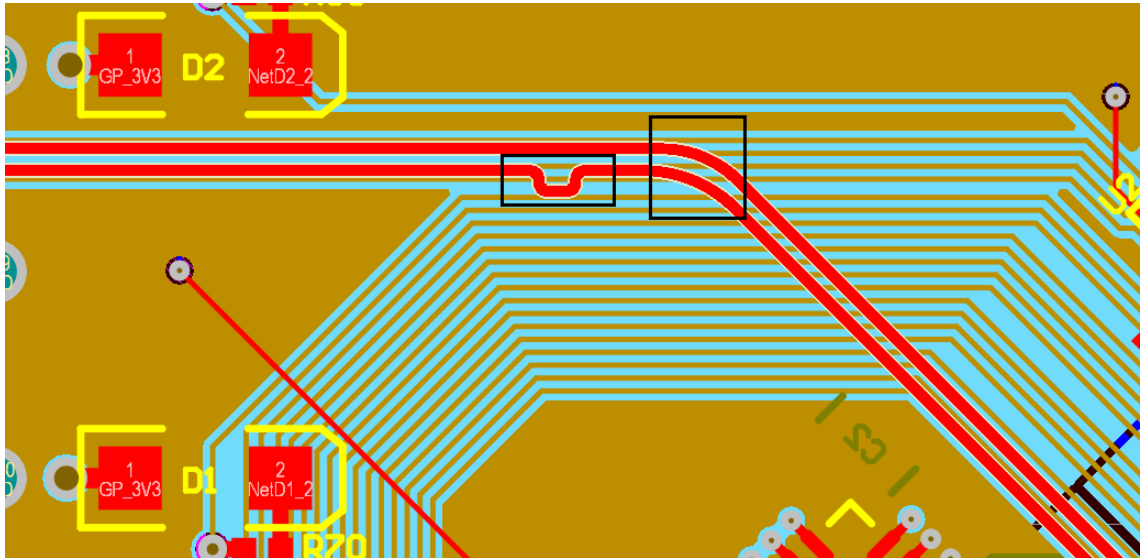
A fázis illesztés már egy bonyolultabb kérdés. A tökéletes fázis illesztés legegyszerűbb definíciója szerint az  $n$  vezeték mindegyik pontjára igaz, hogy az adott ponthoz legközelebb eső pontja a  $p$  vezetéknek ugyanakkora  $a$  az adó hozzátartozó lábától mért távolsága. Másképp fogalmazva: hosszaiik illesztettek minden pontban, nem csak a vevőre nézve. Erre azért van szükség, hogy a kis hullámhosszoknál a becsatolt zaj fázisban is ugyanoda csatolódjon be. Ahogyan csökken a felfutási idő, úgy növekszenek a fázis-illesztési követelmények. Tökéletes fázis csatolás fizikailag lehetetlen BGA-knál. Reális megoldás az, hogy a lehető legkisebb legyen a fázis csatolatlan vezeték, lásd 5.10. ábra.

#### 5.4. DDR3 interface routolása

A DDR3 SDRAM illesztésének orozslánrésze nagyfrekvenciás tervezés, ám a nagy mélységű párhuzamos buszok miatt megjelenő speciális követelmények miatt érdemes ezt a lépést külön is kifejtetni.

A DDR3 interface jeleit a JEDEC specifikáció írja le [27], [28]. A 204-pin SO-DIMM csatlakozásait három csoportra lehet osztani: táp és föld, nagyfrekvenciás jelek, kiegészítő jelek (pl. I2C interface). A nagyfrekvenciás jelek a következő csoportokra vannak osztva:

1. Adat byte csoportok – egy csoport tartalmaz 8 adat bitet, egy adat maskot, és egy pszeudó differenciális párt, ami strobe funkciót valósít meg. A strobe route-olt hossza páron belül 0.1mm-n belül meg kell, hogy egyezzen, míg a teljes byte csoport egyen-



**5.10. ábra.** A képen látható, hogy a hossz különbség okozójához (irányváltás) lehető legközelebb került a hossz korrekció

kénti route-olt hossza 1mm toleranciával meg kell, hogy egyezzen.

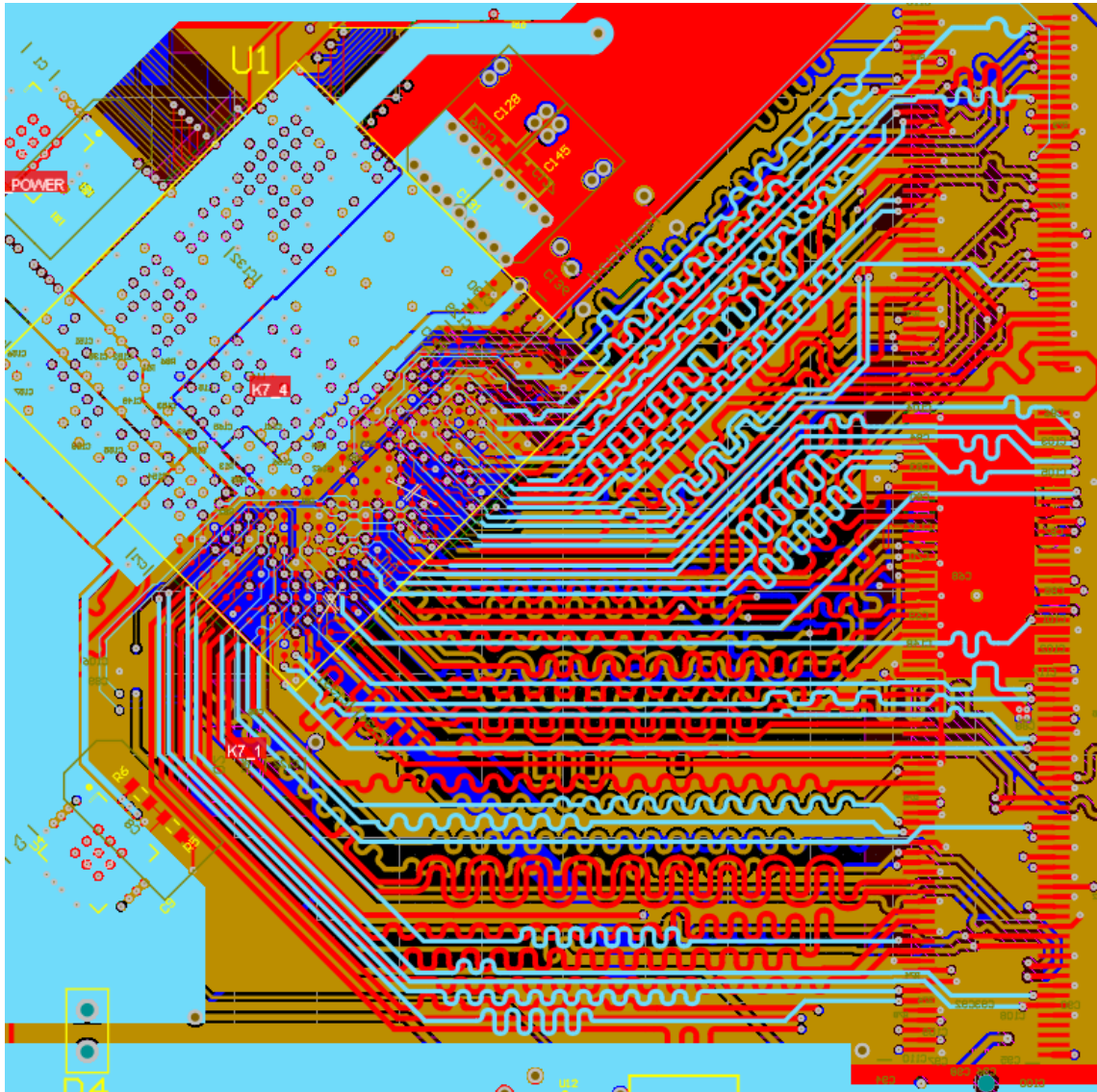
2. A következő csoport a control csoport; ez csak 3 bit-et tartalmaz: Select, CE (Chip Enable), ODT (Lezárás kiválasztás).
3. A legnagyobb számosságú csoport a cím/utasítás csoport. Ez tartalmazza a cím biteket, az órajeleket és a BA (Bank kiválasztás), RAS (Row Acces Strobe latency), CAS (Column Acces Strobe latency) jeleket. Ebben a csoportban a diff. pároknak 0.1mm a toleranciájuk, és a csoportnak 1mm a toleranciája.

Mivel csak 4 routing layer-re lett tervezve a NYÁK, és a Xilinx DDR3 interface lábkiosztása maximum 3 bank-re van korlátozva, ezért kénytelen voltam egy minimális funkcionalitással működő DDR3 implementációt tervezni. Minden vezetéket kivettem a tervből, ami nem volt feltétlenül szükséges a DDR3 implementációjához. A 5.3. táblázatban megtalálható ennek az implementációnak a leírása.

**5.3. táblázat.** A SGA-10GEQ-n megvalósított DDR implementáció vezetékai

Csoport	Jelek
Control	ODT
Adat byte	Data[n:n-8], Strobe
Cím/utasítás	Add, BAx, CAS, RAS, WE

A DDR3 modulon lehetőség van a lezárások impedanciájának dinamikus változtatására, viszont a meghajtók impedanciája kötött. Ez az impedancia 40 Ohm, a vezetékeket is ezzel az impedanciával érdemes route-olni. Viszont a kevés rétegből adódóan a PCI express specifikációhoz tartozó 1.55mm kártya-vastagság mellett nagy a rétegek közt a távolság. Így tehát nagy vezeték-szélességet kell használni a kívánt impedancia eléréséhez. Emiatt a megkötés miatt 50 Ohm impedanciával route-oltam a DDR3 vezetékait. Az FPGA lábkiosztásának optimalizációja egy nagyon fontos kritérium a sikeres implementáció érdekében.



5.11. ábra. A DDR3 bekötése

A 5.11. ábrán látható a végleges route-olás.

## 5.5. Layer Stack meghatározása

A maximum 6 réteg a költség minimalizálás miatt adott volt a specifikációban; ezt a 6 réteget kellett optimalizálni. A következő szempontokat kellett figyelembe venni:

- Nagyfrekvenciás jelek optimális réteg-átmenete (via stubbok minimalizálása);
- Stripline impedanciához tartozó vezeték-vastagság minimalizálása;
- Nagyfrekvenciás, egymódosú jelek áram-visszaújtjainak biztosítása;
- Tápszigetek megfelelő bekötése.

Az alkatrészek tanulmányozása után arra jutottam, hogy a NYÁK teljes felületén nem szükséges dedikált táp réteget használnom, viszont célszerű egy réteget kijelölnöm a tápnak, amin a tápok nagy részét route-olom. Két layer sorrend merült föl ennek az optimalizációs feladatnak a megoldásánál. A 5.4. táblázatban látható ez a két lehetőség.



**5.4. táblázat.** *A két lehetséges layer stack leírása*

Physical L	Var. 1	Var. 2
Top	Signal	Signal
Mid 1	GND	GND
Mid 2	Signal	Signal
Mid 3	Signal/PWR	GND
Mid 4	GND	SIGNAL
Bot	Signal	SIGNAL/PWR

A két lehetőség hasonlóknak tűnik, de mégis jelentős különbségek vannak köztük. A Var. 1 az a 5-10GHz-s párok route-olására optimalizált stack-up. A Top és Bot rétegek nagy-szerű lehetőséget biztosítanak ezeknek a jeleknek a route-olására, mivel így nincsenek via stub-ok. A Var. 2 a DDR3 route-olására optimalizált stack-up, Mid 2-n és Mid 4-n, mivel plane-ekkel vannak mindkét oldalról határolva, ezért vékonyabb vezetékek elegendő a kívánt hullámimpedancia eléréséhez. Bár a DDR3-nak alacsonyabb a frekvenciája, viszont masszívan párhuzamos. Emiatt a vékony vezeték szélesség fontosabb, mint a stubok elkerülése. Mivel a DDR3 a jelenlegi termékben nincs használva (sem a jelenlegi, sem a monitorozásnál tervezett jezzési forgalom sem igényli), ezért annak a prioritása kisebb, mint a PCIe-nek és a 10Gbps Ethernet-nek. Ezért a Var. 1 lett választva a layer sorrendnek.

## 5.6. Termikus tervezés

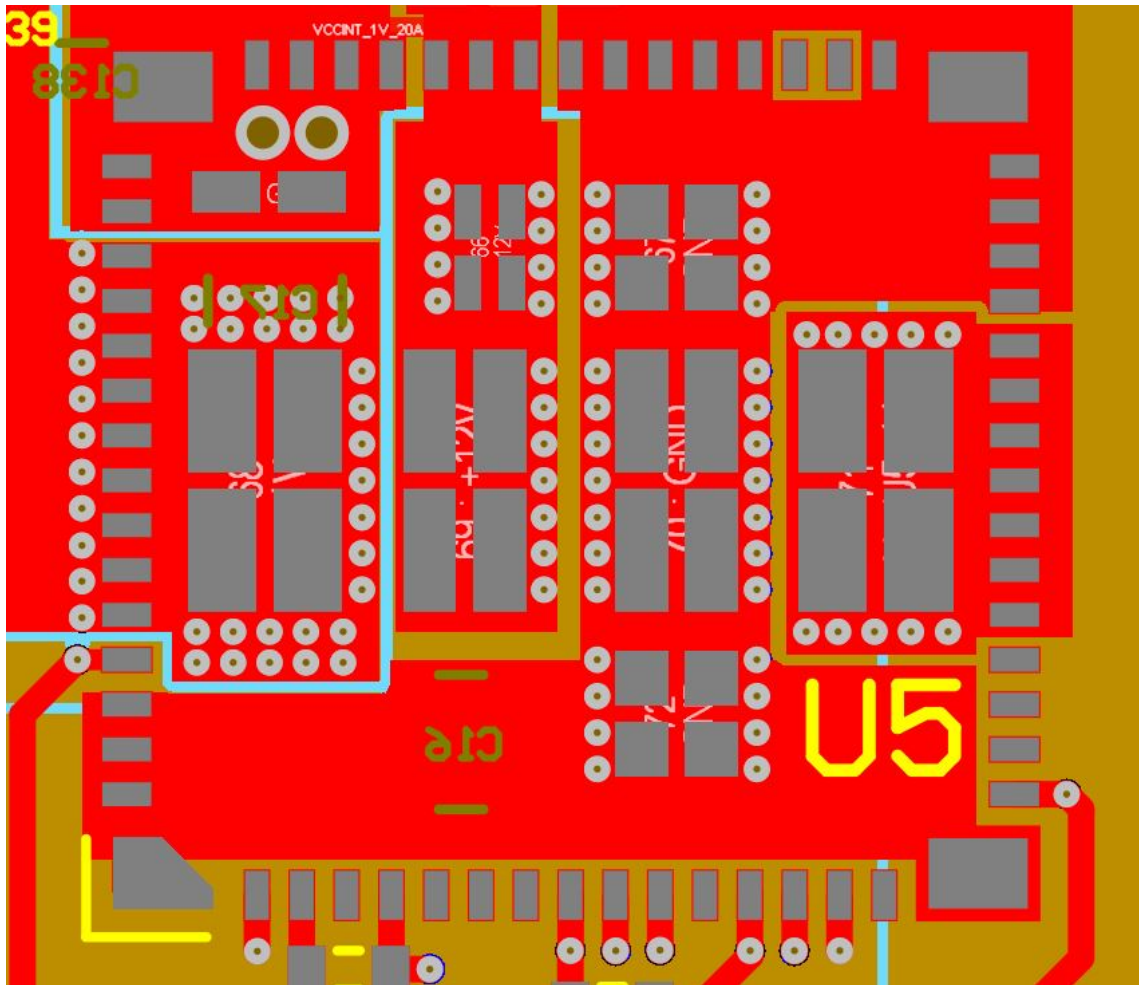
A kártya termikus megtervezése egy nagyon fontos lépés, mivel a rossz hő-profil az élettartalmat jelentősen lecsökkentheti, valamint a gyártást is nehezebbé és költségesebbé teheti. A tervezés során a következő cikkekkel vettem alapul: [33], [34], [35].

Minden aktív komponensnél azt a tokozást preferáltam, ami a legjobban elviszi a hőt a nyákra. Tervezésnél az elsődleges célok a termikus vetemedés elkerülése, valamint a hűtetlen komponensek (amikre nem lehet rakni hűtőbordát) hidegen tartása voltak. Ezt a két célt úgy lehet egyszerre elérni, hogy minél kisebbnek tartjuk a hőmérséklet különbséget a PCB-n belül, és a PCB hőmérséklete is legyen minimális. A PCB két anyagból áll: réz és FR-4. Az FR-4 rosszul vezet a hőt, míg a réz jól vezet a hőt. Tehát a réz felületeket maximalizálni kell, valamint meg kell kerülni a réz rétegek közt lévő FR4-t. Ez legjobban termikus viák használatával lehetséges. A termikus viák fémes kapcsolatot hoznak létre a réz rétegek közt. A 5.12. ábra és 5.13. ábra bemutatja a hűtő viák két típusát.

A via méret megválasztása fontos lépés. Alapszabály, hogy alkatrészek alá kicsi viákat érdemes választani, míg üres területekre nagy viákat érdemes választani.

## 5.7. Gyárthatóságra való tervezés

A NYÁK-nak nem csak elméletben kell jónak lennie – nagyon fontos úgy tervezni, hogy megfizethető áron, megbízhatóan le tudják gyártani a NYÁK-ot. A tervezés során ez a lépés, amiben (tapasztalatok híján) a legtöbb hibát követtem el. Ebben az is szerepet



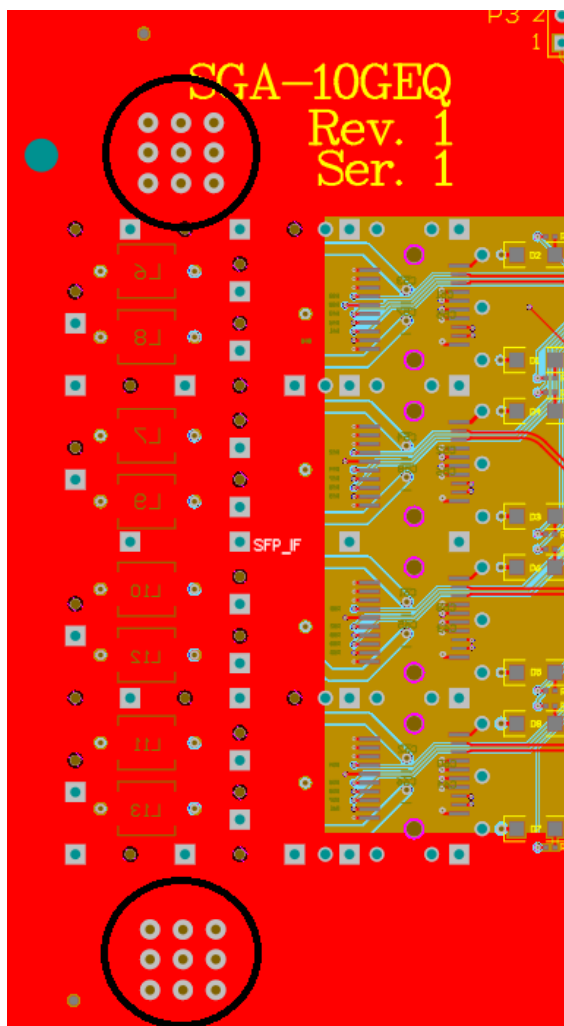
**5.12. ábra.** A 20W tápegység PCB layout-ja. Látható, hogy 60 via vezet el a disszipált teljesítményt.

játszik, hogyl közel sem fordítottam annyi időt a gyártási eljárások megismerésére, mint a táp vagy nagyfrekvenciás tervezés megértésére. Ebben a fejezetben bemutatom, milyen lépéseket tettem a jó gyárthatóság érdekében, és milyen hibákat követtem el.

Az első hiba amit elkövettem az volt, hogy a technológiai láncot (gyártó, összeszerelő) nem határoztam meg a tervezés elején. Emiatt a gyártásra tervezés nem volt organikus része a tervezésnek. A tervezés elején technikai specifikációban csak minimális vezeték szélességet, a minimális réz-réz távolságot kötöttem ki, valamint az alapanyagot választottam ki. Mindez nagyon fontos, de közel sem elégséges. Ez a hibás döntés 2-3 héttel megnyújtotta tervezési időt. Amit még figyelembe kellett volna vennem:

- Legkisebb készfurat;
- Minimális külsőréteg maradék gyűrű (OAR);
- Legkisebb furat-réz távolság;
- Legkisebb furat-furat távolság.

Ezek a gyártási szempontok már csak akkor derültek ki, amikor leadtam gyártásra a NYÁK-ot. Ezeket a problémákat javítottam, de ez jelentősen késleltette a befejezést. A nyákot a Nagytárkányi Eurocircuits Kft. [36] készítette el. Az összeszerelést a csepeli SonicLab Kft.



**5.13. ábra.** A nagy méretű GND viák (fekete), nagyon jó eredményt érnek el hőmérséklet kiegyenlítésében.

[37] végezte. Az összeszerelők a következő visszajelzéseket adták a nyákomhoz:

- A HASL bevonat nem jó az olyan NYÁK-okhoz, amin 0402 SMD alkatrész van – HASL helyett arany-nikkel bevonatot érdemes használni. A HASL eljárás nem egyenletes vastagságú bevonatot hoz létre, valamint korrodálódik, ami PCIe csatlakozó esetén kifejezetten káros. Emellett egy forraszthatatlan réz-ón inter-metalikus réteget is alkothat, ha túl erős a lefűvő levegő [38], [39].
- A BGA alatt mask-olni kell a viákat, valamint be kell fedni a viákat. A fedetlen viák és a padek közt a forrasz hidakat hozhat létre, ami rövidzárat okoz. Mindemellett a forrasz befolyhat a viákba, ami kontakthibákat okozhat.
- A PCIe csatlakozót kemény arany bevonattal célszerű ellátni. A PCIe csatlakozó fizikai igénybevételének van kitéve. A nikkel-arany bevonat nagyon vékony (5-10um), ezért gyorsan le tud kopni.
- A press-fit SFP+ cage szerelése könnyebb, ha alatta nincsenek alkatrészek.
- Solder mask expansion állítása a gyártóra hagyható. A solder mask ablak kiterjesztésére csak azért van szükség, mert nem tudják teljesen pontosan illeszteni a maszkokat.

Ezért érdemes rájuk hagyni ennek a meghatározását.

Ezeket a hibákat a következő típusban javítani fogom. Mindezen hibák ellenére a SonicLab vállalta a beültetést, és optimisták voltak a nyákkal kapcsolatban. Várakozásaik beigazolódtak; minden NYÁK-ot sikerült hibátlanul legyártani – mint az a beültetés utáni tesztekben kiderült.

## 6. fejezet

# Verifikáció

Ebben a fejezetben bemutatom a az elvégzett verifikációs folyamatokat. Ezeknek a folyamatoknak a végrehajtása még tervezési időben történt.

### 6.1. FPGA chip validáció

A validáció első lépése az FPGA chip előzetes kiválasztása után történt. Biztosnak kellett lennem abban, hogy a Chip képes lesz futtatni a azokat a core-okat, amikhez a kártya készül – azzal a különbséggel, hogy nem 2 db 10Gbps interface-n kapja a forgalmat, hanem 4-en. Természetesen semmit se ér a kártya, ha képtelen elvégezni a feladatát. A VHDL core-kon lehet optimalizálni, de ennek a projektnek a scope-ja ezt nem tartalmazta.

Metodológia: A VHDL kódok portolása, 4x10Gbps bemenetű hardware-re. A helyes működés bizonyítása szimuláció szinten. A szimuláció nem ad semmi garanciát arra, hogy ez hardware-n is helyesen fog működni, de arra jó, hogy lássuk, minden megvan-e – pl. nem maradt-e ki egy 40 BRAM-ból álló memória blokk. A VHDL kód implementálása a következő lépés. Ezek után következik a implementált core előforrás igényének felmérése. Ha ez a core 75% -nál kevesebb előforrást használ, akkor elfogadjuk a chipet.

Tesztek: A mobilhálózat monitorozó core és a IDS rendszer portolása készült el. A monitorozó core portját **nem én, hanem egy kollégám készítette el.**

Eredmények: A teszt a Kintex7 160T kártyán *sikerrel* zárult; az eredményeket a 6.1. táblázatban foglaltam össze.

**6.1. táblázat.** *A monitorozó és DDoS detekciós core igényeinek felmérése a XC7K160T-2 chip-pel. Azokat az órajeleket amik kötöttek, nem vettem be a összehasonlításba (PCIe clock, XAUI interface clock)*

	DDoS core	Monitorozó core
Slice kihasználtság	42%	68%
BRAM kihasználtság	27%	47%
DSP kihasználtság	6%	56%
IO kihasználtság	32%	21%

## 6.2. FPGA bekötésének validációja

Miután elkészült a FPGA lábkiosztása, ellenőrizni kellett, hogy ez így működőképes lesz-e. Elsősorban az MGTA adó-vevő blokk és a DDR3 interface lábkiosztása kritikus.

Metodológia: Ezt úgy lehet tesztelni, hogy a kapcsolási rajzban lévő lábkiosztást megadjuk a Xilinx ISE-nek vagy Vivado-nak egy Core-hoz csatolva. Ezt elvégeztük három különböző core-ral (10G, PCIe, DDR3).

Eredmények: A 10G-s és PCIe expressz core lábkiosztása *hibátlan* volt. A DDR3 core-ban a következő hibákat találtam: A Strobe pár Lane0-n, Lane4-n n-p lábak fel voltak cserélve. A D51 bit rossz lábba volt kiosztva. Ezeket a hibákat a kapcsolási rajzban javítottam.

## 6.3. Tápegység összeszerelése és tesztje

Több NYÁK-ot rendeltem az Eurocircuits-től [36] azzal a céllal, hogy a tápegységet ki lehessen próbálni rajtuk. Ez azért egy nagyon fontos lépés, mivel a tápegység hibájának nagyon nagy a költsége. Ha egy oszcillátor rossz, akkor nem működik az FPGA-n egy funkció. Viszont ha tápegység rossz, akkor könnyen lehet olyan hiba, ami az FPGA chip-et is elégeti. Egyik esetben 10\$ a kár, a másikban akár 400\$ is lehet.

Metodológia: Mivel 10 különböző feszültség szint van, de csak négy különböző tápegység, ezért csak a különböző tápegységeket ültettem be. A 6.1. ábrán láthatók a tápegység-csoportok különböző színnel bejelölve, és a zöld nyíllal jelölt tápegységek be lettek ültetve. A tápegységekre a specifikált terheléshez hasonló Ohm-os terhelés került. Ezután oszcilloszkoppal kimértem a tápegység feszültségeket. Mindemellett a sequencer lett még beültetve, ami nem tud nagy hibát okozni, de 4 alkatrész beültetésével egy fontos funkciót lehet tesztelni.

Eredmények: A beültetett tápok és a sequencer *helyesen* működött. A specifikációt teljesen kielégítette.

## 6.4. A kész kártya tesztelése

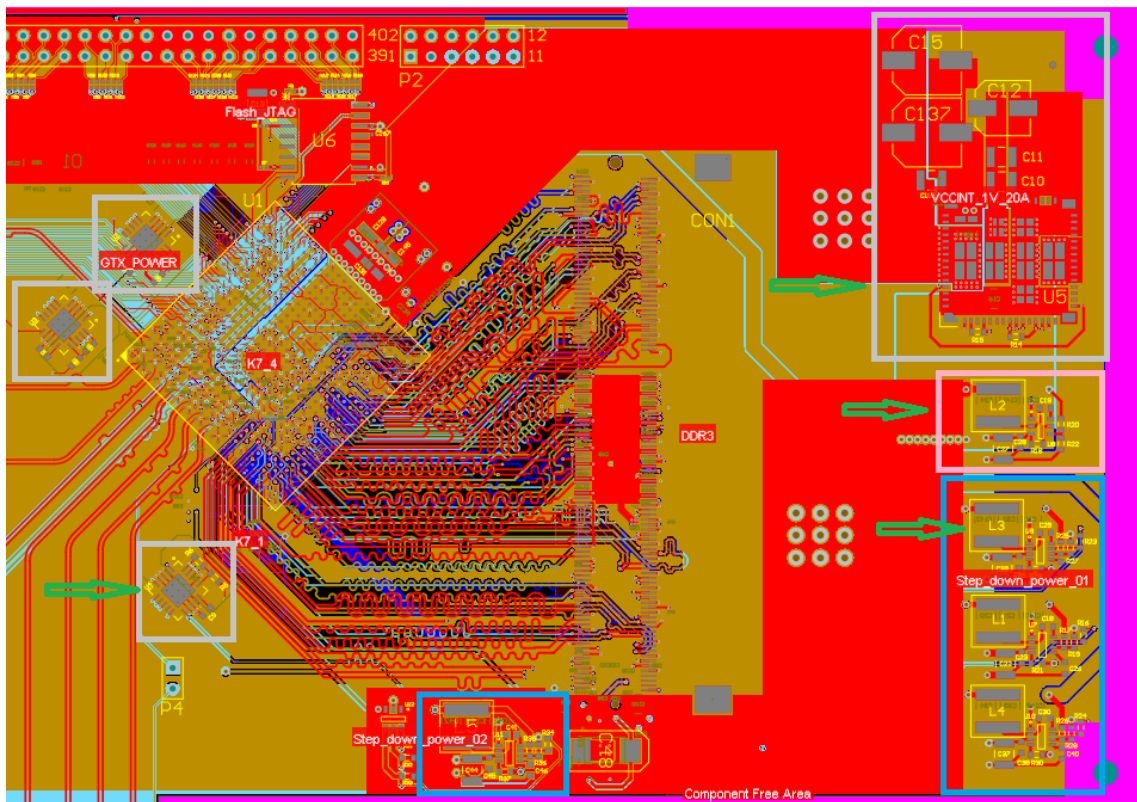
A kártyát az összeszerelés után felélesztettük és különböző funkcióit teszteltük. Ebben a részben ismertetem ennek a tesztelésének a menetét. Ezeket a tesztek három kártyán végeztem el hasonló eredményekkel, a konklúzió mind a háromra érvényes. Az itt szereplő eredmények a 2. kártya teszteléséből származnak. A DDR3 tesztelésére nem maradt idő a dolgozat beadási határideje előtt.

### 6.4.1. Első bekapcsolás utáni teszt

Ez a teszt az ún. füstteszt. Arra szolgál, hogy egyáltalán feszültség alá lehet-e az eszközt helyezni anélkül, hogy kár keletkezne benne.

Metodológia: A kártyát laboratóriumi tápon keresztül alacsony áram limittel bekapcsolom. Amennyiben nem korlátozza be a táp a tápfeszültségeket kimérem.

Eredmények: A kártya 75mA-t fogyasztott, a tápfeszültségek maradéktalanul megvoltak. A teszt *sikerrel* zárult.



**6.1. ábra.** A képen zöld nyíllal vannak jelölve a beültetett tápegységek. Az azonos színnel bejelölt tápegységeket kizárólag az ellenállás osztó különbözteti meg egymástól

#### 6.4.2. Első program teszt

Ez a teszt arra szolgál, hogy leellenőrizzem: a Xilinx Impact toolja felismeri-e a FPGA-t, illetve programozható-e a FPGA.

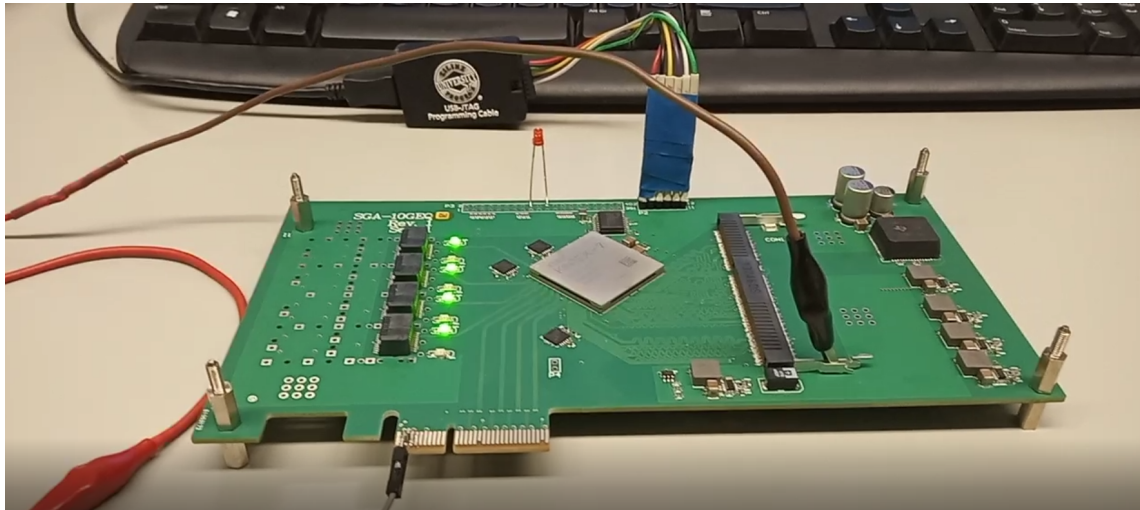
Metodológia: A kártyát labor tápon keresztül alacsony áram limittel bekapcsolom. JTAG-en keresztül csatlakoztatom egy PC-re, amin a Xilinx ISE fut. Elkészítek egy VHDL core-t, ami villogtatja az SFP+ LED-jeit a 156.25MHz 10gbe interface clock felhasználásával. Az Impact software-t elindítom, megnézem felismeri-e az FPGA-t, majd feltöltöm a villogtató core-t. Vizuálisan ellenőrzöm a core működését.

Eredmények: A kártyát az Impact sikeresen felismerte, a kártyát *sikeresen* programoztam. A vizuális ellenőrzés kielégítő eredménnyel zárult, lásd 6.2. ábra.

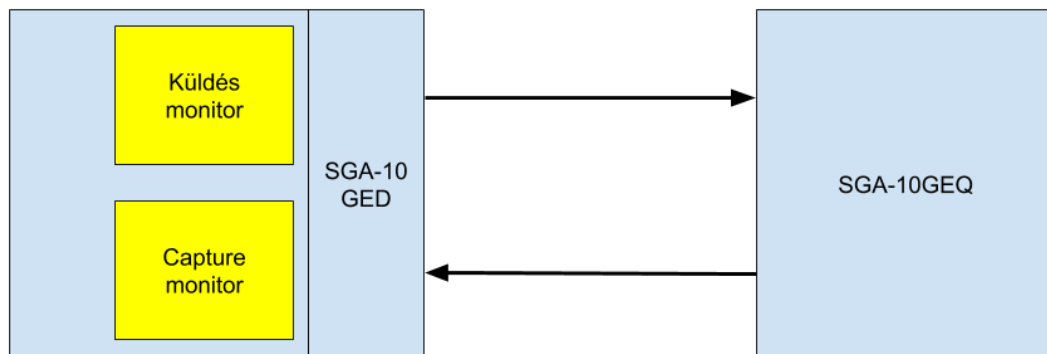
#### 6.4.3. 10 GbE tesztelése

Ez a teszt arra szolgál, hogy megbizonyosodjak a 4 db 10 GbE (10 Gigabit Ethernet) csatlakozás helyes működéséről. Mind a helyes adást, mind a helyes vételt tesztelni kell.

Metodológia: A kártyát labor tápon keresztül 1A áram limittel bekapcsolom. JTAG-en keresztül csatlakoztatom egy PC-re, amin a Xilinx ISE fut. Elkészítek egy VHDL core-t, ami tartalmazza a Xilinx 10GbE IP-ját. A JTAG-en keresztül olvasható regisztereket hozok létre, ami interface-enként számolja a beérkezett csomagok számát és az Ethernet



6.2. ábra. Az első program futás közben

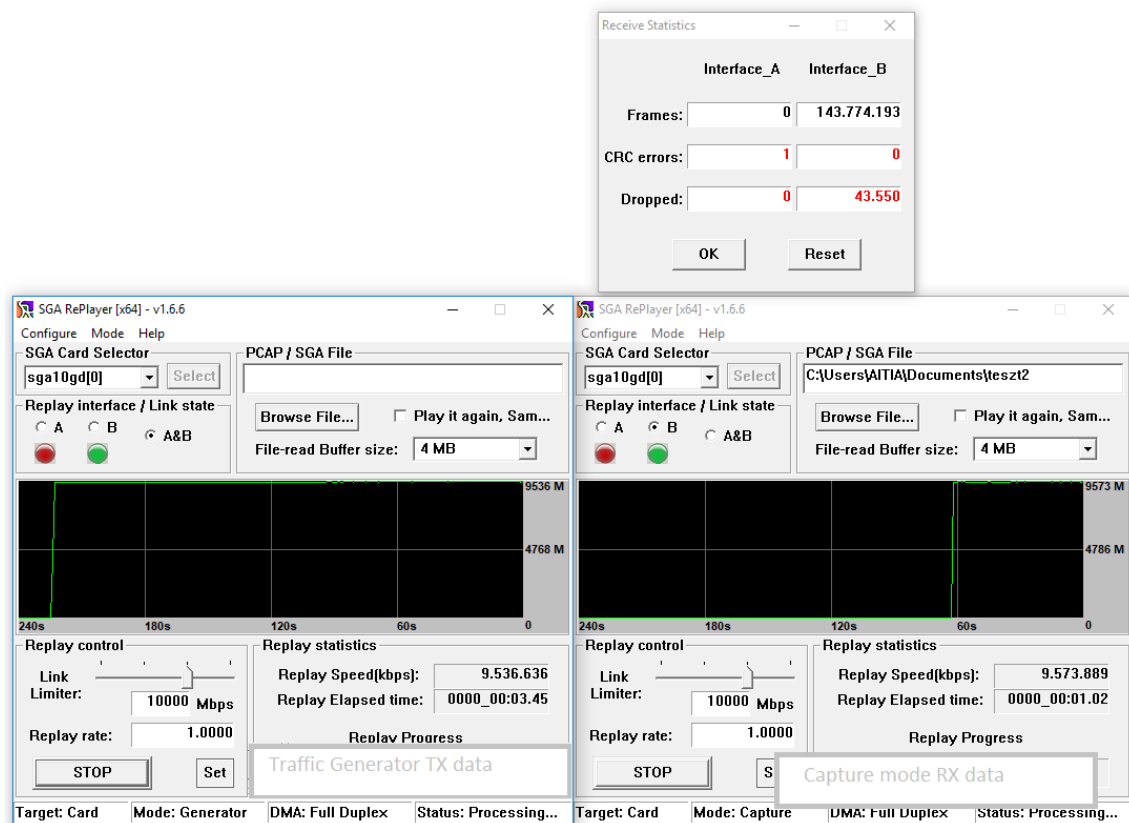


6.3. ábra. A 10GbE mérési összeállítása

CRC hibák számát. A Loopback-et bekapcsolom, tehát a beérkezett csomagokat új CRC trailer-rel látom el és kiküldöm ugyanazon az interface-en. Feltöltöm a kártyára az IP core-t. Az SGA-10GED kártyával (mint tesztelő eszközzel) 10 Gbps forgalmat generálok, és ráküldöm az új SGA-10GEQ kártya (Device Under Test) egyik interface-ére. Mérem a beérkezett csomagok számát és a CRC hibákat mind a két oldalon. Ezt a tesztet mind a 4 interface-re elvégzem, lásd 6.6. ábra és 6.3. ábra.

Eredmények: A kártya 10 GbE interface-ei *tökéletesen működnek*. A SGA-10GEQ kártya nem érzékelt CRC hibás keretet több, mint 1 milliárd csomagból. A SGA-10GED kártya nem érzékelt CRC hibás keretet több, mint 1 milliárd csomagból, lásd 6.4. ábra és 6.5. ábra.





6.4. ábra. Az interface 0 tesztje és 10GED oldali statisztikái. A bal oldaliak a generátor statisztikái. A jobb oldaliak a vételi statisztikák. A vételt később indítottam. A csomagok közti gap nem maradt egységes, ezért van a maximális értékekben különbség.

#### 6.4.4. A PCIe Interface tesztje

Ez a teszt arra szolgál, hogy megbizonyosodjak a 4 lane-es gen. 2 PCIe interface helyes működéséről.

Metodológia: A kártyát behelyezem a PC PCIe foglalatába. JTAG-en keresztül csatlakoztatom a PC-re, amin a Xilinx ISE fut. A kollégám elkészített egy VHDL core-t, ami tartalmazza a Xilinx PCIe IP-ját. A vendor id-t és device id-t átállítom a VHDL-ben. A kártyára flash-eltem a PCIe core-t. Telepítem a kollégám által megírt PCIe drivert. A PC-t kikapcsolom majd bekapcsolom, lásd 6.7. A Windows op. rendszer bootolása után ellenőrzöm, hogy felismerte-e a kártyát. Tesztelem a FPGA PCIe regisztereinek írását, olvasását.

Eredmények: A kártya PCIe interface-e működik, a Windows 10 sikeresen felismeri a kártyát, lásd 6.8. ábra. A teszt regisztereket lehet írni, olvasni.

#### 6.5. Áttekintés

Ebben a fejezetben igazoltam:

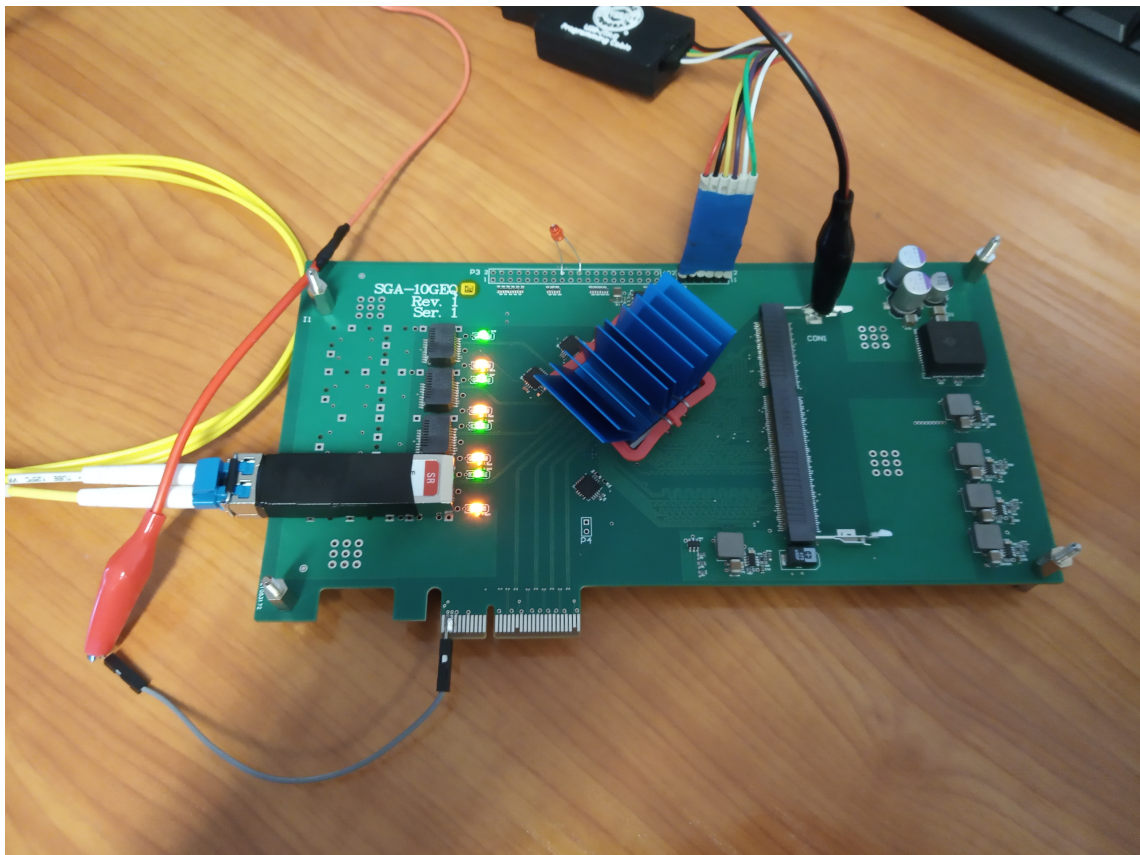
- a használt FPGA képes elvégezni a feladatát;
- az FPGA lábkiosztása működőképes;
- a kártya tápegysége jól működik;

	Interface_A	Interface_B
Frames:	0	157.237.087
CRC errors:	0	0
Dropped:	0	17.029

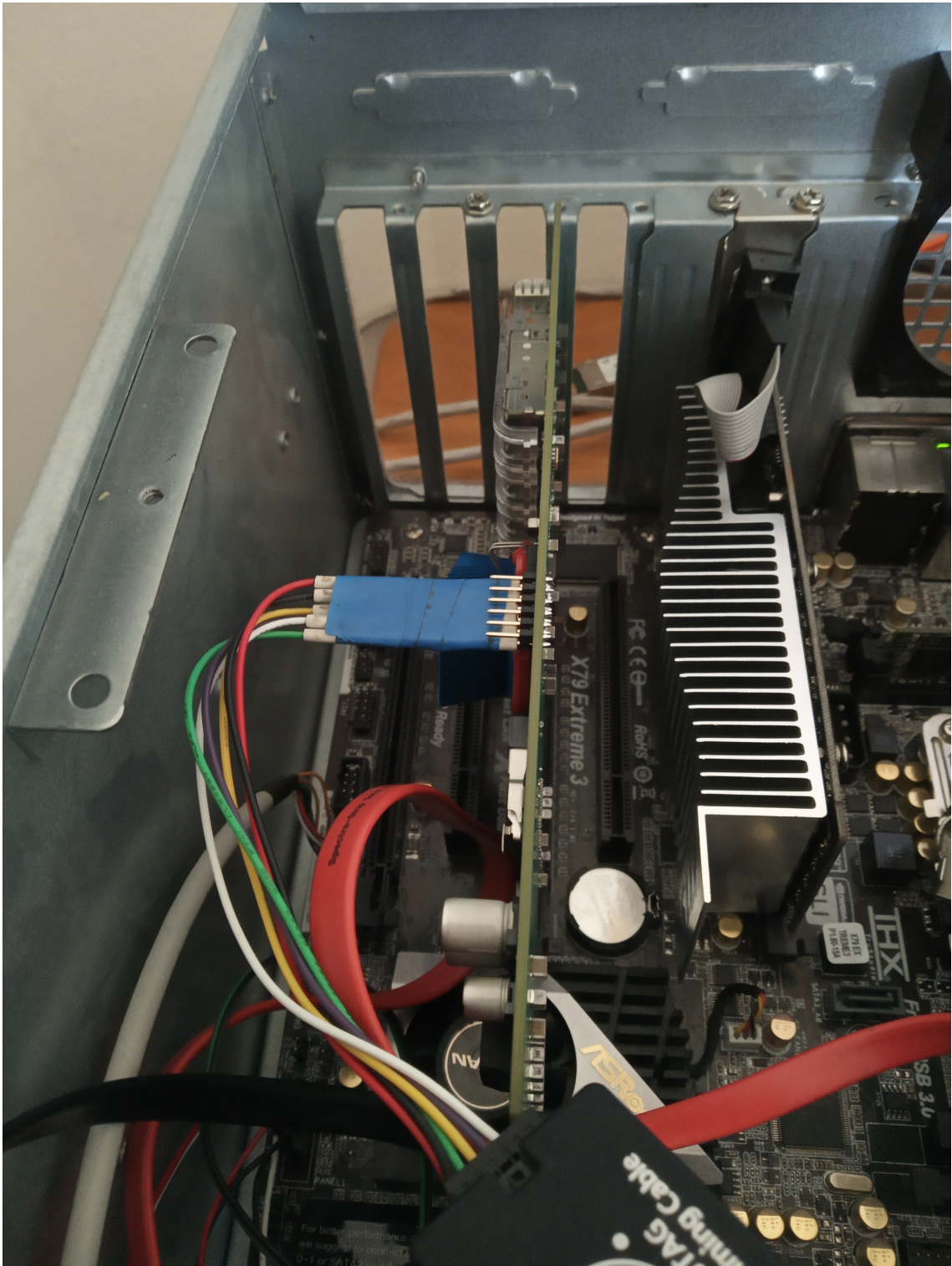
OK      Reset

**6.5. ábra.** Az interface 1 10GED oldali statisztikái. Az eldobott csomagok az SGA-10GED PCIe interface-ének maximális throughputja miatt keletkeztek, tehát a tesztelő eszköz korlátja ez.

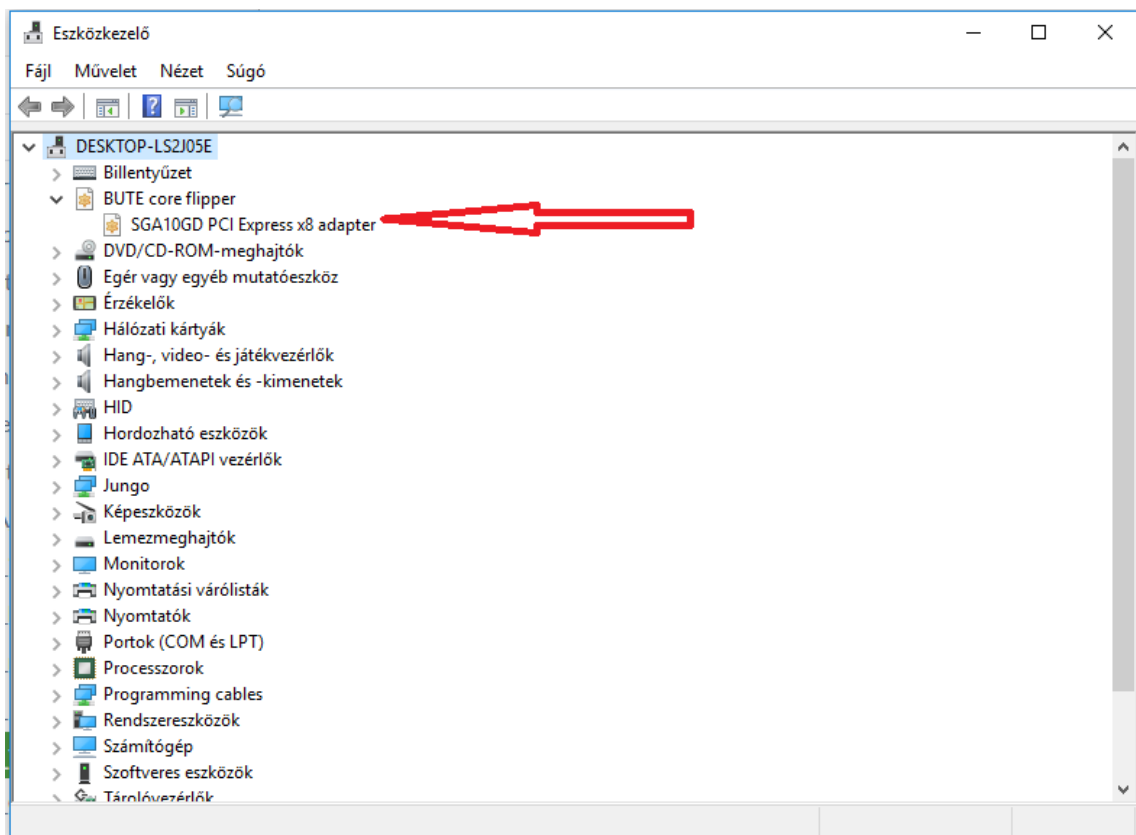
- a kártya programozható és flash-elhető;
- a kártya nagyfrekvenciás Ethernet interface-ei 1 ppb. alatti hibaszázalékkal működnek;
- a kártya PCIe interface-e helyesen működik.



6.6. ábra. A 10GbE mérési összeállítás



6.7. ábra. A mérés összeállítása



**6.8. ábra.** Az eszközkezelő felismeri az új kártyát. A 10GED-del ideiglenesen azonos device ID okozza a hibás megjelenítési nevet.

## 7. fejezet

# Összefoglalás

### 7.1. A tervezés és implementáció eredményei

Ebben a dolgozatban bemutattam, hogyan kell nagy kapacitású FPGA alapú gyorsító kártyát tervezni, különböző műszaki és gazdasági korlátozások együttes fennállása mellett. Bemutattam, hogy ez a kártya hogyan biztosítja a nagy teljesítményű adatfeldolgozást. Emellett megmutattam, hogyan teljesültek a kártyára kirótt követelmények. A 7.1. táblázatban összefoglalom a specifikált követelményeket és vizsgálom azoknak a teljesülését. Mint a táblázatban látható, a tervezett kártyának már a prototípusa is túlszárnyalt minden előzetes várakozást. A legtöbb követelmény bizonyítottan teljesült. A kártya elérte a célját, már csak a bizonyított funkciókkal is sikeresen letudja váltani a SGA-10GED kártyát, és ipari környezetbe állítható.

**7.1. táblázat.** *A kártya specifikált követelményeinek teljesülésének értékelése*

PCIe busz csatlakozás	Sikeresen tesztelve	6. fejezet
PCIe kommunikáció	Sikeresen tesztelve	6. fejezet
Csomagvesztés mentes 4x10GbE	Sikeresen tesztelve	6. fejezet
4x10GbE forgalom feldolgozás	Sikeresen szimulálva	6. fejezet
JTAG programozhatóság	Sikeresen tesztelve	6. fejezet
Remote programozhatóság	Teszt folyamatban	N/A
DDR3 memória	Implementálva, Teszt folyamatban	5. fejezet
SGA-Clock Card csatlakozás	Implementálva	4. fejezet
Standard gépház kompatibilitás	Sikeresen tesztelve	6. fejezet
Három év élettartam	Teszt folyamatban	N/A
PCB pool-ozható gyárthatóság	Implementálva, gyártva	6. fejezet
Standard összeszerelhetőség	Implementálva, gyártva	5. fejezet
Magas jelintegritás	Sikeresen tesztelve	6. fejezet
PCIe sorszámozás	Sikeresen tesztelve	6. fejezet
Külső hibavédettség	Implementálva, teszt folyamatban	5. fejezet

Az előállítási költség szintén nagyon fontos szempont a funkcionalitás mellett. Vizsgáljuk meg, hogy ez a követelmény hogyan teljesült. Pontos költségeket nem ismertetek, viszont a költség komponenseket összehasonlítom:

- **A SGA-10GEQ kétszer akkora teljesítményű, mint a SGA-10GD**
- PCB gyártás: mind két kártya 6 rétegű, ugyanazok a minimális gyártási specifikációk (pl. 0.15 minimális vezeték szélesség), a SGA-10GEQ kicsit kisebb. Kijelenthetjük, hogy a PCB-k költsége hasonló a két esetben.
- Összeszerelhetőség: A SGA-10GEQ kevesebb diszkrét komponenst tartalmaz (300 vs. 420), kevesebb egyedi komponenst tartalmaz (49 vs. 72). Kijelenthetjük: az összeszerelés lényegesen alacsonyabb költségű.
- Az SGA-10GEQ legdrágább komponense az FPGA, ennek ára lényegesen – egy nagyságrenddel – kisebb, mint a SGA-10GED FPGA-jáé (370\$ vs. 3440\$).
- A nem-FPGA alkatrészek ára kisebb a SGA-10GEQ-n (150\$ vs. 200\$).

Látható, hogy a költség komponensek lényegesen kisebbek itt, mint a korábbi SGA-10GED esetében, és kétszer akkora a teljesítménye a SGA-10GEQ kártyának. Kijelenthetjük: a SGA-10GEQ fejlesztése eddig minden szempontból sikeres. A követelményeket teljesítette, és az költsége lényegesen kisebb, mint az elődjéé.

## 7.2. Jövőbeni tervek

A következő néhány hónapban befejezem a funkcionális verifikációt. A validáció és a teljesítmény tesztek futtatása következik utána. Ezzel egy időben a második NYÁK terv revízió elkészítését fogom végezni. Ebben a lépésben a következő módosításokat fogom elvégezni:

- Javítom a tervezés során elkövetett hibákat.
- Alkatrészeken újabb költség optimalizációt végzek, ezzel tovább csökkentem a kártya költségét.
- A kártya méretét csökkentem.

Ha ezeket elvégeztem, egy újabb kis szériát gyárttatok a kártyából. Ezen a szérián ellenőrzöm a változások helyességét. Amennyiben ez a széria bizonyítottan helyesen működik, dokumentálom a kártyát és befejezettnek nyilvánítom a hardware fejlesztési projektet. Ezen felül a software-t és drivert kompatibilissá kell tenni az új hardware-rel, ezzel a feladattal elsősorban kollégáim foglalkoznak én leginkább a hardware-hez nyújtok majd supportot.

# Köszönetnyilvánítás

Szeretném megköszöni a segítséget Varga Pál konzulensemnek, a belémvetett bizalma és segítése miatt. Valamint szeretném megköszönni a technológiai segítséget Kovács László kollégámnak és Horváth György volt kollégámnak, aki a dolgozatban bemutatott kártya elődjét tervezte.



# Irodalomjegyzék

- [1] F. N. Janky and P. Varga, „Time Synchronization Solution for FPGA-based Distributed Network Monitoring,” *Infocommunications Journal*, vol. 10, no. 1, 2018. IEEE.
- [2] P. Tatai, P. Varga, and G. Marosi, „Távközlő hálózati folyamatok monitorozása,” *Híradástechnika Magazin*, vol. 62, no. 8, 2007. IEEE.
- [3] B. Nagy, „DDoS támadások észlelése FPGA-alapú eszközökkel, ezredmásodperces reakcióidővel,” in *Villamosmérnöki és Informatikai Kar 2017. évi TDK konferencia*, (Budapest, Hungary), BME, 2017.
- [4] P. Varga, G. Kathareios, A. Mate, R. Clauberg, A. Anghel, P. Orosz, B. Nagy, T. Tóthfalusi, L. Kovács, and M. Gusat, „Real-Time Security Services for SDN-based Datacenters,” in *Conference on Network and Service Management (CNSM)*, (Tokyo, Japan), IFIP/IEEE, 2017.
- [5] B. Nagy, P. Orosz, T. Tóthfalusi, L. Kovács, and P. Varga, „Detecting DDoS Attacks within Milliseconds by Using FPGA-based Hardware Acceleration,” in *Network Operations and Management Symposium (NOMS)*, (Taipei, Taiwan), IFIP/IEEE, 2018.
- [6] B. Nagy, P. Orosz, and P. Varga, „Low-reaction time fpga-based ddos detector,” in *NOMS 2018 - 2018 IEEE/IFIP Network Operations and Management Symposium*, pp. 1–2, April 2018.
- [7] P. Orosz, B. Nagy, P. Varga, and M. Gusat, „Low False Alarm Ratio DDoS Detection for ms-scale Threat Mitigation,” in *IFIP/IEEE International Conference on Network and Service Management CNSM*, (Rome, Italy), IEEE, 2018.
- [8] Xilinx, „UG1099 - Recommended Design Rules and Strategies for BGA Devices User Guide (ver1.0),” 2018.
- [9] Xilinx, „UG470 - 7 Series FPGAs Configuration User Guide (ver1.13.1),” 2018.
- [10] Xilinx, „UG471 - 7 Series FPGAs SelectIO Resources User Guide (ver1.10),” 2018.
- [11] Xilinx, „UG475 - 7 Series FPGAs Packaging and Pinout Product Specifications User Guide (ver1.17),” 2018.
- [12] Xilinx, „UG476 - 7 Series FPGAs GTX/GTH Transceivers User Guide (ver1.12.1),” 2018.
- [13] Xilinx, „UG483 - 7 Series FPGAs PCB Design Guide (ver1.13) ,” 2018.
- [14] Xilinx, „7 Series FPGAs Data Sheet: Overview,” 2018.
- [15] Xilinx, „Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics,” 2018.
- [16] Xilinx, „WP431 - Leveraging 7 Series FPGA Transceivers for High-Speed Serial I/O Connectivity (ver1.0),” 2018.

- [17] P. Horowitz and W. Hill, *The Art of Electronics*. Cambridge University Press, 2015.
- [18] K. Simonyi, *Elméleti Villamoságtan*. Tankönyvkiadó, 1988.
- [19] H. Johnson and M. Graham, *High Speed Digital Design: A Handbook of Black Magic*. Prentice Hall, 1993.
- [20] Xilinx, „Xilinx Kintex-7 FPGA KC705 Evaluation Kit,” 2018.
- [21] Xilinx, „UltraScale Architecture and Product Data Sheet: Overview,” 2018.
- [22] Xilinx, „UltraScale+ FPGAs Product Tables and Product Selection Guide,” 2018.
- [23] Texas Instruments, „LM3880MF Datasheet,” 2018.
- [24] Texas Instruments, „DC-DC switching regulators overview,” 2018.
- [25] Texas Instruments, „LMZ31520 Datasheet,” 2018.
- [26] Xilinx, „Xilinx Power Estimator (XPE),” 2018.
- [27] JEDEC, „DDR3 SDRAM STANDARD,” 2012.
- [28] JEDEC, „DDR3 Unbuffered SO-DIMM Reference Design Specification,” 2014.
- [29] PCI SIG, „PCI Express Card Electromechanical Specification Revision 2.0,” 2007.
- [30] C. Shufu, G. Shuangxi, and Z. Jingmiao, „Crosstalk analysis and suppression in high-frequency handset terminal device pcb design,” in *2008 8th International Symposium on Antennas, Propagation and EM Theory*, pp. 1067–1070, Nov 2008.
- [31] C. Johansson and T. Månefjord, „Analysis of a high-speed pcb design,” in *2017 IEEE Nordic Circuits and Systems Conference (NORCAS): NORCHIP and International Symposium of System-on-Chip (SoC)*, pp. 1–4, Oct 2017.
- [32] Altium, „Controlled Impedance Routing,” 2018.
- [33] Texas Instrument, „AN-2020 Thermal Design By Insight, Not Hindsight,” 2010.
- [34] E. Monier-Vinard and A. L. Gal, „Pcb design flow under thermal control,” in *The Ninth Intersociety Conference on Thermal and Thermomechanical Phenomena In Electronic Systems (IEEE Cat. No.04CH37543)*, vol. 1, pp. 693–699 Vol.1, June 2004.
- [35] E. M. Dede, P. Schmalenberg, T. Nomura, and M. Ishigaki, „Design of anisotropic thermal conductivity in multilayer printed circuit boards,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 5, pp. 1763–1774, Dec 2015.
- [36] EuroCircuits Kft., „EuroCircuits nyák gyártó Kft.,” 2018.
- [37] SonicLab Kft., „Soniclab Elektronika Kft.,” 2018.
- [38] Y. Bin, L. Yudong, and L. Daojun, „Key failure modes of solder joints on hasl pcbs and root cause analysis,” in *2013 14th International Conference on Electronic Packaging Technology*, pp. 742–745, Aug 2013.
- [39] P. Gordon and T. Hurtony, „Investigation of the wetting properties of cu6sn5intermetallic compound,” in *2015 38th International Spring Seminar on Electronics Technology (ISSE)*, pp. 315–319, May 2015.