



M Ű E G Y E T E M 1 7 8 2

Budapesti Műszaki és Gazdaságtudományi Egyetem
Villamosmérnöki és Informatikai Kar

Kertész Lóránd Tamás

Moduláris Digitális Oszilloszkóp tervezése

KONZULENS

Lazányi János Gyula

BUDAPEST. 2013

Tartalomjegyzék

Összefoglaló	4
1 Oszilloszkóp első kérdések	5
1.1 Analóg sávszélesség	5
1.2 Mintavételi frekvencia	6
1.3 Sinc interpoláció ^[1]	6
1.4 Memória mélység	7
1.5 Felbontás és pontosság.....	9
1.6 Trigger	10
1.7 Bemenetek, mérőfejek és kivitelezés.....	10
2 Modern digitális oszilloszkópok felépítése.....	11
2.1 Analóg Front End (AFE)	11
2.2 Órajel	12
2.3 Energia-elosztó hálózat (PDS).....	13
2.4 Külső trigger	13
2.5 Memória.....	13
2.6 Adatfeldolgozás	14
3 Piacon található PC oszilloszkópok	15
4 Rendszerterv.....	17
4.1 Bővítő modul	17
4.2 FPGA modul	18
4.3 CPU modul	18
4.4 FPGA modul hardver.....	19
4.4.1 FPGA modul PDS.....	21
4.4.2 FPGA konfiguráció.....	24
4.4.3 USB port	26
4.4.4 Grafikus interfészek.....	27
4.4.5 Ethernet.....	27
4.4.6 micro-SD kártya.....	28
4.4.7 Bővítő modul órajel	29
4.4.8 Mechanikus kezelő felület	30

4.5 FPGA modul funkciói.....	31
4.6 Bővítőkártya interfész.....	31
4.7 CPU modul interfész.....	32
5 Megvalósíthatósági teszt verilog	33
6 Analóg bővítő modul fejlesztése.....	36
6.1 Modul specifikáció	36
6.2 Front End tervezés alapok ^[2]	37
6.3 Modul felépítése	40
6.3.1 Csillapító fokozat.....	41
6.3.2 Bemeneti buffer	42
6.3.3 VGA.....	42
6.3.4 ADC Buffer ^[3]	43
6.4 Erősítési tartományok	44
6.5 Analóg átalakító kiválasztása.....	46
6.6 Bemeneti fokozat zajszámítás.....	47
6.7 Órajel minőségének fontossága ^{[4][5]}	49
7 Összefoglaló	53
8 Irodalomjegyzék.....	54

Összefoglaló

Az FPGA-k fejlődésével lehetőség nyílt - viszonylag olcsó - nagysebességű oszcilloszkópok megalkotására. Ezért a piacon számos gyártó kínál beépített kijelzővel rendelkező, vagy PC-hez kapcsolható oszcilloszkópot. A mai modern felgyorsult világunkban elképzelhető olyan szituáció, hogy egyik megvalósítás sem kézenfekvő, hiszen a fentieknél is kisebb méretű, hordozhatóbb eszközt szeretnénk használni. Az okostelefonok és tabletek kijelzői kiváló lehetőséget biztosítanak egy ilyen tervezendő kompakt oszcilloszkóp jelformáinak megjelenítésére.

A munka célja elsősorban egy olyan korszerű, integrált, nagysebességű oszcilloszkóp megtervezése, amely hagyományos kapcsolatokon (USB, Ethernet, HDMI) túlmenően, vezeték nélküli interfésszel is kapcsolódhat egy kijelző egységhez.

A második fontos szempont, hogy felépítése moduláris legyen, így a felhasználó az aktuális problémához illesztheti a műszer paramétereit. Bővítő modulok cseréjével megválaszthatja a ki/bemenetek típusát. Jelenlegi elképzelések szerint négy bővítő-modul családot fogok tervezni: analóg bemeneti csatornák, digitális bemeneti csatornák, analóg jelgenerátor és digitális jelgenerátor. Így például a következő elrendezések egyszerűen megvalósíthatóak lesznek: 4CH Analóg / 2CH Analóg + 16CH Digitális / 2CH Analóg + 2CH jelgenerátor /

1 Oszilloszkóp első kérdések

Sok mérnöknek egy új oszilloszkóp választása nehéznek tűnik, a piacon rengeteg típussal találkozhatunk, amelyek sok funkcionalitást kínálnak. A legfontosabb kérdések, amiket meg kell válaszolni:

- Milyen körülmények között kell használni?
- Hány jelet kell egyszerre mérni?
- Milyen jelszintekről van szó?
- Mi a legnagyobb frekvencia, amit mérni szeretnénk?
- Ismétlődő vagy tranziens jelről van szó?
- Spektrum analízisre van-e szükség?

Ha ezeket a kérdéseket megválaszoltuk, el lehet kezdeni az oszilloszkópok válogatását.

1.1 Analóg sávszélesség

Az első dolog, amit figyelembe kell venni az a sávszélesség. Ez a paraméter azt határozza meg, hogy az útvonal, amin eljut az analóg jel a bemenettől a mintavevő egységhez, milyen frekvencia-tartományt enged át egy adott csillapítás értéken belül (Analog Front End). Ez a frekvencia nagyobb kell legyen, mint a legnagyobb frekvencia, amit mérni szeretnénk.

A sávszélesség egy oszilloszkópnál nem elegendő paraméter ahhoz, hogy a műszer precízen tudja a jelet vizsgálni. Még azt is feltételként kell választani, hogy az AFE egy Maximally Flat Envelope Delay (MFED) jellegű frekvenciaválasszal rendelkezzen, vagyis a különböző frekvenciakomponenseket ugyanakkora idővel késleltesse, így elkerülve a késleltetés differenciákból létrejövő torzítást. Viszont mivel az AFE nem tökéletes komponensekből épül fel, a MFED elérése nem lehetséges, csak közelíthető.

A legtöbb oszilloszkóp gyártó az analóg sávszélességet a -3dB-es csillapítási pont alapján határozza meg. Célszerű olyan oszilloszkópot választani, ami legalább ötször akkora sávszélességgel rendelkezik, mint a legnagyobb frekvenciájú jel, amit mérni szeretnénk. Még ez is egy alacsony, de elfogadható szorzó, mivel egy egyszerű

négyszög jel is nagy torzítást szenved ebben az esetben, mivel csak két felharmonikusa jelenik meg, viszont felismerhető. Amire oda kell figyelni, léteznek eszközök, amelyeken a feltüntetett sávszélesség nem minden vertikális beállítás esetén teljesül.

1.2 Mintavételi frekvencia

Az analóg oszcilloszkópok esetén elegendő volt kiválasztani az analóg sávszélességet és már vizsgálhattuk is a jelet, viszont a digitális oszcilloszkópoknál a helyzet nem ennyire egyszerű. Digitális esetben a mintavételi frekvencia és a memória mérete is ugyanakkora súllyal játszik, mint az analóg sávszélesség. A Nyquist kritérium alapján a mintavételi frekvencia elegendő, ha minimum kétszer akkora, mint a mintavételezett jel frekvenciája, viszont a jelenleg használt algoritmusokkal 2.5-3x-os frekvenciájú mintavételezés megkövetelt. Ez alapján az eredeti jel sinc interpolálással helyreállítható, ha a feltételeket betartottuk.

A legtöbb oszcilloszkóp kétfajta mintavételezési módot valósít meg, annak függvényben, hogy a jel periodikus vagy sem. Amennyiben nem periodikus jelet mérünk, csak a valós idejű mintavételezés jöhet szóba, vagyis olyan frekvenciával, amivel az eszköz fizikailag mintavételezni képes. Viszont ha a jel periodikus, lehetséges a valós idejű mintavételezésen kívül ekvivalens idejű mintavételezést is alkalmazni (Equivalent Time Sampling = ETS). Ez a módszer több periódus mintavételezéséből építi fel a jelet, ami látszólagosan a fizikai mintavételezési frekvencia többszörösével van mintavételezve. Ennek feltételéről az Ekvivalens idejű mintavételezés szekcióban lesz szó.

1.3 Sinc interpoláció^[1]

A mai modern digitális oszcilloszkópok mind rendelkeznek sinc interpolációval (Whittaker-Shannon interpolációs formula). Ennek a módszernek a tulajdonsága, hogy amennyiben a mintavételezett jel sávszélessége 2.5x kisebb, mint a mintavételezési frekvencia, akkor az interpolálással a jel eredeti alakját kapjuk, vagyis az interpolált pontok nem közelítik az eredeti jelet, hanem illeszkednek rá.

Az interpolációs formulában megfigyelhető (1. egyenlet), hogy az interpolációs mélység bármekkora lehet, matematikailag azt írja le, hogy a diszkrét mintákból hogyan lehet újra folytonos jelet alkotni.

$$x(t) = \left(\sum_{n=-\infty}^{\infty} x[n] \cdot \delta(t - nT) \right) * \text{sinc} \left(\frac{t}{T} \right)$$

1. egyenlet: Sinc interpolációs formula

Az is megfigyelhető, hogy a summázást a két végtelen között kellene megvalósítani, de mivel ez nem megoldható, az algoritmusok ablakozott sinc interpolációt használnak. A sinc ablak szélességét úgy kell meghatározni, hogy a kívánt maximális hibán belül legyen az interpolált minta.

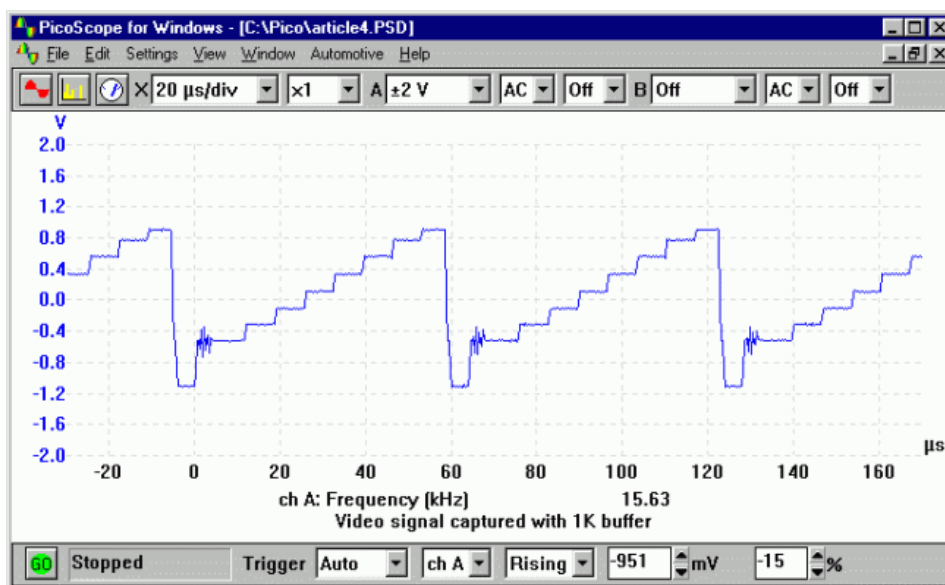
1.4 Memória mélység

A memória mélység tipikusan a legkevésbé értett paramétere a digitális oszcilloszkópoknak, viszont egyike a legfontosabbaknak. Ebben a részben néhány példán és ábrán bemutatom a szerepét és fontosságát.

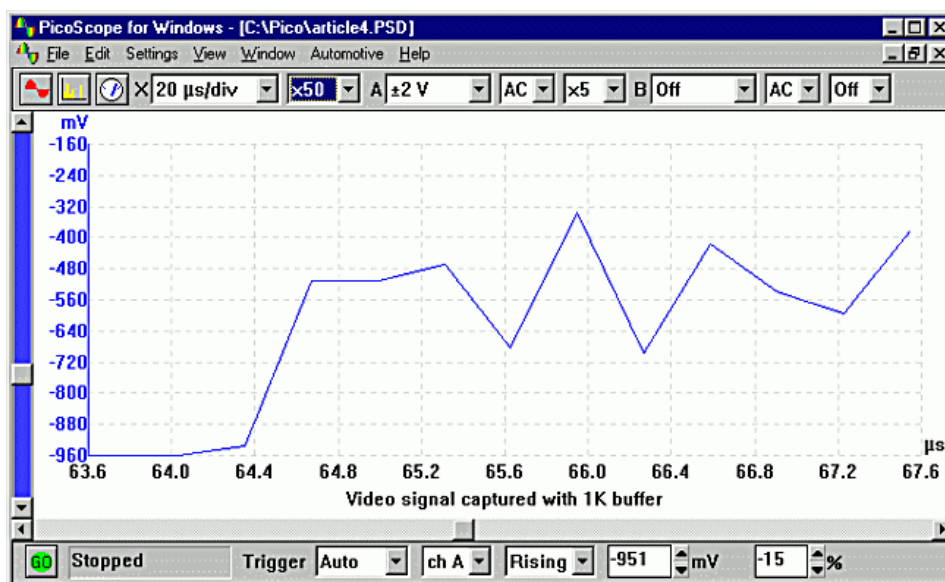
A digitális oszcilloszkóp a mintavett adatokat a memóriába tárolja, vagyis egy adott mintavételezési frekvencián a memória pufferbe fértethető mintavételezési idő korlátozott. Tehát a mintavételezési frekvencia és a memória mérete szoros kapcsolatban állnak egymással. Amennyiben egy kis memória méretű oszcilloszkópunk van, nagy mintavételezési frekvenciával, akkor a teljes mintavételezési frekvenciát csak az alsó pár időalap mellett tudja használni.

Tehát amennyiben van 1GS/s mintavételezési sebességünk és 1kS memóriánk, akkor 200 μ s időintervallum megjelenése esetén az alacsony memóriaméret miatt 1GS/s helyett csupán 50MS/s mintavételezési sebességet tudunk alkalmazni. Ez a helyzet látható az 1. ábrán.

Első ránézésre ez jónak tűnik, viszont ha a jelet kinagyítjuk látható, hogy az 50MS/s nem volt elegendő, hogy a jel alakját kielégítően elmentsük. A következő ábrán látható (2. ábra), hogy a színegédvívő jel, ami körülbelül 5 μ s hosszú csupán 25 pontban szerepel a memóriában.

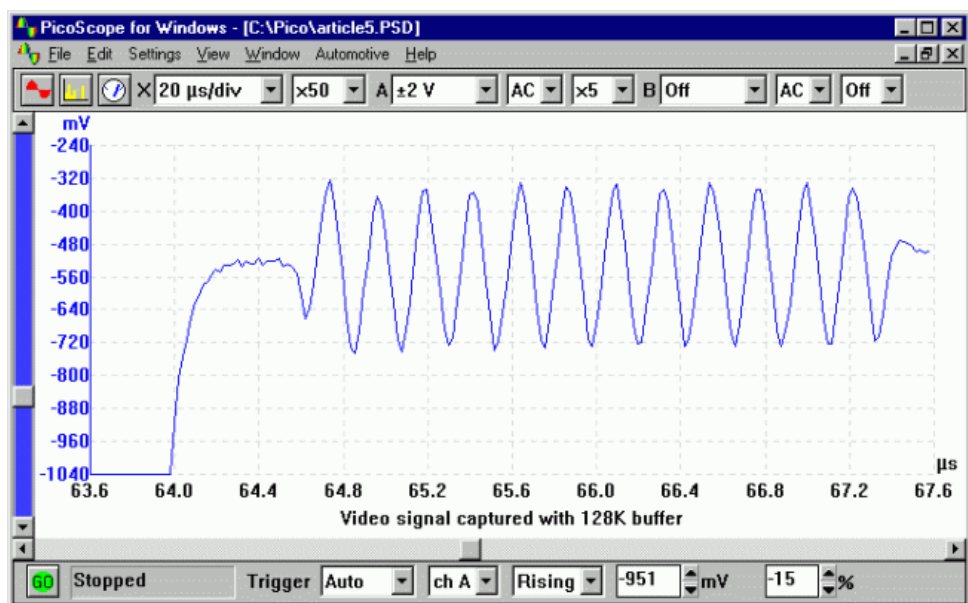


1. ábra: 200 μ s időintervallum egy videó jelből



2. ábra: Színsegédvívó jel, túl kevés minta

Amennyiben a memória mérete nagyobb, ugyanekkora időintervallum mellett nagyobb mintavételezési frekvencia is alkalmazható. A következő ábrán látható az eset, amikor 128kS memóriaméret mellett mintavételezzük ugyanezt a videó jelet, és ráközelítünk a színsegédvívó jelre. Ebben az esetben 120x annyi pont áll rendelkezésre, mint 1kS memória esetén (3. ábra).



3. ábra: Színsegédvívó jel, elegendő minta

Nézzünk egy példát ezekre a számításokra. Legyen a feladat egy USB(1.1) kommunikáció egyik csomagjának mérése. Egy ilyen csomag 1ms hosszú, 12MHz frekvencia mellett. A 12MHz frekvenciából következik, hogy szükségünk van minimum ötször ekkora analóg sávszélességre, ami minimum 60MHz-et jelent. Ez mellé a Nyquist feltétel miatt szükséges minimum kétszer ekkora mintavételi frekvencia, viszont mivel nem tudunk tökéletes szűrőt készíteni, és az ablakozott sinc interpolációhoz is 2.5x nagyobb mintavételi frekvencia szükséges, ennek minimuma 150MS/s. Ahhoz, hogy ezt 1ms időintervallumra eltároljuk minimum 150kS memóriára van szükség. Természetesen ebben az esetben elegendő lenne 30-40MHz analóg sávszélesség és 60-80MS/s mintavételezési frekvencia is az adatok megfigyeléséhez, a jelek erős torzulása mellett.

1.5 Felbontás és pontosság

A digitális oszcilloszkópok felbontása és precizitása nem túl magas, inkább sebességre vannak optimalizálva. A legtöbb DSO csak 8 bit vertikális felbontást biztosít, ami $\pm 1V$ jelszint mellett 8mV lépésközt jelent. Ez a digitális jelek, és sok analóg jel vizsgálatához elegendő, viszont például audio jelekhez, zaj vizsgálatához kevés, 12-16bit felbontást kell használni.

A DSO pontossága általában nem a legfontosabb paraméterek közé tartozik, általában 3-5% -os precizitást szoktak megadni. Léteznek olyan oszcilloszkópok is, ahol

ez az érték 1% vagy kisebb, amennyiben ez mellé még 12bit vagy nagyobb felbontás társul precíziós oszcilloszkópról beszélünk.

1.6 Trigger

A trigger funkció az, ami a jelet valamilyen módon a megjelenítéshez szinkronizálja. Ez teszi lehetővé ismétlődő jelek stabilizálását és egyszeri jelek megfigyelését. Minden DSO rendelkezik az alap trigger funkciókkal, mint az él, szint, meredekség, elő/utó trigger, de ezek felett lehetséges sokkal bonyolultabb funkciók megvalósítása is. Ilyen például a protokoll vagy a több pulzus trigger. A triggerekkel nemcsak a megjelenítést lehet segíteni, más funkciók is hozzárendelhetők, például adatok mentése.

Ezek a trigger módok tipikusan szoftveresen/FPGA-ban vannak implementálva, és utólag vásárolhatók plusz trigger módok. Például az középkategóriás Agilent oszcilloszkópokban a HDMI protokoll trigger nincs alapból benne, viszont megvásárolható.

1.7 Bemenetek, mérőfejek és kivitelezés

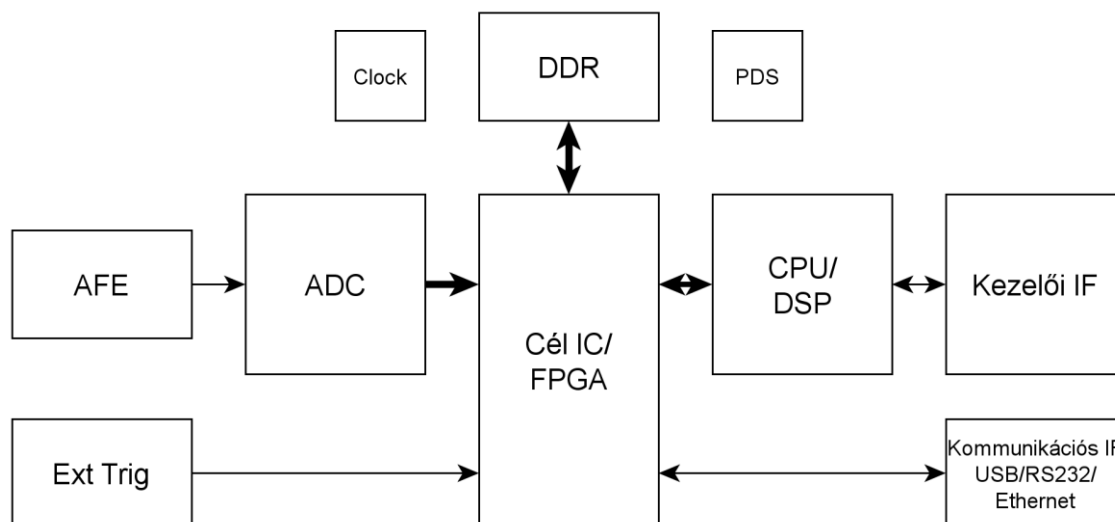
Egy tipikus oszcilloszkóp bemeneti tartománya $\pm 50\text{mV}$ és $\pm 50\text{V}$ között változhat. Magasabb feszültségek jelesillapító mérőfejekkel mérhetők. Arra oda kell figyelni, hogy a mérőfej sávszélessége minimum akkora legyen, mint az oszcilloszkóp AFE sávszélessége.

A digitális oszcilloszkópok három csoportba sorolhatók: asztali, kézi és PC alapú. Az asztali oszcilloszkópoknak van általában a legnagyobb teljesítménye. A kézi oszcilloszkópok egyértelműen előnyösek a terepen dolgozó mérnökök számára, de tipikusan ezek a legdrágábbak és általában a kijelző erős napfényben gyengén használható.

A PC alapú oszcilloszkópok jelentős előnyben vannak a két ellenféllel szemben, mivel alapból rendelkezésre áll számítási teljesítmény, kijelző, tároló kapacitás. Ezekből két típust különböztethetünk meg: külső és belső. A belső típus tipikusan PCI express porton csatlakozik. Elvileg ezt a legolcsóbb előállítani. A PC belsejében sok zajforrás van, és emiatt a kártyák teljesítménye korlátozott. Portabilitás nehézkes. A külső típus ezeket a hátrányokat megoldja azzal, hogy az analóg elektronika egy jól elzárt térrészben helyezkedik el és egyszerűen hordozható.

2 Modern digitális oszcilloszkópok felépítése

A modern digitális oszcilloszkópok felépítésének leegyszerűsített blokkvázlata látható a 4. ábraán.



4. ábra: Digitális oszcilloszkóp blokkvázlat

2.1 Analóg Front End (AFE)

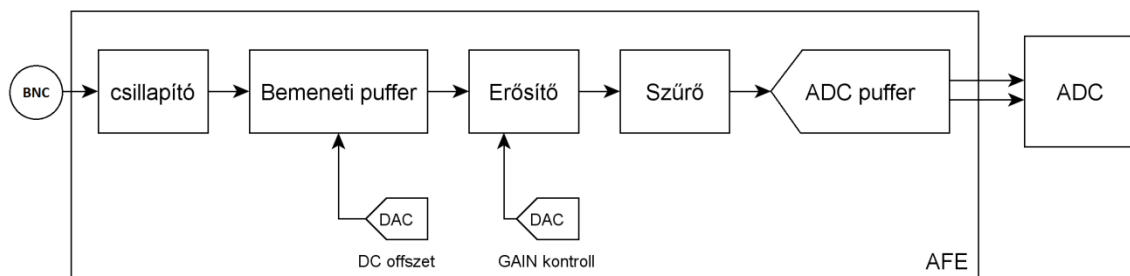
A bejövő jelet első lépésként csillapítjuk, így kizárva annak lehetőségét, hogy az érzékeny elektronika a nagy bemeneti jelszintek miatt károsodjon. Ezt tipikusan egy kiegyensúlyozott ellenállásosztó valósítja meg. Ebben a részben lehetséges a bemeneti csatlós módjának kiválasztása: AC/DC/GND.

A csillapító rész után a szélessávú puffer következik. Ennek célja az analóg jel forrásimpedanciájának megváltoztatása. A bemeneti csillapító hálózat miatt a pufferre jutó jel forrásimpedanciája párszáz $k\Omega$, tehát még μA méretű terhelés is komoly torzítást eredményez. A bemeneti pufferként használt műveleti erősítő közös és differenciális módusú impedanciája a $G\Omega$ tartományban kell mozogjon.

A puffer után következik az erősítő fokozat. Ennek megvalósítására több lehetőség van. Az első lehetőség műveleti erősítők és relék vagy analóg multiplexerek használata. Ez a módszer sok számolást igényel, mivel több szinten is zajt vezethet az analóg útba. A másik módszer egy VGA (Variable Gain Amplifier) integrált áramkör használata. Ez sokkal egyszerűbb megvalósítás, sokkal kevesebb helyet foglal a panelen, viszont a minimálisan elérhető zajszint magasabb, mint a diszkrét megvalósítás esetében.

Az erősítő fokozat után következik a jel szűrése. A szűrésre azért van szükség, hogy a Nyquist kritériumnak megfeleljen a mintavételezés. Amennyiben ekvivalens idejű mintavételezést alkalmazunk, a Nyquist kritériumot nem a mintavételezési frekvenciára, hanem az ekvivalens idejű mintavételezésből származó többszörös frekvenciára kell kiértékelni. Ekkor a mintavételezési frekvenciához illesztett szűrőre nincsen szükség, tehát a szűrőnek ebben az esetben áthidalhatónak kell lennie.

Ezt követi az ADC puffer műveleti erősítő. Itt történik a single ended-ről differenciálisra konvertálás, egy adott közös módusú feszültséggel. Ez a puffernek látja el a Range Buffer (RB) szerepét, vagyis a kimeneti jelszint nem haladja meg az ADC megengedett bemeneti jelszintjét semmilyen körülmények között. A felépítés megfigyelhető az 5. ábraán.



5. ábra: Analóg Front End blokkvázlat

2.2 Órajel

Az órajel generálására és az elosztó hálózat kivitelezésére nagy figyelmet kell fordítani.

Az órajel tisztasága direkt hatással van az analóg jelre. A jitter, ami az órajel megfelelő élén jelentkezik, az aktuális jelmeredekségen keresztül direktben befolyásolja a pillanatnyi mért jelszintet. Ez az érték pár száz fs rms tartományban mozog egy jó minőségű pll alapú órajel generátor esetén. Ez még javítható szűrők elhelyezésével.

Az órajelek vezetésénél oda kell figyelni, hogy a különböző csatornákhöz vezető jelút hossza a megfelelő határértéken belül legyen, hogy a csatornák szinkronba működjenek. Természetesen az órajel vezetéseket differenciális csatornán vezetjük. Célszerű megfelelő távolságokat tartani az analóg csatornákhöz, nem szeretnénk, ha az analóg jelünkön megjelenne az órajel. Digitális vezetékek esetén pedig nem szeretnénk, ha a digitális vezeték gyors jelei plusz jittert vezetnének az órajelbe. Párhuzamos vezetékek esetén a probléma adott távolság betartásával orvosolható, merőleges esetben

pedig nem kell aggódni, mivel a kis közeli felület miatt a parazitív kapacitások elhanyagolhatóak lesznek.

2.3 Energia-elosztó hálózat (PDS)

Az energia-elosztó hálózat minősége hatással van az analóg rész zajszintjeire. A modern műveleti erősítők, analóg multiplexerek, VGA-k és ADC-k magas elnyomással rendelkeznek a tápfeszültségen beérkező zavarokkal szemben (PSRR). Ennek ellenére célszerű a tápfeszültségeket minél jobb minőségűre készíteni, esetleg a leosztott mintavételi frekvenciához szinkronizálni. Egy gyakran használt technika analóg tápfeszültség előállítására, kompromisszumot köt a lineáris tápegységek jó zajtulajdonságai és a kapcsoló üzemű tápegységek jó hatásfoka között. Ez a módszer, mikor egy kapcsoló üzemű tápegységgel előállítunk egy kicsivel magasabb feszültséget, mint amire az analóg résznek szüksége van, majd ezt még csökkentjük egy lineáris tápegységgel.

Az előző módszert abban az esetben célszerű alkalmazni, ha az adatlap nem adja meg a tápfeszültség elnyomási tényezőt. A mai alkatrészek elnyomási tényezője annyira magas, hogy lehetséges akár az ADC-t is direktben kapcsoló üzemű tápegységről táplálni. A feltétel, hogy a tápegység kimenetére egy RC csillapító hálózatot (snubber) kell elhelyezni a kapcsolásból származó tüskék méretnek csökkentésére.

2.4 Külső trigger

Minden modern digitális oszcilloszkópon találunk külső trigger bemenetet. Ennek megvalósítása egyszerű, először a trigger bemenetet csillapítani kell, majd egy puffer és egy komparátor szükséges. A komparátor komparálási feszültségét célszerű, ha lehet állítani, valamint a komparálási késleltetéssel kompenzálni kell a rendszert.

2.5 Memória

A mintavett adatokat el kell tárolni. Mivel a trigger esemény elég széles tartományban helyezkedhet el a megjelenített időintervallumon belül és kívül is, a trigger esemény előtti adatokat folyamatosan menteni kell, majd a trigger után is a megfelelő mennyiséget. Egy modern digitális oszcilloszkóp analóg konverterei által generált adatmennyiség több Gb/s méretű, tehát egy nagy adatsávszélességű memóriablokkra van szükség. Ez nem okoz gondot, mivel a DDR memóriák akár

800Mb/s sebességre is képesek adatbitenként, és egy ilyen modul adatszélessége akár 16bit is lehet, ami 12.8Gb/s-ot jelent.

2.6 Adatfeldolgozás

Egy DSO a mintavételezett adatokon több komplex számítás elvégzésére is alkalmas. Ezek a funkciók nagy számítási teljesítményt igényelnek, és elvárás, hogy másodpercenként sokszor elvégezzük ezeket a feladatokat, tehát hardveres támogatásra van szükség. Ilyen feladatok közé tartoznak például: FFT, sinc interpoláció, intenzitás-tartózkodási idő alapú megjelenítés. Ezek a feladatok megvalósíthatóak cél integrált áramkörök vagy FPGA-k alkalmazásával.

3 Piacon található PC oszcilloszkópok

Több cég foglalkozik PC alapú oszcilloszkópok fejlesztésével és terjesztésével. Én három nagy cég fejlesztéseit vizsgáltam meg. Mindenik cég több árkategóriában kínál termékeket különböző funkcionalitás és hardver mellett. Azt figyeltem meg, hogy igyekeznek egy “oszcilloszkópba” minél több eszközt belezsúfolni, az analóg csatornák mellett megjelenik a logikai analizátor funkció és az AWG (Arbitrary Waveform Generator). Nem mindig specifikált minden paraméter, sokszor a legfontosabb információk is hiányosak, mint például a puffer memória mérete, valamint az információk nagy része félrevezetésre való törekvésre utal. Például megtörténik, hogy azt állítják, hogy “2GS/s digital oscilloscope”, viszont a mintavételezési frekvencia 200MHz.

Ezek az oszcilloszkópok tipikusan két analóg csatornát tartalmaznak, minimum egyet, maximum négyet. Majdnem az összes 8 bit felbontással rendelkezik. A mintavételi frekvencia a vizsgált eszközök esetén 40MS/s és 1GS/s között mozgott. Jellemző, hogy ez a frekvencia csak egy csatorna használata esetén érhető el.

A BitScope és a Link Instruments oszcilloszkópjai rendelkeznek ekvivalens idejű mintavételezési móddal, míg a Picotech oszcilloszkópok nem. Az előző két cég termékei közül mindenik tartalmazott minimum 12 logikai csatornát is, és ezek is lehetnek trigger feltételek. A Picotech termékei között a logikai analizátor funkció nem jellemző, viszont egyes modellekből van ilyen verzió is.

Egyes esetekben az ETS (Equivalent Time Sampling) jelenléte értelmetlen, mivel az analóg sávszélesség kisebb, mint a mintavételi frekvencia 2.5-öde. Ekkor ez a mód plusz információt nem eredményez. Ezeken az egységeken a kisméretű puffer ennek a módnak a használatát erősen korlátozza. Legnagyobb puffer méret a két cég megvizsgált termékeiben 2MS (ami elég jó, de a többi átlaga 64kS).

Körülbelül 800\$ ártól kezd megjelenni a nagyméretű puffer memória. Ugyanaz a hardver esetén a plusz memóriáért akár 30-50% felárat is elkérnek.

Az bonyolultabb trigger funkciók halmaza nem túl nagy: több pulzus, protokoll trigger és impulzus szélesség. Vannak egységek, amik többfajta trigger lehetőséget kínálnak, de nem jellemző.

Vizsgált eszközök:

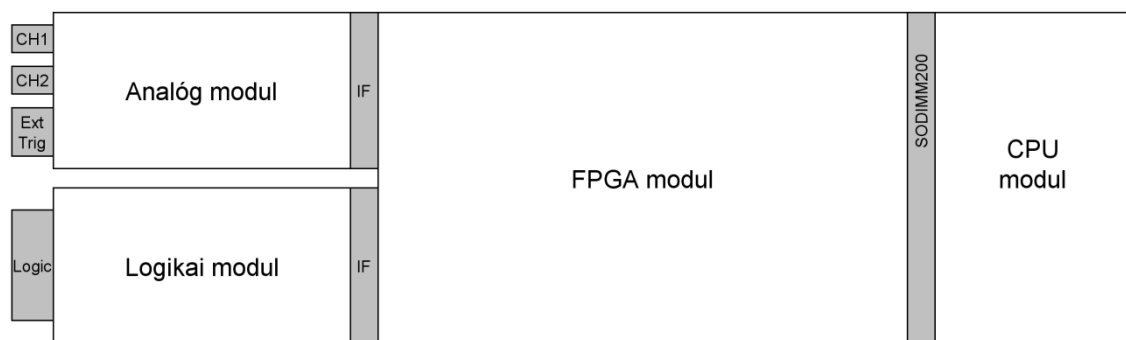
- BitScope: BS Pocket Analyzer, BS100, BS120, BS325, BS445
- Link Instruments: MSO19, MSO28, MSO9212, MSO9201
- Picotech: PS2104, 2105, 2204, 2205, 2205MSO, 2206, 2207, 2208, 3204A/B, 3204, 3205A/B, 3205, 3206A/B, 3206, 3207A/B, 3404A/B, 3405A/B, 3406A/B, 3407A/B, 3425, 4224, 4226, 4227, 4262, 4424

4 Rendszerterv

Az általam tervezett oszcilloszkóp specifikációjának alapja, hogy használható legyen majdnem bármilyen hobbiszintű projektben, ne korlátozza a digitális lehetőségeket a puffer mérete, konfigurálható legyen a hardverkiépítés.

Az egység nem tartalmaz kijelzőt, jellegre olyan, mint egy PC alapú oszcilloszkóp, viszont képes wifi, ethernet, usb kapcsolatokon keresztül is kommunikálni, ami lehetővé teszi bármilyen hordozható eszköz képernyőjének felhasználását. Itt inkább a telefonokra és tabletekre gondolok, mint a notebookokra, viszont a könyvolvasót sem zárnam ki, mint lehetőséget a kiváló e-ink kijelző miatt, ami bármilyen körülmény esetén tökéletesen látható jelet eredményez, akár 1-2 méter távolságból is, ha nincs lehetőség kézben tartani, viszont a képernyőfrissítés nagyon lassú.

A modul fejlesztésének elektronikai részét három részre bontottam, a bővítő modulok, az FPGA modul a memóriával és a CPU modul. Ez a felépítés látható az 6. ábraán.



6. ábra: Oszcilloszkóp felépítése

4.1 Bővítő modul

A modul fő feladata a megfigyelés/gerjesztés megvalósítása. Bővítő modulból több típus megvalósítható, analóg bemenetek, logikai bemenetek, analóg jelgenerátor, digitális jelgenerátor. Ezek közül az elsődleges cél az első megvalósítása, vagyis egy olyan modul, ami két analóg csatornát tartalmaz, a másodlagos pedig a logikai analízátor modul, ami 16 logikai csatornát tartalmaz. A bővítő modul a modul interfészen csatlakozik az FPGA modulhoz.

4.2 FPGA modul

Az FPGA modul a nagy sávszélesség és a nagysebességű párhuzamos feldolgozás miatt szükséges. Az FPGA modul a CPU modul és a bővítő kártyák között helyezkedik el, megoldja az adatok tárolását és részleges feldolgozását. A pontos funkciók az FPGA modul funkciói részben vannak tárgyalva.

Legfőbb eleme egy CSG324 tokozású Spartan 6-os FPGA, ami éppen elegendő a cél elérése érdekében. Az FPGA a CPU-val egy 32 bites adatbuszon kommunikál, 18 címvezeték mellett. A bővítőkártyákkal egy általam definiált interfészen keresztül zajlik az információcsere. Az interfész részletes specifikációja a bővítőkártya interfész cím alatt vannak részletezve. A panel tartalmaz egy DDR3-at a mintavett adatok gyors tárolásához, valamint egy alacsony jitter teljesítményű órajel generátort, ahonnan a modulok az órajelüket kapják. Az FPGA órajelét egy kristály szolgáltatja. Az FPGA modulon helyezkedik el az energia-elosztó hálózat, itt található a tápcsatlakozó is. Ez a modul állítja elő a tápfeszültségeket a bővítő moduloknak és a CPU modulnak is.

Itt kapnak helyet a HDMI, USB és Ethernet csatlakozók, melyek a CPU modulhoz csatlakoznak, valamint a vezeték nélküli kapcsolat megvalósításához a Wifi modul IF. A terv egy USB interfésszel rendelkező kész Wifi modul használata, tehát a Wifi modul IF gyakorlatilag egy USB port.

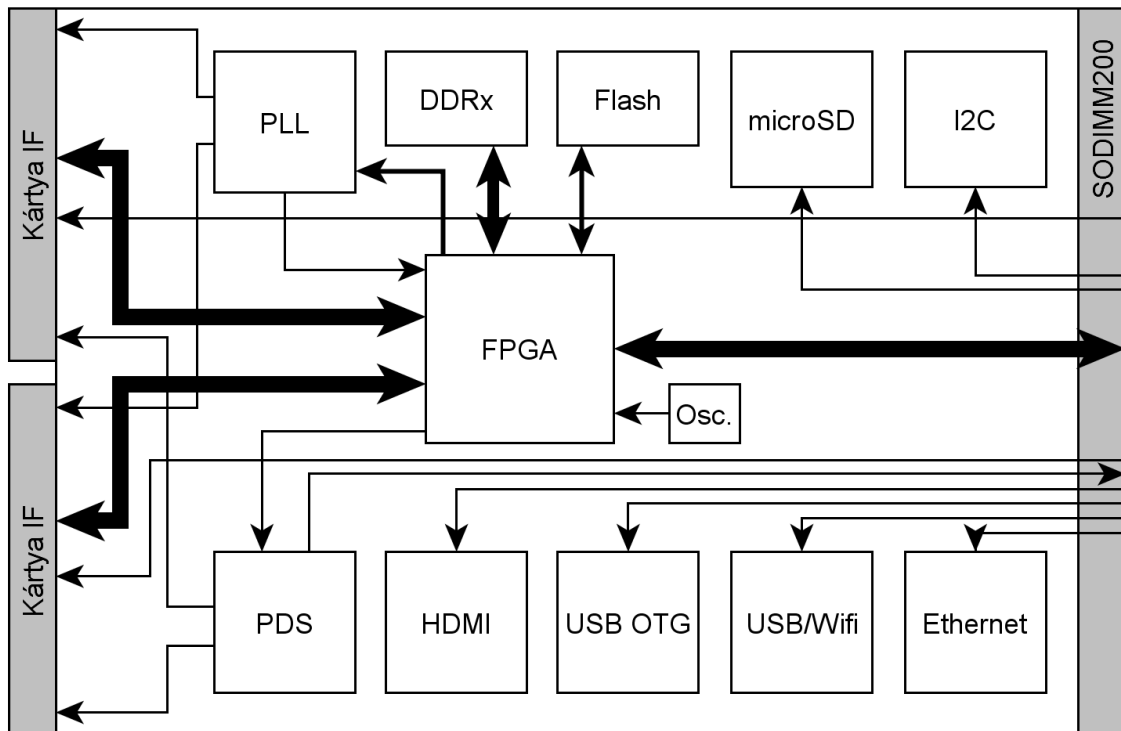
4.3 CPU modul

A CPU modul gyártása alacsony darabszámnál igen költséges feladat lenne, valamint a fejlesztési idő is igen magas, az operációs rendszert is portolni kellene. Ezek alapján egy már létező modult választottunk a Toradex svájci cég kínálatából. A kiválasztott modul a Colibri T20, ARM alapú kétmagos Tegra 2 processzorra épül. A modulhoz több operációs rendszer már portolva van, a fejlesztés menete így erősen egyszerűsödik.

4.4 FPGA modul hardver

A modul felépítése a 7. ábraán látható, hardver specifikáció:

- 2 Bővítőkártya interfész
- 1 CPU Modul interfész
- 1/2/4Gb DDR3
- PLL
- microSD kártya
- PS/2 csatlakozó
- HDMI csatlakozó
- USB port
- Wifi
- Tápegység az egész rendszer számára



7. ábra: FPGA modul felépítése

A nagymennyiségű adat kezeléséhez és feldolgozásához egy FPGA szükséges. Erre a célra egy Spartan-6, CSG324 tokozású FPGA-t választottam. Ez a tokozás éppen elegendő a feladat megvalósításához, az I/O kihasználtsága 90% feletti. Az FPGA a

CPU modul külső memória interfészéhez csatlakozik, a CPU modul leírásában megtalálható, hogy ezt az interfészt gyakran erre a célra használják, tehát az operációsrendszer támogatásra jó esély van.

A kiválasztott PLL egy CDCM61002, egy alacsony jitter-teljesítményű órajel generátor, aminek egy SE órajel bemenete van, és két differenciális órajel kimenete, aminek a típusa lehet LVPECL, LVDS, LVCMOS. Az IC konfigurációs felülete egyszerű kontroll alapú, vagyis semmilyen protokoll nincs, hanem az egyes bemenetek állapota direktben állítja a belső paramétereket. A hátránya, hogy sok vezetékot igényel. Itt két vezeték állítja az előosztót, három a kimeneti osztót és kettő a kimenetek típusát határozza meg, valamint a kimenet engedélyező jel. Minden állapot váltás után reset állapotba kell hoznia PLL-t. Az IC egyetlen 3.3V tápot igényel. Teljesítményigénye 625MHz kimenetek esetén 400mW.

A memóriát egy 1Gb-es DDR3 formában valósítottam meg. A DDR3-al a Spartan-6 MCB 800Mb/s sebességre képes vezetékenként. A kiválasztott memória 16 bites adatszélességgel rendelkezik, tehát az elméleti maximális adatátviteli sebesség 12.8Gb/s. Négy csatorna 250MHz mintavételi frekvencia, és 8 bit adatszélesség mellett 8Gb/s adatátviteli sebességet kíván. Ez még megoldható a 12.8Gb/s-os DDR3-al, tehát egyetlen memória áramkör képes kezelni négy analóg csatorna adatátviteli igényeit. Viszont ha az analóg csatornák 16 bit szélesek, akkor már két csatorna ezzel ekvivalens adatátvitelt igényel, tehát négy 16 bites csatorna megvalósítása ezzel az elrendezéssel nem megvalósítható, de még három 16 bites is kérdéses, mivel akkor már 12Gb/s-al számolunk, ami közel az elméleti maximumhoz. A logikai analizátor modul elvileg ugyanilyen átviteli sebességeket kíván, ugyanezekkel az adatszélességekkel, csak ott az adatszélesség a csatornák számát jelenti (például két 8 bites analóg modul megfelel egy 16 bites logikai analizátor modulnak.).

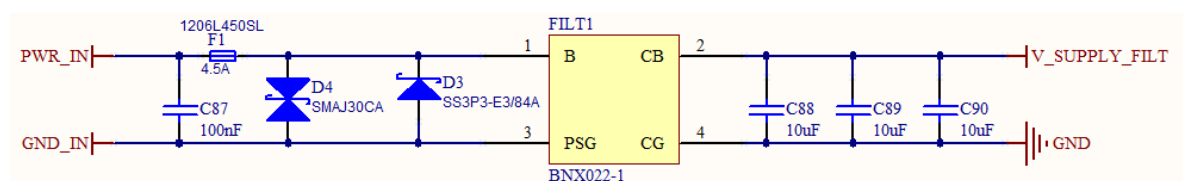
A microSD kártya és a HDMI csatlakozó nem igényelnek védelmen kívül más alkatrészt, mivel a teljes hardverrészt a CPU modul tartalmazza, tehát csak csatlakozóra van szükség a működéshez. Lehetséges, hogy az oszcilloszkóp csak egy egyszerű megjelenítőhöz csatlakozik, ekkor szükség van egy kezelő felületre, ami hasonló lesz a mai digitális oszcilloszkópokon megszokottakhoz, ehhez egy túsoroson kivezettem egy I2C kapcsolatot.

Az USB port ezekkel ellentétben, mivel OTG-ről van szó, némi plusz áramkört igényel. Az USB OTG, vagyis USB On-The-Go egy olyan USB port, ami lehetővé

teszi, hogy az oszcilloszkóp ha host-hoz van csatlakoztatva slave-ként működjön, viszont ha egy slave-et csatlakoztatunk hozzá, akkor host-ként viselkedjen. Tehát ezzel az USB porttal csatlakoztatható egy PC-hez, vagy akár egy billentyűzet csatlakoztatható hozzá. Az oszcilloszkóp onnan tudja, hogy egy slave vagy egy host van csatlakoztatva, hogy a mini és mikro USB csatlakozók a megszokott 4 vezeték helyett 5-el rendelkeznek, amiből az egyik (ID) jelzi hogy host/slave van a másik oldalon. Annak függvényében, hogy az ID vezeték a kábelben adott oldalon földhöz van kötve vagy lebeg, A vagy B típusú, ez a csatlakozó alakjában is feltűnik, a B típus sarkai lecsapottak, míg a B típusé nem (A-t nem lehet B portba illeszteni). Tehát ha a csatlakoztatott kábel A típusú, akkor az oszcilloszkópnak kell tápfeszültséget adni az USB-re, ha B típusú van csatlakoztatva, akkor nem kell. Itt egy TPS2041B USB energia kapcsolót használtam. Ez az áramkör akkor adja ki az USB portra a feszültséget, ha a megfelelő típusú csatlakozó van csatlakoztatva, rövidzár esetére, túlzott áramfelvétel és túlmelegedés ellen védelemmel rendelkezik.

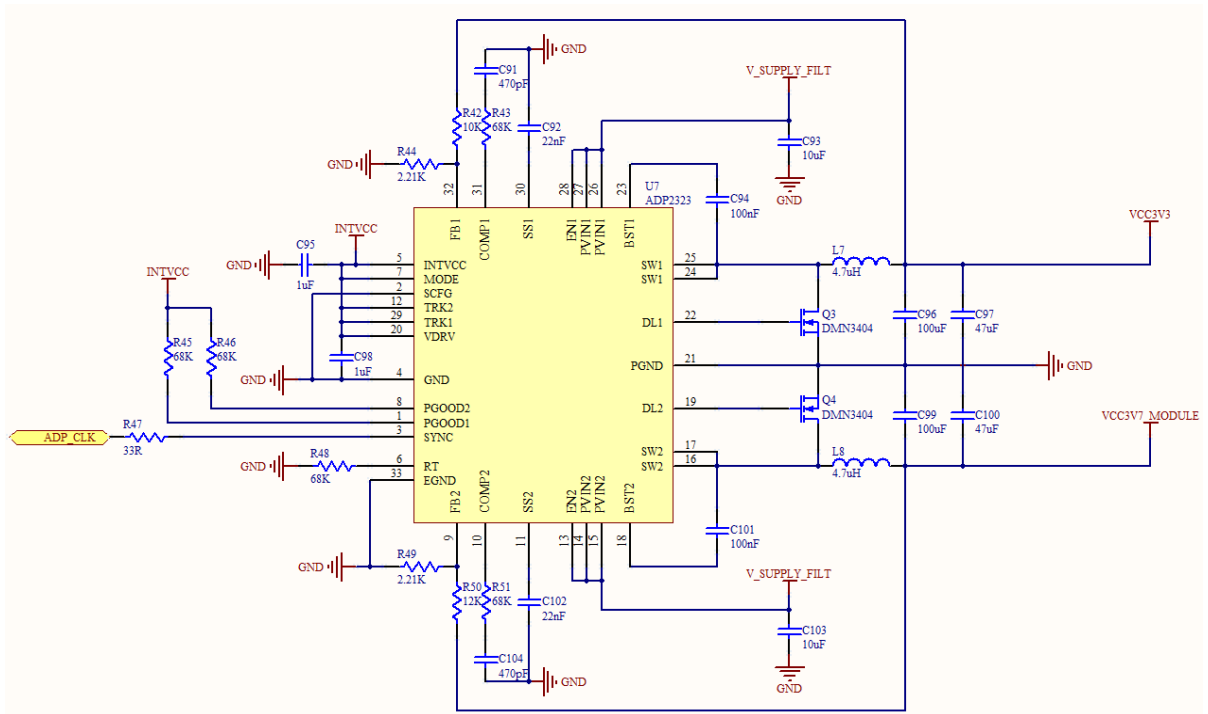
4.4.1 FPGA modul PDS

Az energia elosztó hálózat érzékenyen érintheti a nagysebességű analóg adatgyűjtő rendszerek teljesítményét, ezért a tervezéskor körültekintően kell eljárni. A jövőbeli problémák elkerülése érdekében az első lépés, ami az áramkörbe került, az egy bemeneti kombinált LC zavaroszűrő (EMI&RFI). A bemeneti szűrő 1MHz-1GHz tartományban minimum 35dB csillapítása van, tehát a nagyfrekvenciás zavarokat kellően szűri (8. ábra).



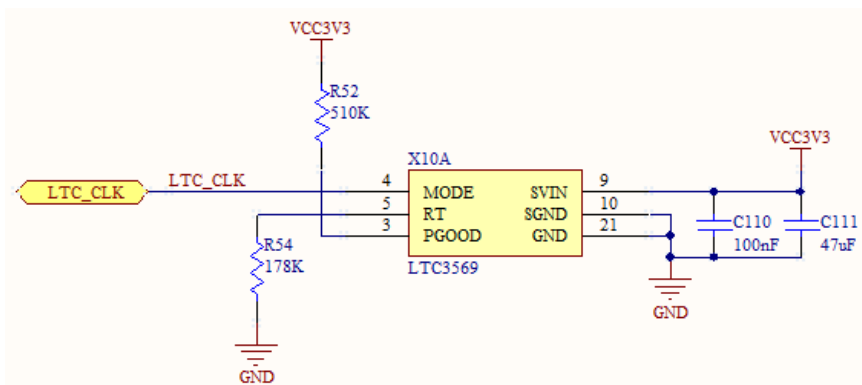
8. ábra: bemeneti zavaroszűrés

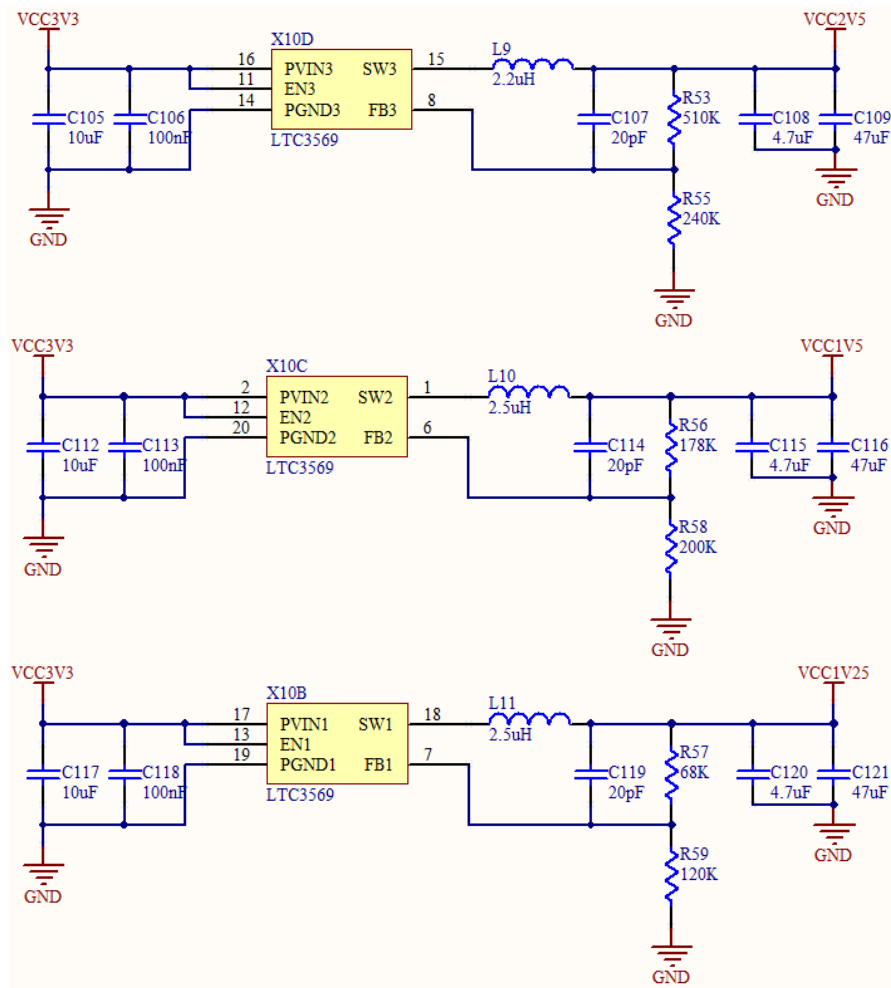
A szűrés után következik az egyes tápfeszültségek előállításának. A CPU modulnak 3.3V tápfeszültségre van szüksége, ami minimum 2A áramot tud leadni. A bővítő modulok tápfeszültségének függetlennek kell lennie a rendszer többi elemétől, hogy utólagos tápfeszültség módosításra legyen lehetőség, ha a bővítő modulok úgy kívánják. Ebből a két megfontolásból került egy előfokozat az energiaelosztó hálózatba, ami az ADP2323 kapcsoló üzemi tápegység IC-re épül, és előállítja a 3.3V CPU modul és a 3.7V bővítő modul feszültségeket (9. ábra).



9. ábra: tápfeszültség előfokozat

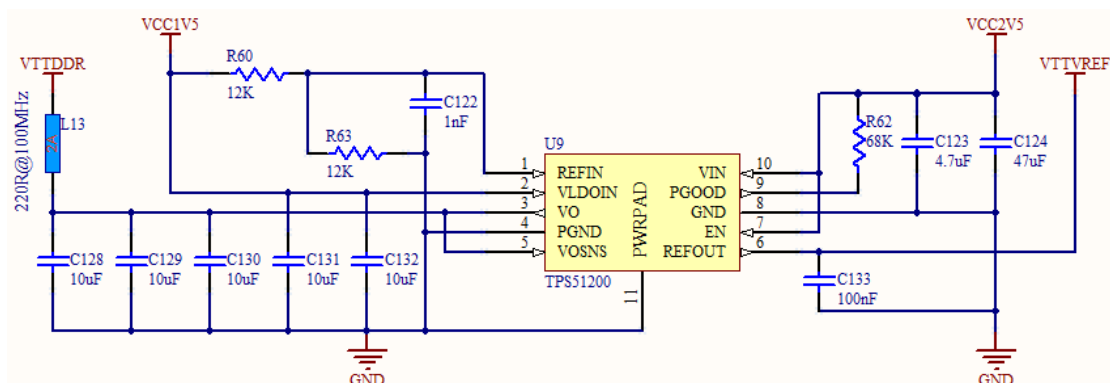
Az FPGA-hoz szükséges tápfeszültségek 3.3V, 2.5V és 1.25V. Ebből az első már megtalálható az áramkörben, tehát nem kell újra előállítani. A DDR3 memória tápfeszültsége 1.5V, valamint itt még szükséges termináló feszültség előállítása, amit egy olyan konverter kell előállítson, aminek a kimenetén mindkét irányba folyhat áram. Itt használtam egy LTC3569 típusú kapcsoló üzemű konvertert, amiben három kapcsolóüzemű egység található. Ezzel állítom elő a 2.5V, 1.5V és 1.25V tápfeszültségeket (10. ábra).





10. ábra: LTC3569

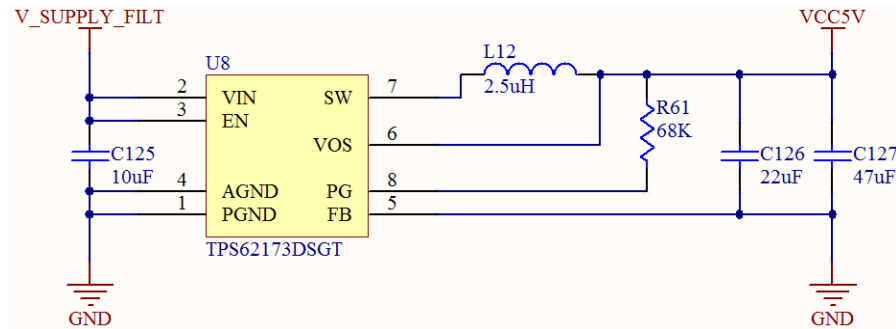
A DDR3 támogatásához szükséges referencia és termináló feszültségeket egy TPS51200 sink-source típusú átalakító állítja elő. Ennek bemeneti feszültsége 2.5V, valamint a DDR 1.5V feszültségének felt használja az előállított referencia feszültség referenciájaként (11. ábra).



11. ábra: DDR3 referencia és termináló feszültségek

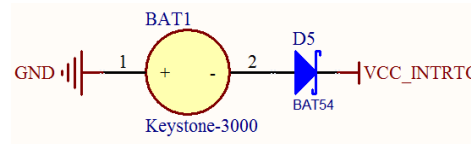
A modulon elhelyezett egyik USB port egy OTG, vagyis képes HOST üzemmódban is üzemelni, tehát a modulnak kell az 5V tápfeszültséget az USB-n szolgáltatni. Ezt egy

külön konverterrel oldottam meg, ami direktben a szűrt tápfeszültségről üzemel, az előfokozattal párhuzamosan. Ezt egy TPS62173 oldottam meg, ami egy egyszerű kapcsolóüzemű átalakító egy csatornával (12. ábra).



12. ábra: USB tápfeszültség

Még ebbe a fejezetbe sorolható a panelen elhelyezett elemtartó, ami kikapcsolt állapotban a processzorban található RTC áramkört látja el energiával (13. ábra).



13. ábra: RTC tápfeszültség kikapcsolt állapotban

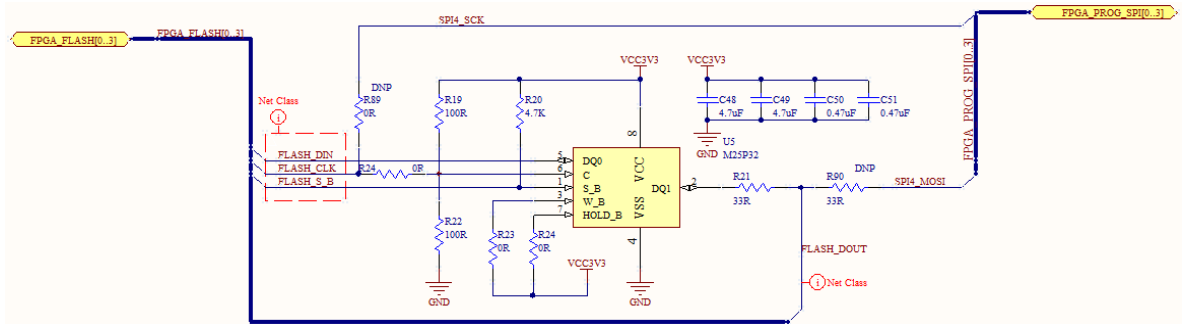
Annak érdekében, hogy az analóg konverterek által előállított adatok és a tápellátás közötti korrelációt minimalizálni lehessen a kapcsoló üzemű tápegységek kapcsolási frekvenciáját szinkronizálni lehet az analóg konverterek mintavételi időpontjához. Az ADP2323 és az LTC3569 IC-k rendelkeznek egy-egy órajel bemenettel, amihez szinkronizálják a kapcsolási frekvenciájukat. Mivel ezeket az órajeleket az FPGA állítja elő, és az FPGA tápfeszültségét ez a két konverter biztosítja olyan konvertereket kellett választani, amik az órajelek jelenléte nélkül is előállítják a feszültségeket.

A két átalakító, amelyek direktben a szűrt bemeneti tápfeszültségre csatlakoznak, az ADP2323 és az LTC3569. Mindkettő széles bemeneti feszültségtartománnyal rendelkezik, ADP2323 esetén 4.5V — 23V, LTC3569 esetén 3V — 17V. Ennek a két tartománynak a metszete 4.5V — 17V, az LTC3569 kimenetének 5V-nak kell lennie, tud 100% kitöltési tényező tehát az FPGA modul tápfeszültség-tartománya 5V — 17V.

4.4.2 FPGA konfiguráció

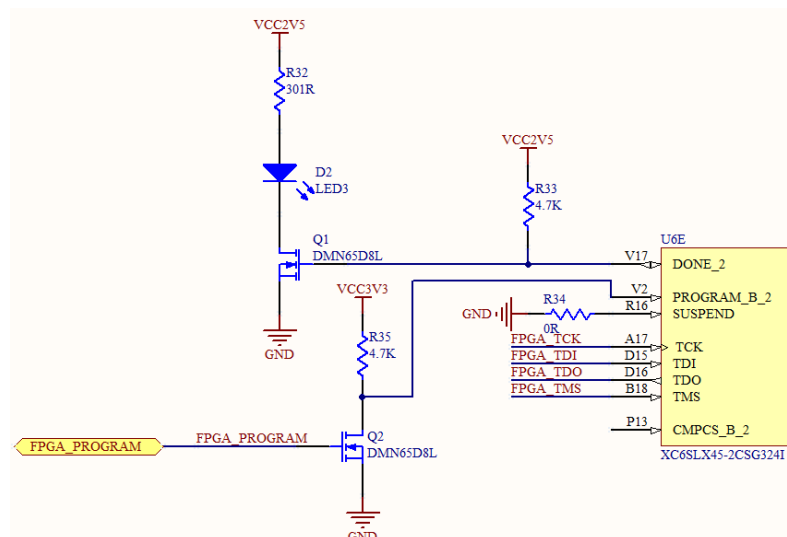
A modulon található FPGA konfigurációja jelenleg Master Serial/SPI konfigurációs módot használ. A panelon található egy flash memória, ami a

konfigurációs adatokat tartalmazza (14. ábra). Ebből a memóriából shifteli be az adatokat az FPGA, mikor a konfigurációt végzi. Következő fejlesztési lépésként terelve van véve, hogy a flash helyett a CPU modul végezze az FPGA konfigurációját Slave Serial módban. Ekkor a CPU modul szolgáltatná az órajelet és az adatokat. Ennek az az előnye, hogy az FPGA konfigurációs adatok frissítése biztonságosan megvalósítható.



14. ábra: FPGA konfiguráció

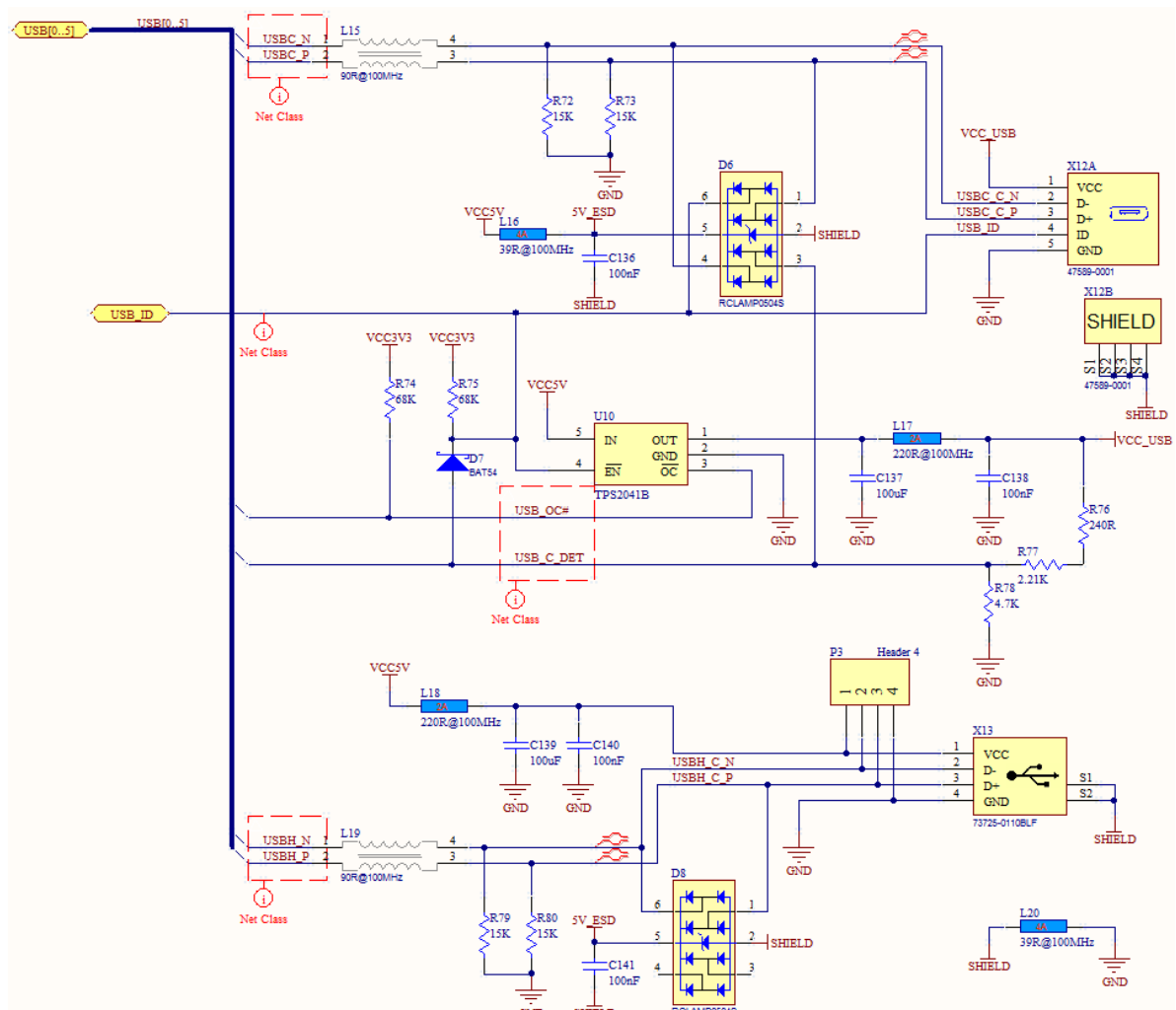
Jelenleg a konfigurációs adatok frissítéséhez a flash memóriát felül kell írni. A CPU modulnak nincs direkt hozzáférése a memóriához, tehát a frissítés az FPGA-n keresztül történik. Az FPGA a konfiguráció után a flash-t perifériaként tudja kezelni, tehát a CPU modul által küldött új adatokkal felül tudja írni a régi konfigurációt. Az új konfiguráció betöltése után a CPU modul utasítja az FPGA-t, hogy konfigurálja újra magát, a PROGRAM_B FPGA bemenetre logikai nullát ad (15. ábra). Ebben az esetben, ha a feltöltött konfiguráció nem helyes, a CPU modul nem tudja újra elérni a flash memóriát.



15. ábra: FPGA konfigurációra kényszerítés

4.4.3 USB port

Az FPGA modulon két USB port található, egy USB OTG és egy egyszerű USB HOST. Az egyszerű port esetén, ahol csak host üzemmód van nincs szükség védelmen és szűrésen kívül más áramkörre. Az OTG esetben viszont a tápellátást mindig a host biztosítja, tehát a modulnak host üzemmódban ki kell adni az 5V feszültséget az USB portra, slave üzemmódban pedig nem. Ezt egy TPS2041B típusú USB feszültségkapcsoló segítségével oldottam meg (16. ábra). Ezt a kapcsolót a Micro-AB USB csatlakozó ID vezetéke vezérli, ami meghatározza, hogy host/slave-ként viselkedjen az FPGA modul. A TPS2041B védelmet is nyújt a slave eszköznek, mikor az áramkülöbséget túllépi a kimenet, a TPS2041B átkapcsol konstans áramforrás üzemmódba.

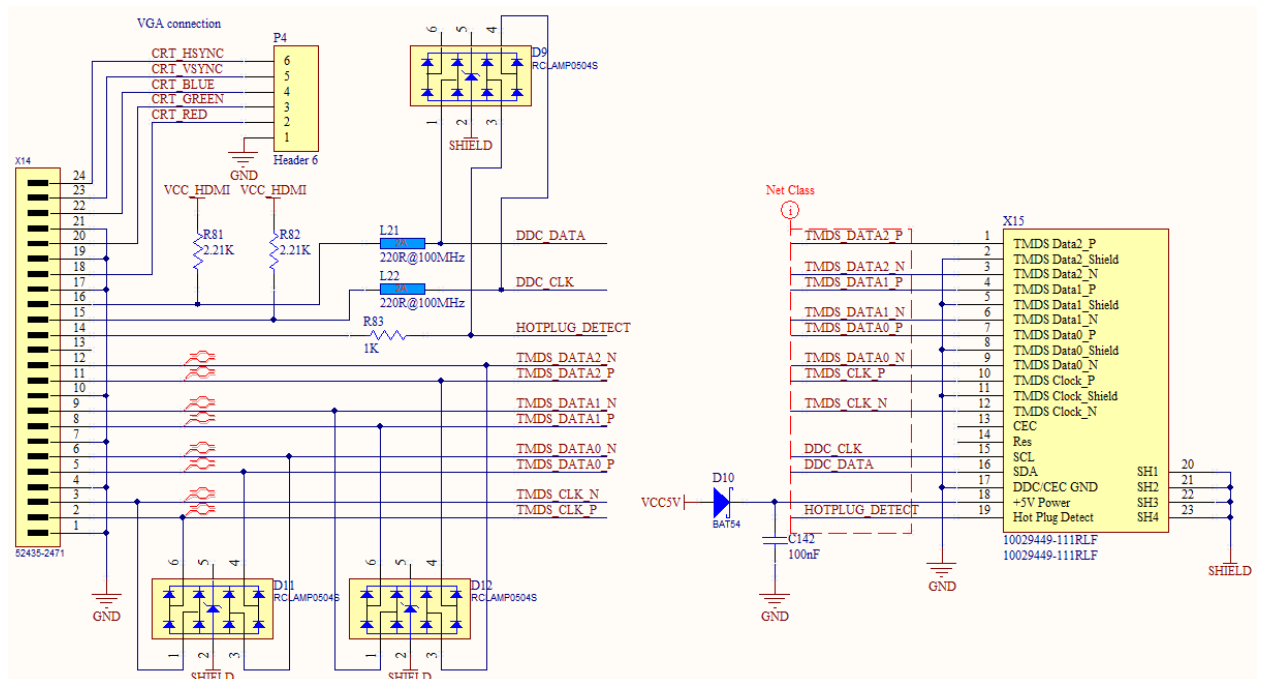


16. ábra: USB portok

Az USB HOST kimeneten egy belső tükkesor is található, amire az USB alapú Wifi modul csatlakozhat. Ebben az esetben a csatlakozó nem lesz beültetve.

4.4.4 Grafikus interfészek

A CPU modulon található analóg és digitális grafikus felület is. Ez a két felület nem a SODIMM200 csatlakozón található, amivel a CPU modul csatlakozik az FPGA modulhoz, hanem egy másodlagos csatlakozón, ahonnan szalagkábellel lehet elvezetni (17. ábra). Ezt a lehetőséget kihasználva az FPGA modulra került egy HDMI csatlakozó, ami akár 1080p felbontást is elérhet. Mivel VGA csatlakozónak nincs hely a modulon, a VGA jeleket egy tűsorra vezettem ki (17. ábra, Header 6), ha szükség lesz rá, lehet használni.

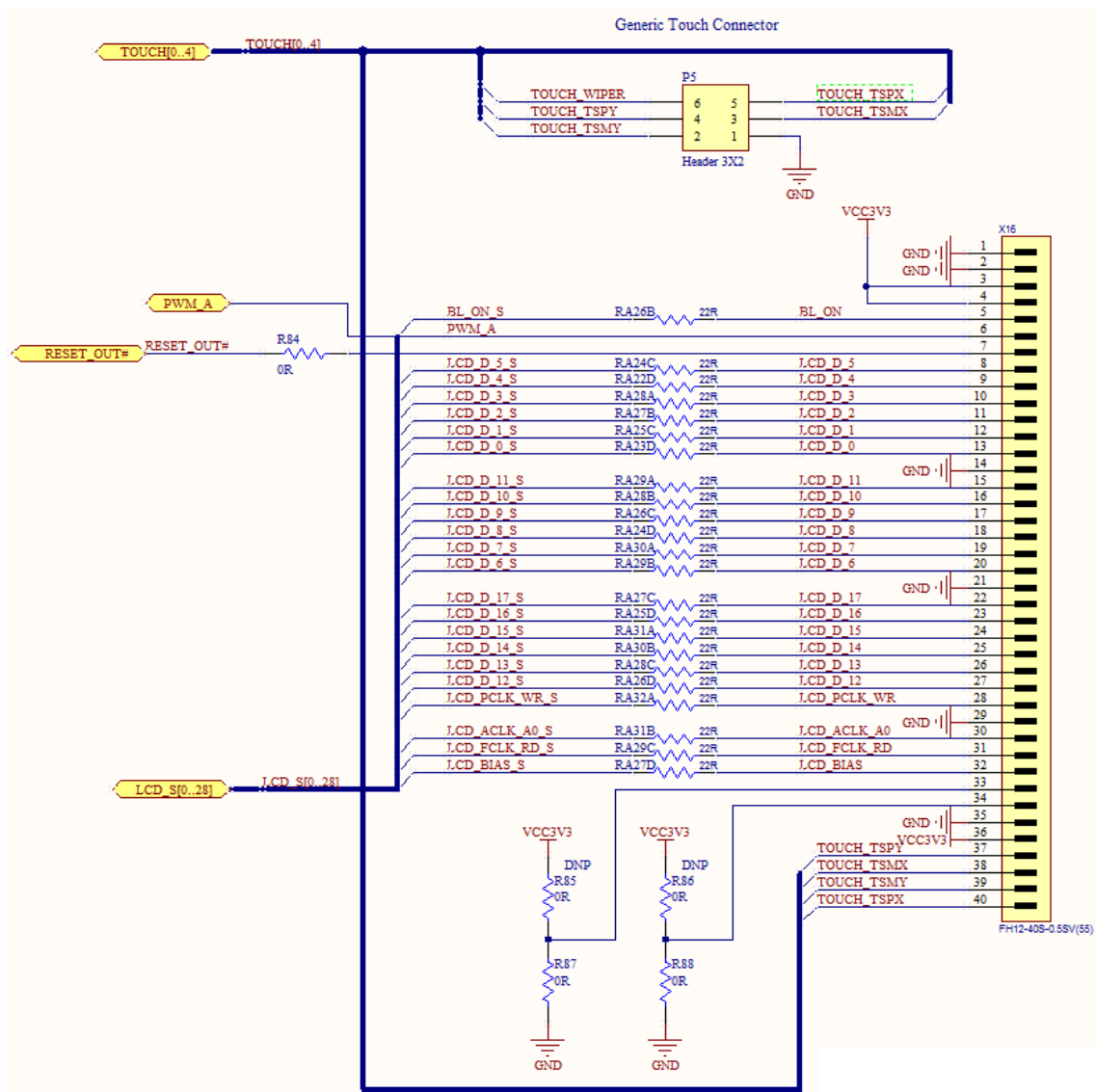


17. ábra: HDMI és VGA

A CPU modul SODIMM200 csatlakozóján található egy 24bpp RGB interfész is, ami LCD panelek vezérlésére használható. Az ezzel elérhető maximális felbontás 1920x1200. Ezt felhasználva megvalósítottam egy 18bpp EDT típusú LCD interfészt, ld. 18. ábra.

4.4.5 Ethernet

A modulon található egy 10/100Mbit Ethernet port (19. ábra), aminek segítségével hálózatba köthető, és akár távolról is irányítható az oszcilloszkóp. Itt akár egy LXI interfész is megvalósítható, ami egy hálózati protokoll-standard mérő és adatgyűjtő rendszerek számára.

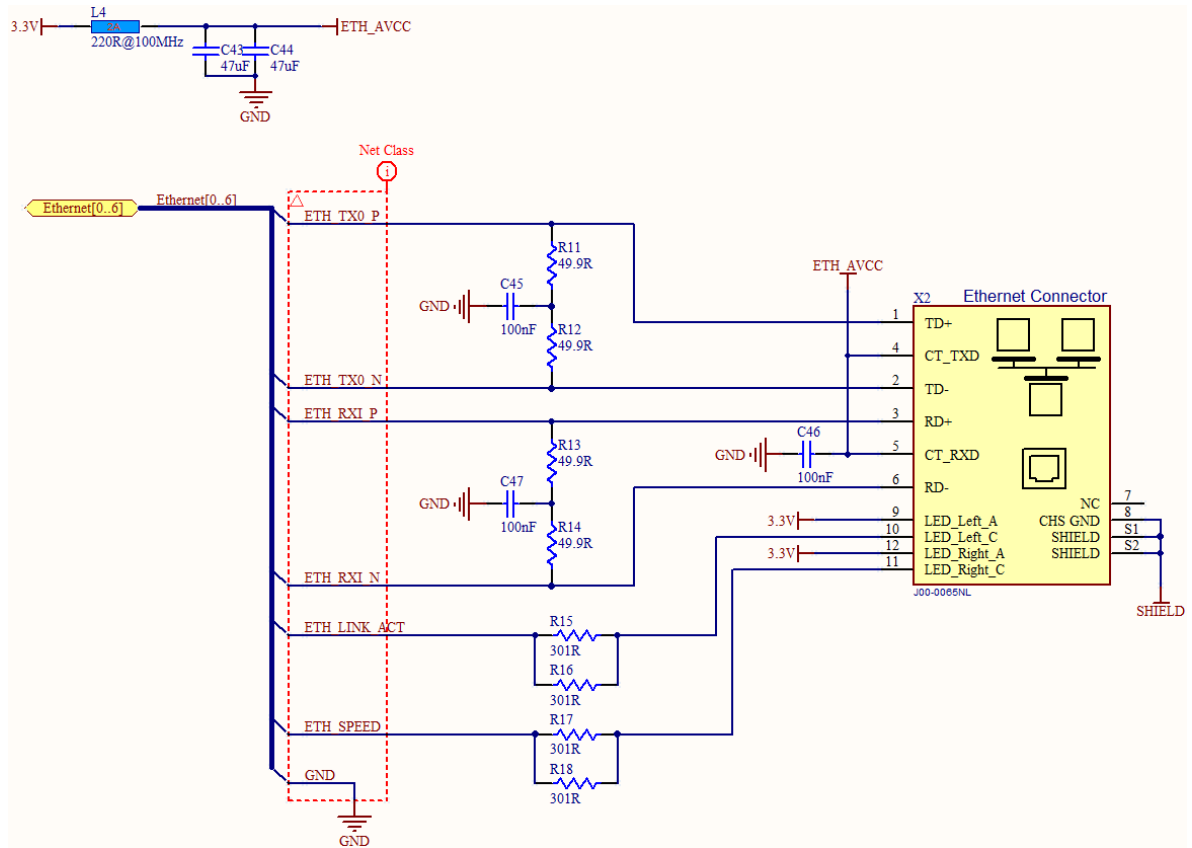


18. ábra: EDT LCD IF és 4/5 vezetékes Touch IF

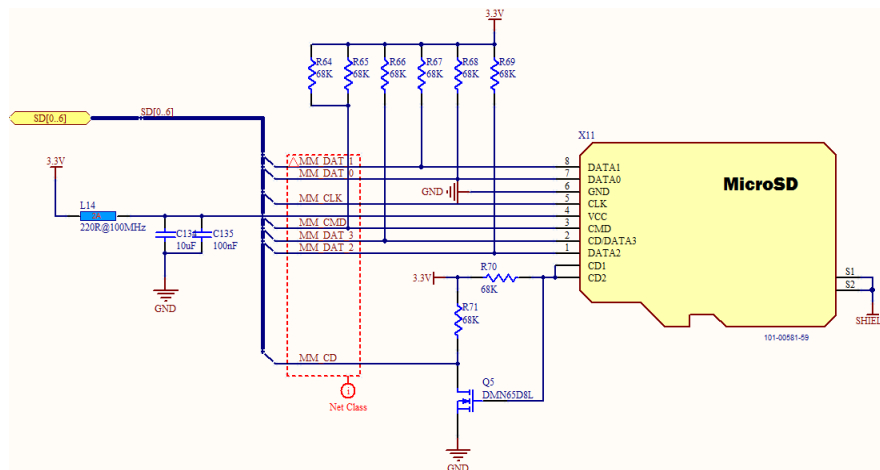
4.4.6 micro-SD kártya

Az SD kártya közvetlenül csatlakozik a CPU modul kártya interfészéhez, különösebben nem szükséges semmilyen támogató áramkör (20. ábra). Mivel az oszcilloszkóp tud autonóm módon is működni, más számításteljesítménnyel rendelkező eszköz támogatása nélkül, a frissítést úgy is megoldom, hogy ne kelljen ezért csatlakoztatni. Ezt úgy lehet megvalósítani, hogy a CPU modul az új konfigurációs adatokat az SD kártyáról is be tudja olvasni. Az oszcilloszkóp nyers mintavett adatokat is képes lesz lementeni az SD kártyára, valamint képernyőn látható képet. Adatok mentésére még USB adattároló eszközök is használhatóak lesznek, amennyiben nem Wifi moduldal rendelkező verzióról van szó, standard USB-A típusú csatlakozóval rendelkezők. Ha Wifi modul oszcilloszkópunk van, az USB Type-A csatlakozó nem

áll rendelkezésre, ekkor USB Micro-A csatlakozón tudunk ilyen eszközöket csatlakoztatni.



19. ábra: 10/100Mbit Ethernet

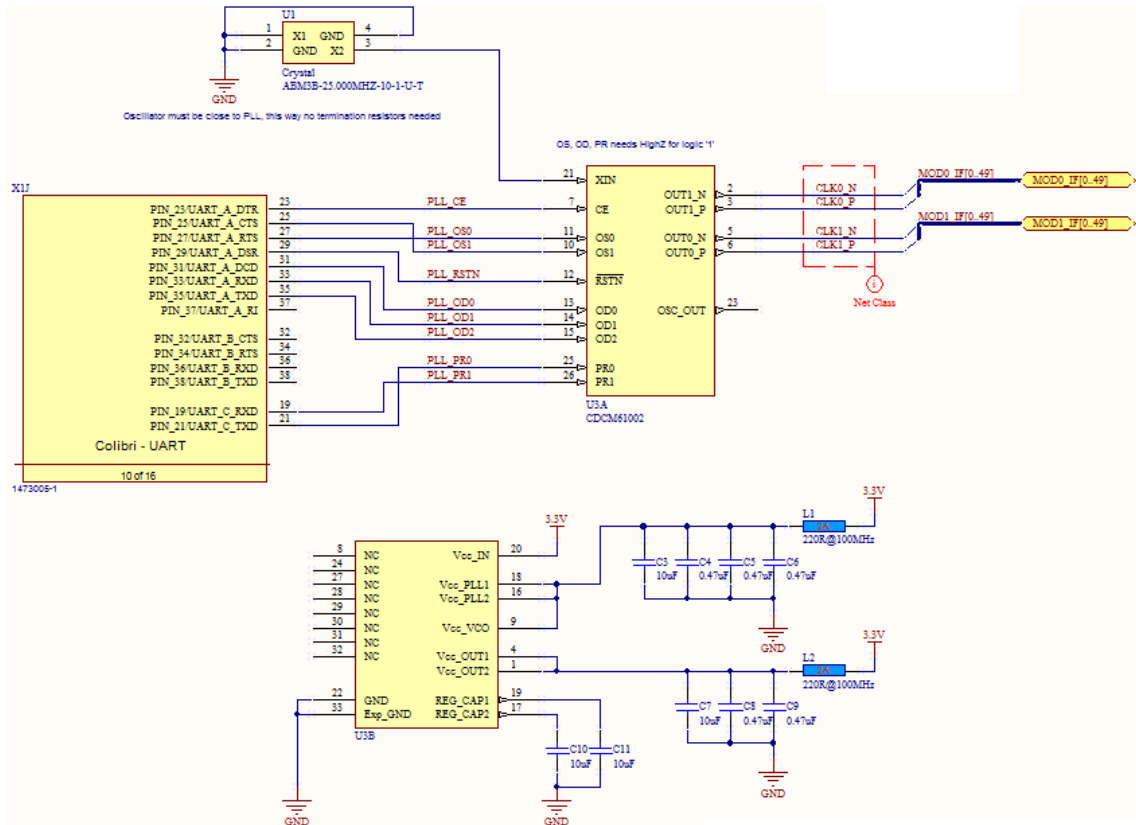


20. ábra: micro-SD kártya

4.4.7 Bővítő modul órajel

Az FPGA modul állítja elő a mintavételezést időzítő órajelet. Ennek az órajelnek nagyon jó minőségűnek kell lennie, ennek indoklását a 6.7 Órajel minőségének

fontossága részben tárgyalom. Az FPGA modulon a bővítő modulok órajelét egy CDCM61002 órajel szintetizátor állítja elő (21. ábra). Az órajel szintetizátor két differenciális kimenettel rendelkezik, és 25MHz referencia oszcillátor alapján 75, 100, 125, 150, 200, 250MHz kimeneti frekvenciákot is elő tudja állítani. A két bővítő modul egy-egy differenciális órajelet kap a CDCM61002-től. Ha két csatorna van egy kártyán, akkor mindkettő erről az órajelről működik.



21. ábra: órajel előállító rész

4.4.8 Mechanikus kezelő felület

Az FPGA modulon elhelyeztem egy I2C csatlakozót, amihez egy mechanikus kezelő felületet lehet majd illeszteni. Ez abban az esetben lesz fontos, ha olyan verziót építek, amihez nem csatlakozik érintő képernyős eszköz, sem számítógép. Így jellegre olyan lesz, mint egy hagyományos oszcilloszkóp, egy gombokkal és tekerőkkel ellátott kezelőfelülettel, az különbség, hogy kell egy képernyőt vagy LCD modult csatlakoztatni hozzá.

4.5 FPGA modul funkciói

Az FPGA modul első lépésként a bővítő modulok és a CPU modul tápfeszültségét állítja elő. Létezésének indoka a nagysebességű adatok tárolása és feldolgozása, amit ha a CPU végezne, egyes beállításoknál a frissítési idő másodpercekben lenne mérhető, ami elfogadhatatlan.

Az FPGA feladata a mintavételezett adatok tárolása a puffer memóriában, és ezzel párhuzamosan a trigger események figyelése. Amennyiben trigger esemény van, még megfelelő ideig mintavételezünk, majd az FPGA tovább figyeli a trigger eseményeket, hogy ne veszítse el például az esetleges holdoff szinkront, miközben megkezdji a feldolgozást. Legegyszerűbb esetben megkezdődik a mintavételezett adatok ablakozása és decimálása, a kezelői felületen beállított megjelenítési módnak megfelelően.

Amennyiben az időalap túl gyors, és a megjeleníthető pontok száma egy limiten alul van, használható a sinc interpoláció funkció. Ezt a módot nem is érdemes kikapcsolni, mivel megfelelő körülmények között, amik természetesen adottak, az interpolált jel a bemeneti jelnek nem a közelítését, hanem a pontos mását adja.

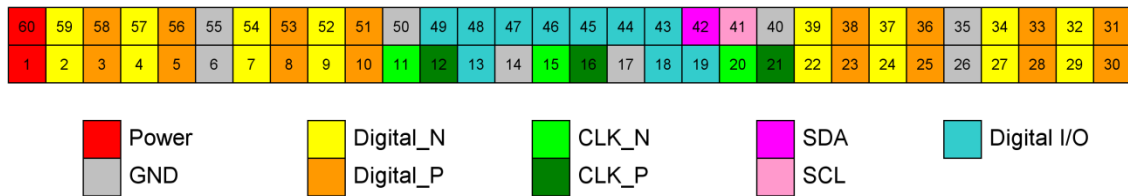
Ha a kiválasztott megjelenítési mód az intenzitás-tartózkodási idő megjelenítés, az FPGA elvégzi a szükséges számításokat a megjelenítéshez, mivel ez nagyszámú minta esetén nagy számítási teljesítményt igényel, és itt jön elő a párhuzamos feldolgozás előnye.

4.6 Bővítőkártya interfész

A kártya 60 pines B2B (Board To Board) csatlakozóval kapcsolódik az FPGA modulhoz. 16 differenciális vezetéken érkehetnek az adatok, ez lehetővé teszi akár két 8 bites differenciális kapcsolat használatát, vagy két 16 bites SE kapcsolat kialakítását. Logikai analízátor bővítő modul esetén akár 32 logikai csatorna is megvalósítható. Az adatvezetékek mellett mindkét irányba haladó órajel vezetékek is vannak: egy a modul irányába a mintavételezés időzítéséhez és kettő az FPGA irányába, az adatok beolvasásának időzítéséhez. Ezekon felül a modul konfigurálásához és más hasonló feladatokhoz az interfészen rendelkezésre áll 10 digitális vezeték és egy I2C vonal.

Az 22. ábraán látható az FPGA modulon található csatlakozó kiosztása. A Power vezetékeken az alapértelmezett feszültség 3.7V, amit egy kapcsoló üzemű tápegység

állít elő, tehát a szükséges 3.3V eléréséhez egy LDO-t célszerű használni. Új modul tervezése esetén arra kell odafigyelni, hogy a 45. és 46. lábakon vezetett digitális jelek stacionáriusak legyenek, hogy a 15. és 16. pozíción vezetett mintavételezést ütemező órajel a lehető legtisztább maradjon.



22. ábra: FPGA modul interfész lábkiosztása

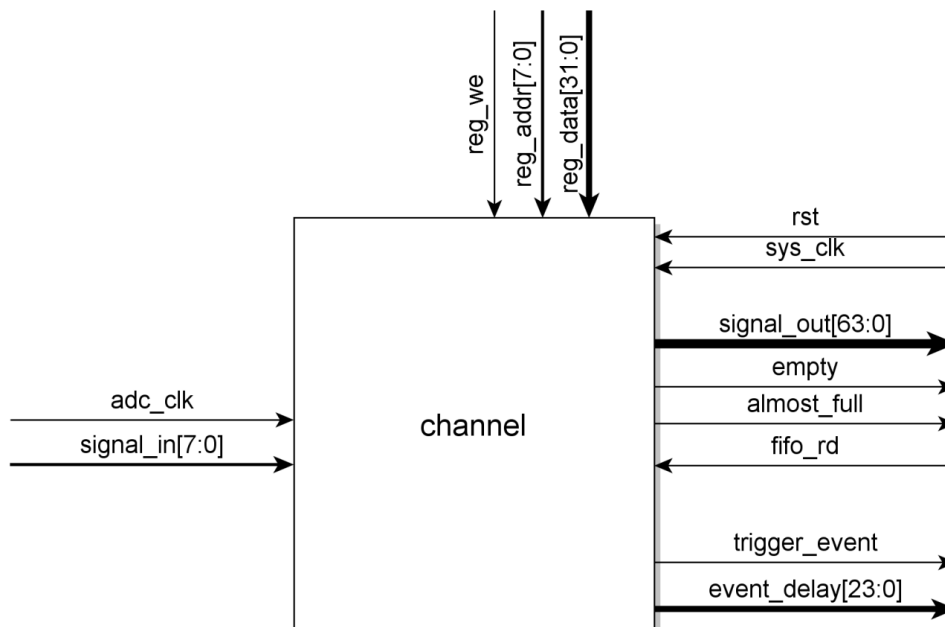
4.7 CPU modul interfész

A CPU modul egy 200 lábú SODIMM csatlakozóval kapcsolódik az FPGA modulhoz. Tápfeszültségnek 3.3V-ra van szüksége, ahonnan maximális teljesítményfelvétele 3W körül mozog, 2A-t leadni képes tápegység ajánlott. A modul majdnem minden kivezetése három funkcióval rendelkezik, amiket csoportszinten lehet kiválasztani. A feltétel, hogy ugyanazt a funkciót ne válassza ki a felhasználó két helyre, mert az nem definiált viselkedést okoz. Amennyiben az adott vezeték GPIO-ként szeretnénk használni, erre a funkcióra a csoportos kiválasztás nem érvényes, ezt egyenként is megtehetjük. Tehát például lehetséges a külső memória interfész használata esetén, a felső nem szükséges címvezetékek GPIO módbeli alkalmazása. A modul interfész részletes specifikációja megtalálható a Toradex oldalán.

5 Megvalósíthatósági teszt verilog

A Spartan-6 FPGA-ban a puffer memória hatékony kihasználásának érdekében a trigger események vizsgálatát valós időben kell megoldani, vagyis ebben az esetben 250MHz frekvencián. Ez a sebesség bonyolultabb hardvermodulok esetén a Spartan-6 FPGA-k határát súrolja, ezért mielőtt az áramkörtervezést elkezdtem volna, megvalósítottam a trigger áramkör egy részét és az FPGA-beli puffer memóriát. Ez látható a 23. ábrán.

A bal oldalon található jelek az ADC-től érkeznek: mintavételezett adat és órajel. A doboz felső oldalán beérkező jelek a konfigurációs regiszterek írására szolgálnak. Ezek a regiszterek 32 bit szélesek, és akár 256-ot is tartalmazhat ez a modul, mivel a címzés modulszintű. A jobb oldal jeleit három csoportba osztottam: a rst és sys_clk a reset és a rendszer-órajel, a középső csoport a FIFO interfész és az alsó csoport a trigger esemény, valamint a trigger jelzés késleltetése.

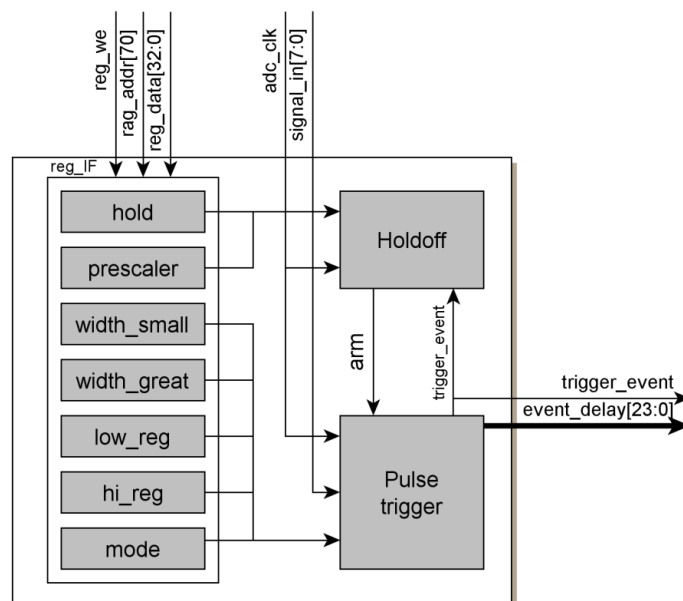


23. ábra: channel modul

A "channel" modulban gyakorlatilag egy triggerelést megvalósító és egy FIFO modul található. A két belső modul között semmilyen kapcsolat nincs. Az adatok

tárolására mindenképpen szükség van, ha van trigger, ha nincs. Mikor megtörténik a trigger esemény, még egy darabig folytatódik az adatok mentése. A puffer memória úgy viselkedik, mint egy cirkuláris puffer, a legrégebbi adatok felülíródnak. Annak függvényében, hogy a fizikailag felhasználható puffer mérete hány százalékkal nagyobb, mint a kijelzésre kerülő méret, a trigger esemény lehet a kijelzőre kerülő időintervallumon kívül is egy adott távolságban.

A "trigger" modul is két almodult tartalmaz, az egyik a "holdoff", a másik a "pulse trigger". A trigger modul leállítja az események generálását, amíg valami nem élesíti újra. A holdoff modul valósítja meg a trigger automatikus újraélesítését adott időintervallumonként. Amennyiben ez a funkció nem szükséges, vagyis a trigger akár 2-3 órajelen belül is újra létrejöhet, a mode regiszter 5. bitjét '1'-be kell állítani. A felépítés az 24. ábrán látható.



24. ábra: trigger modul felépítése

A "Holdoff" modul a hold regiszter értékéről számol vissza az arm jel kiadásához, a prescaler regiszterrel leosztott órajel alapján. A "Pulse trigger" modul esetén a megengedett pulzusok szélességét a width_small és width_great regiszterek határozzák meg. Az amplitúdó küszöbököt a low_reg és a hi_reg regiszterek adják, így hiszterézis jelleg könnyen kialakítható.

A mode regiszter határozza meg a trigger pulzusformát. Ha a mode[3] logikai egy, akkor pozitív pulzusokat figyel, ha nulla, akkor negatívakat. A mode[2:0] egyes bitjei kiválasztják a pulzusszélességtől elvárt tulajdonságot.

Mode[0] = '1' jelenti, hogy olyan pulzusokra triggerel, amik keskenyebbek, mint width_small regiszter értéke.

Mode[1] = '1', ha a pulzusszélesség N , akkor $\text{width_great} < N \leq \text{width_small}$ egyenlőtlenségnek eleget tevő pulzusokra triggerel.

Mode[2] = '1' jelentése a width_great értékénél szélesebb pulzusokat keres. Itt még megemlítem, hogy amennyiben a pulzus szélessége eléri a limitet, vagyis a regiszter tartalmát, nem várja meg, hogy a jel másik irányba átlépje a trigger szintet, hanem már eseményt generál. Ezt kihasználva ez a mód egyben megvalósítja az él triggeret is.

6 Analóg bővítő modul fejlesztése

6.1 Modul specifikáció

A fejlesztés első lépéseként meghatározom, hogy milyen tulajdonságokkal kell rendelkeznie az elkészült modulnak.

Alap specifikáció:

- 2 csatorna
- 250MHz mintavételi frekvencia

Vertikális specifikáció:

- 80Mhz analóg sávszélesség
- AC/DC bemeneti csatolás
- $1M\Omega$ (12pF) bemeneti impedancia
- 10V/div, 5V/div, 2V/div, 1V/div, 500mV/div, 200mV/div, 100mV/div, 50mV/div, 20mV/div, 10mV/div, 5mV/div, 2mV/div vertikális érzékenységek
- 8bit vertikális felbontás
- 8div vertikális tartomány
- 1/25 div offset felbontás általában, minimum 1/10 div az alsó érzékenységeknél
- 10V/div, 5V/div, 2V/div esetekben $\pm 100V$ offset tartomány
- 1V/div, 500mV/div, 200mV/div esetekben $\pm 10V$ offset tartomány
- 100mV/div — 2mV/div esetekben $\pm 1V$ offset tartomány
- automatikus offset korrigálás

A horizontális specifikáció már nem az analóg kártyától függ, hanem az FPGA modultól, viszont ennek ellenére azt is megadom:

- időalaptartomány: 20ns/div — 50s/div
- pre-trigger tartomány: 250ms/1 képernyőszélesség közül a nagyobb
- post-trigger tartomány: 1s-500s

- csatorna-csatorna késleltetés: $\pm 400\text{ns}$
- megjelenítési mód: YT, XY, roll

6.2 Front End tervezés alapok^[2]

A bemeneti fokozat elrendezése egy nagysebességű analóg digitális átalakító előtt kritikus döntés a végső rendszerteljesítmény szempontjából. Alapvetően két nagyban különböző elrendezést különböztethetünk meg: a műveleti erősítőt és a transzformátort alkalmazó elrendezéseket.

A kettő között az első nagy eltérés, hogy a műveleti erősítő egy aktív elem, míg a transzformátor passzív. Tehát a műveleti erősítő teljesítményt fog fogyasztani, és zajt generálni a rendszerben. Ezzel szemben a transzformátor nem fogyaszt és nagyon kevés zajt vezet be. Mindkettő rendelkezik nemlineáris tulajdonságokkal, amiket figyelembe kell venni tervezéskor.

A műveleti erősítőknek kevesebb limitációja van, mint a transzformátoroknak. Amennyiben DC szinteket is meg kell jeleníteni az ADC bemenetén, a transzformátor nem egy használható opció. Ezzel szemben a transzformátorok az ADC-t, és egyúttal a rendszerünket galvanikusan leválasztja a jelforrástól. A műveleti erősítővel könnyebben lehet a jelet erősíteni, mivel ezzel nem növeljük a kimeneti jel forrásimpedanciáját, míg a transzformátoroknál az erősítés négyzetével szorzódik a bemeneti impedancia. Az áteresztő tartományban a műveleti erősítők szolgáltatják a legsimább választ, nincsenek meg a transzformátoroknál megfigyelhető parazitahatások miatt megjelenő hullámok.

Tipikusan a műveleti erősítők zaj spektrum sűrűsége nagy frekvenciákon pár $10\text{nV}/\sqrt{\text{Hz}}$ tartományban található, viszont már vásárolhatóak olyan erősítők is, ahol ez az érték $5\text{nV}/\sqrt{\text{Hz}}$ alatt van. Ez a kimeneten a sávszélesség függvényében számolható zajt generál. Például egy 500MHz sávszélességű műveleti erősítő kimenetén generálódó, magától az erősítőtől származó zaj komponens $155\mu\text{V}$ (ADA4937, $G = 1$). Ez a zaj csökkenti a rendszer jel zaj viszonyát, ami az effektív bitek számának csökkenését jelenti. Ez az ára a műveleti erősítő használatának. Vannak esetek, mikor zaj bevezetése a rendszerben nem megengedett, ekkor nincs más lehetőség, mint transzformátort használni, ezzel egy zajmentes, nagy sávszélességű bemenetet tudunk elérni, amennyiben az analóg átalakító bemeneti parazitív tulajdonságai ezt megengedik.

Transzformátor használata esetén a parazitív hatások alacsonyabb frekvenciákon kezdenek megjelenni, például ha kétszeres erősítést szeretnénk elérni és a forrás impedanciánk 50Ω , a transzformátor kimeneti impedanciája 200Ω lesz. Feltételezzünk egy 4pF bemeneti kapacitást, és egy 650MHz -es -3dB ponttal rendelkező bemenetet az átalakítón, a transzformátortól származó 200Ω forrás-impedancia következtében a bemeneti sáv szélesség lecsökken 200MHz -re, a létrejött RC aluláteresztő szűrő következtében. Ez nem történik meg, ha egy műveleti erősítőt használunk, mivel megfelelő választás esetén annak kimeneti impedanciája akár 5Ω is lehet.

Tehát egyes paraméterek fontossága alapján kell választani transzformátor vagy műveleti erősítő alapú bemeneti fokozatok között. Ha nagy sáv szélességet szeretnénk előnyben a transzformátor, erősítés esetén az műveleti erősítő, áteresztő tartománybeli lapos válasz szempontjából ugyancsak az erősítő, teljesítményigény transzformátor, zaj transzformátor és a DC átvitel szempontjából az erősítő.

A tervezés következő lépéseként meg kell vizsgálni a kiválasztott ADC bemeneti fokozatának tulajdonságait, elsősorban a bemenet típusát, bufferelt vagy nem bufferelt bemenettel rendelkezik. Természetesen minél nagyobb sáv szélességet kell elérni annál nehezebb a tervezési feladat. Ha a bejövő jelet erősíteni kell, az erősítés mértékének függvényben egyre nehezebb transzformátort használni.

A tervezés folyamán minden komponensre az előző fokozat terheléseként kell tekinteni, és akkor a legnagyobb a teljesítmény átadás, mikor a forrás és a terhelő impedancia egymás konjugáltja.

Bemeneti Impedancia: a teljes terv egyik legalapvetőbb tulajdonsága. Legtöbb esetben 50ohm , viszont oszcilloszkópoknál az 1Mohm a jellemző (jobb esetben itt is beállítható 50ohm). A transzformátor egy jó illesztő-eszköz különböző impedanciájú komponensek közé. Egy műveleti erősítő fokozat esetén a ki és bemeneti impedanciát is meg tudjuk határozni, és ez konstansra lehet tervezni a teljes sáv szélességen, míg a transzformátor esetében változhat.

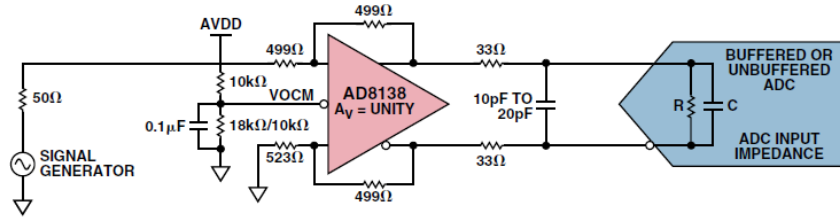
Jel Zaj Viszony – SNR: a jel RMS értéké per a zaj komponensek RMS négyzetösszeg gyökének a logaritmus. A front end szempontjából az SNR csökken a sáv szélesség növekedésével, jitter jelenlétében, és az erősítés csökkentésével. Kisebb erősítés esetén a műveleti erősítő olyan zajkomponensei is számottevővé válhatnak, amik eddig elhanyagolhatóak voltak.

SFDR: Az arány a jel RMS szintje és a második legnagyobb tüske RMS szintje között. A legnagyobb forrása ezeknek elsősorban az erősítő nemlinearitása vagy a transzformátor kiegyensúlyozatlansága, ezek elsősorban a második harmonikus megjelenését okozzák, valamint a bemeneti hiba, amit különböző komponensek eltérő karakterisztikája okoz, ez harmadik harmonikusként jelenik meg.

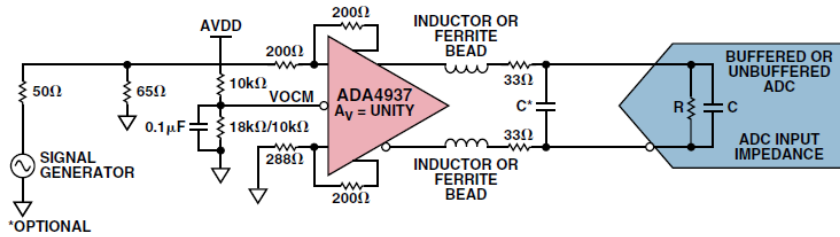
A tipikus ok műveleti erősítő alkalmazására transzformátorral szemben a laposabb áteresztő-tartománybeli válasz. Tipikusan $\pm 0,1\text{dB}$ a teljes frekvenciatartományon. A másik nagy előny a meghajtás erősség, ebből következik, hogy a műveleti erősítőt nem kötelező direkt az ADC mellett elhelyezni, míg a transzformátort igen. A harmadik fontos szempont a DC komponensek átvitele. Egyes műveleti erősítők a nem bufferelt ADC bemenetétől érkező pulzusok kiszűrésére is alkalmasak, akár 20 - 40dB csillapítással is rendelkezhetnek. Ha széles sávon kell az erősítést megvalósítani a műveleti erősítő jobban viselkedik. Amennyiben 150MHz feletti frekvenciákról van szó egy transzformátor jobban viselkedik, mint egy műveleti erősítő, viszont az első és a második Nyquist zónában mindkettő alkalmazható.

Az ADC-k tulajdonságai között, mint már említettem az egyik legfontosabb a bemenet típusa. CMOS alapú kapcsolt kondenzátoros ADC-k bemenetei nincsenek bufferelve, így alacsonyabb teljesítmény igényel rendelkeznek. A külső komponensek direktben kapcsolódnak az ADC mintavevő és tároló (SHA) áramköréhez. Ez néhány problémát vet fel. Elsősorban a bemeneti impedancia változik az idő függvényében, és a SHA áramkör aktuális állapota függvényben. Másodsorban a töltés, ami a bemeneti kondenzátorokba injektálódik, visszaverődik a forrás irányába, ami beállási késleltetést okozhat a bemenetnél elhelyezett szűrőkben. Tervezés szempontjából fontos szempont, hogy az analóg front end kimeneti impedanciáját illeszteni kell az ADC bemeneti impedanciájához. Ez egy elég bonyolult követelmény, mivel a nem bufferelt ADC bemeneti impedanciája nagyban változik a frekvencia függvényében is. Bufferelt bemenetű ADC használata sokkal egyszerűbb, mivel a bemeneti impedancia konstans a teljes frekvenciatartományban, tehát egyszerű meghajtó fokozatot tervezni hozza. A mintavevő áramkörtől származó tüskék is jelentősen csillapítva vannak. Egyetlen hátránya, hogy nagyobb fogyasztással rendelkeznek, mint a nem bufferelt társai. A 25. ábrán néhány alapkapcsolás látható különböző frekvenciatartományok esetén.

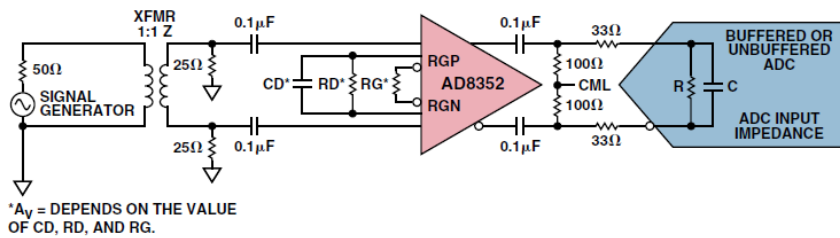
BASEBAND APPLICATIONS (a)



IF APPLICATIONS—BROADBAND (b)



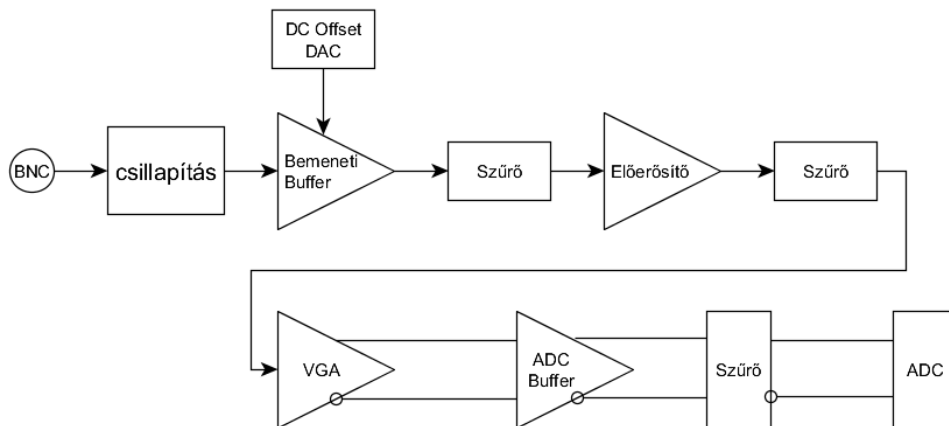
IF APPLICATIONS—BROADBAND (c)



25. ábra: néhány alapkiosztás

6.3 Modul felépítése

A modul tervezéséhez a 2.1 Analóg Front End szekcióban említett két alapvető típus közötti felépítést választottam. Ez azt jelenti, hogy a vertikális érzékenységi szintek megvalósításához diszkrét alkatrészeket és VGA modult is használtam. A tervezett front end felépítése az 26. ábrán látható.

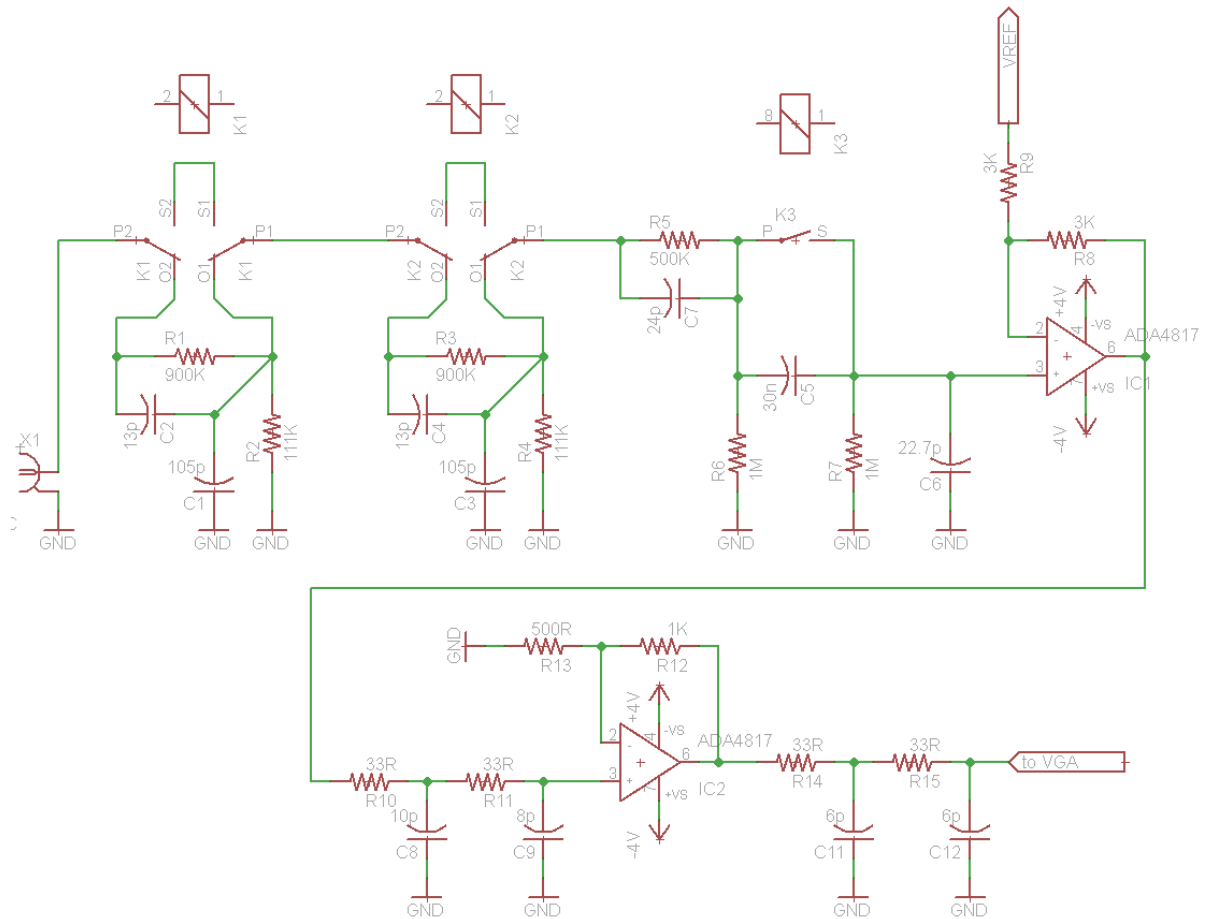


26. ábra: AFE felépítése

A bemeneti csillapító fokozat csillapítja a jelet, hogy az ne okozzon kárt a következő fokozatban, és hogy benne legyen a bemeneti tartományában. A bemeneti buffernek három szerepe van, a bemeneti jelhez egy DC offsetet tud adni (VREF), van egy kétszeres erősítése és a következő fokozat számára egy alacsony forrásimpedanciájú jelet biztosít. Minden két aktív fokozat közé elhelyeztem egy passzív RC szűrőt, mivel az nem vezet sok plusz zajt a rendszerbe (aktív szűrővel ellentétben), és nagyon szűk specifikáció a 80MHz analóg sávszélesség 250Mhz mintavételi frekvencia mellett (10-edfokú szűrőre lenne szükség ideális esetben). Az előerősítő fokozat szerepe, hogy a jelszintet arra a tartományra helyezze el, amiből a VGA fokozat elő tudja állítani az ADC bemenetén szükséges 1.2Vpp jelet. Tehát mint említettem a VGA fokozat a végső erősítést valósítja meg. Ezt követi az ADC bemenetét meghajtó buffer fokozat, aminek nincs erősítése, es feladata, hogy egy jól kiegyensúlyozott differenciális jelet állítson elő az ADC számára a megfelelő közös módusú feszültséggel.

6.3.1 Csillapító fokozat

A csillapító fokozat három csillapítási szintet tud megvalósítani. Két relé tartalmaz, amelyek egy-egy csillapító alfokozatot aktiválnak. Az alapcsillapítása a rendszernek 1/2. Mindkét relé által bekapcsolt csillapító alfokozat csillapítása 1/10, tehát a három csillapítás, ami elérhető 1/2, 1/20 és 1/200. A csillapító rendszer kiegyensúlyozott ellenállás osztókon alapul, mindhárom beállításban a bemeneti impedancia $1M\Omega$ ($12pF$). A bemeneti buffer kapacitását is figyelembe vettem a tervezéskor, valamint hogy a buffer bemenete és a BNC csatlakozó közti ellenállás minimum $500k\Omega$ legyen, hogy nagy feszültségek se károsítsák a rendszert, ha két védődiódát helyezünk el a bemeneten. A védődiódákat azért használhatjuk, mert a csillapító fokozathoz csak egyetlen buffer csatlakozik, vagyis ha az egyik védődiódán áram folyik, akkor nincs más buffer, aminek a bemenetén megjelenjen az éppen nem használt buffer által torzított jel. A csillapító fokozat tartalmaz egy harmadik relét is, ami az AC/DC csatolás közti váltást valósítja meg. A csillapító fokozat kapcsolási rajza a 27. ábrán látható.



27. ábra: Analóg front end VGA előtt

6.3.2 Bemeneti buffer

A bemeneti buffer fő szerepe a DC ofszet állítás, kapcsolási rajza a 27. ábrán látható (IC1). Az ofszet hozzáadást egy nem-invertáló műveleti erősítő alapkapsolás valósítja meg. Az alapkapsolásba GND helyett betáplált feszültség levonódik a bemeneti jelből az erősítési tényező függvényben. Mivel az alkalmazott kapcsolás erősítőse 2, a DC szint direktben levonódik a kétszeresére növelt bemeneti jelből. Ez azt jelenti, hogy az aktuális csillapítási tényezővel felszorozva a referencia feszültség felét megkapjuk, hogy hány voltunk megfelelő ofszetet adtunk a jelhez. Például 10V/div vertikális érzékenység esetén a csillapító fokozat 1/200-as csillapítással rendelkezik, tehát +1V referencia feszültség a bemeneten -100V ofszetnek felel meg. Ez a fokozat oldja meg a DC ofszet kompenzációt is.

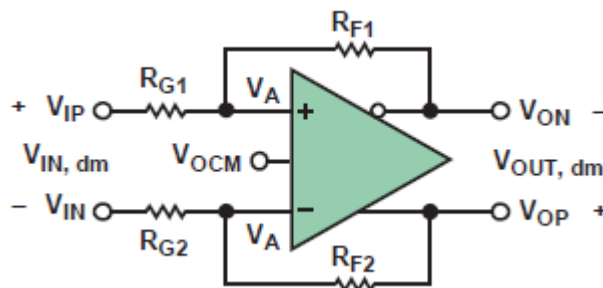
6.3.3 VGA

A VGA fokozat valósítja meg a végső erősítést/csillapítást, az erősítést úgy kell megválasztani, hogy az ADC full scale jeltartományába 8div férjen bele. A kiválasztott

VGA az Analog Devices által gyártott AD8370, digitálisan kontrollálható erősítésű, nagy sáv szélességű erősítő. Az AD8370 erősítési tartománya -11dB és 34dB között mozoghat, kevesebb mint 2dB felbontással. A precíz erősítés nem szempont, mivel a kiválasztott analóg konverternek van beépített, digitális $\pm 20\%$ tartományban kontrollálható referencia feszültsége, tehát az elméleti erősítési hiba korrigálható.

6.3.4 ADC Buffer^[3]

Mint már említettem, az ADC buffer feladata egy jól kiegyensúlyozott differenciális jel előállítás. Ezt elő tudja állítani akár egy single ended bemeneti jelből is. Az ADC bemenetéhez általában közel helyezkedik el a bemeneti buffer erősítő, így a kettő között nem szükséges impedancia kontrollált kapcsolatot létrehozni. Ez viszont a buffer bemeneti oldalán nem feltétlenül teljesül, ezért a fokozatot úgy kell megtervezni, hogy a bemeneti impedanciája nagyobb vagy egyenlő legyen, mint a szükséges terminálás. Amennyiben a bemenet differenciális, és a buffer erősítő a 28. ábrán látható módon működik, akkor a bemeneti impedancia $R_{G1} + R_{G2}$, mivel a nagy erősítés következtében V_{A+} és V_{A-} virtuálisan összekötöttnek tekinthető. Innen a terminálás értéke triviális módon számolható.



28. ábra: differenciális alapkapsolás

A kiválasztott erősítő az Analog Devices AD8139 teljesen differenciális erősítő. Ez egy nagyon alacsony zajjal jellemezhető erősítő, ami akár 18 bites átalakítók meghajtására is alkalmazható. Ennek a másik fő előnye, hogy benne van a gyártó által szolgáltatott differenciális bufferek tervezését segítő program adatbázisában (ADI Diff-Amp Calc). Így az erősítő részletes megismerése és sok számolás nélkül is biztosan működő beállítást tudunk megvalósítani.

6.4 Erősítési tartományok

Ebben a részben bemutatom, hogy hogyan számoltam ki, hogy milyen erősítésekre van szükség, és milyen felbontásokra a vertikális specifikáció elérése érdekében. Első lépésként meghatároztam azokat a bemeneti feszültségtartományokat, amiket a front endnek le kell tudnia képezni az ADC bemenetére egyes vertikális szenzitivitás-beállítások mellett. Ebből képeztem az 1. táblázatot.

10V/div	$\pm 40V \pm 100V$	5V/div	$\pm 20V \pm 100V$	2V/div	$\pm 8V \pm 100V$
1V/div	$\pm 4V \pm 10V$	500mV/div	$\pm 2V \pm 10V$	200mV/div	$\pm 800mV \pm 10V$
100mV/div	$\pm 400mV \pm 1V$	50mV/div	$\pm 200mV \pm 1V$	20mV/div	$\pm 80mV \pm 1V$
10mV/div	$\pm 40mV \pm 1V$	5mV/div	$\pm 20mV \pm 1V$	2mV/div	$\pm 8mV \pm 1V$

1. táblázat: vertikális bemeneti tartományok

Mint már említettem fennebb, a táblázat első sorához a bemeneti fokozat 1/200 csillapítást rendel, a másodikhoz 1/20 és az utolsó kettőhöz 1/2-t. Ez alapján készítettem egy táblázatot, ami a bemeneti buffer bemenetén megjelenő feszültség tartományt tartalmazza (2. táblázat).

10V/div	$\pm 200mV \pm 500mV$	5V/div	$\pm 100mV \pm 500mV$	2V/div	$\pm 40mV \pm 500mV$
1V/div	$\pm 200mV \pm 500mV$	500mV/div	$\pm 100mV \pm 500mV$	200mV/div	$\pm 40mV \pm 500mV$
100mV/div	$\pm 200mV \pm 500mV$	50mV/div	$\pm 100mV \pm 500mV$	20mV/div	$\pm 40mV \pm 500mV$
10mV/div	$\pm 20mV \pm 500mV$	5mV/div	$\pm 10mV \pm 500mV$	2mV/div	$\pm 4mV \pm 500mV$

2. táblázat: bemeneti buffer bemenetén megjelenő jeltartományok

Mint látható a 2. táblázatból, az egyes helyeken feltüntetett ofszet érték megegyezik, tehát egyetlen digitális-analóg átalakítóval megoldható az ofszet állítása. Minimum 1/10div felbontásnak kell lennie az ofszet-állításnál, ami azt jelenti, hogy a 2mV/div esetben az ofszetnek 0.2mV felbontása kell legyen.

A bemeneti buffer fokozat erősítése 2, az előerősítő fokozat erősítése 3, ami azt jelenti, hogy a 2. táblázatban feltüntetett jelszint ofszettől eltekintve hatszorosára növekedik ld. 3. táblázat.

10V/div	±1200mV	5V/div	±600mV	2V/div	±240mV
1V/div	±1200mV	500mV/div	±600mV	200mV/div	±240mV
100mV/div	±1200mV	50mV/div	±600mV	20mV/div	±240mV
10mV/div	±120mV	5mV/div	±60mV	2mV/div	±24mV

3. táblázat: VGA bemenetére jutó jelszintek

A VGA kimenetére kerülő jeltartomány nominális mérete 2.4V_{pp} kell legyen, mivel az ADC alapértelmezett referenciafeszültsége 1.2V, és az ADC buffer bemenetére már csak a VGA kimeneti jelszint fele kerül, mert a VGA kimeneti impedanciája megegyezik a buffer bemeneti impedanciájával. Ez alapján készíthető egy táblázat a szükséges erősítési tényezőkkel, elvileg megvalósítható tényezőkkel, a megvalósítható tényezőkkel elért jelszintekkel és az ADC beállításához szükséges paraméterekkel.

10V/div	×1 (0dB)	5V/div	×2 (6.02dB)	2V/div	×5 (13.98dB)
1V/div	×1 (0dB)	500mV/div	×2 (6.02dB)	200mV/div	×5 (13.98dB)
100mV/div	×1 (0dB)	50mV/div	×2 (6.02dB)	20mV/div	×5 (13.98dB)
10mV/div	×10 (20dB)	5mV/div	×20(26.02dB)	2mV/div	×50(33.98dB)

4. táblázat: VGA szükséges erősítési tényezői

Mivel a VGA erősítése nem folytonos állítható, hanem bizonyos lépésközökkel, meg kell vizsgálni, hogy ezek az erősítési tényezők mennyire valósíthatóak meg. Az AD8370 VGA két erősítési tartománnyal rendelkezik, mindkettőben 127 erősítési z fokozat érhető el. Az egyik tartomány az LG(0..127) (Low Gain), itt az erősítést -25dB — 17dB tartományban lehet állítani, kisebb mint 1dB felbontással. A másik tartomány a HG(0..127), amiben az erősítés -8dB — 34dB tartományban állítható. A két tartományban egy 8 bites vezérlőregiszter alsó 7 bitjének segítségével mozoghatunk, a két tartomány között pedig az MSB választ. Az erősítés egyszerű formában megadható egy egyenlet segítségével:

$$A_v = GainCode \times 0.055744 \times (1 + (7.079458 - 1) \times MSB)$$

10V/div	HG3 (×1.18)	5V/div	HG5 (×1.97)	2V/div	HG13 (×5.13)
1V/div	HG3 (×1.18)	500mV/div	HG5 (×1.97)	200mV/div	HG13 (×5.13)
100mV/div	HG3 (×1.18)	50mV/div	HG5 (×1.97)	20mV/div	HG13 (×5.13)
10mV/div	HG25 (×9.87)	5mV/div	HG51 (×20.13)	2mV/div	HG127(×50.12)

5. táblázat: VGA erősítések

10V/div	1.418V	5V/div	1.182V	2V/div	1.231V
1V/div	1.418V	500mV/div	1.182V	200mV/div	1.231V
100mV/div	1.418V	50mV/div	1.182V	20mV/div	1.231V
10mV/div	1.184V	5mV/div	1.208V	2mV/div	1.203V

6. táblázat: VGA kimeneti tartomány szélességei

A kiválasztott AD9284 analóg-digitális átalakító referencia feszültsége 16mV lépésközökkel állítható 1.013V — 1.481V tartományban, tehát a 6. táblázatból látható, hogy mindenik vertikális érzékenység esetén lehetséges a referenciát úgy állítani, hogy az megfelelő legyen.

6.5 Analóg átalakító kiválasztása

Az átalakító kiválasztásakor az elsődleges két szempont az analóg bemenet típusa és a mintavételi frekvencia volt. A bemenet típusának buffereltnak kell lennie, a könnyű tervezhetőség miatt, és kell tudnia 250MHz mintavételi frekvencián üzemelni, valamint jó esetben alacsonyabb frekvenciákon is. Négy gyártó termékeit vizsgáltam meg: Analog Devices, Texas Instruments, Linear Technology és Intersil.

Name	Speed	InpBuff	CH	SNR	SFDR	mW/CH	INL [LSB]	An BW	Interface	USD/CH
AD9284	250	Y	2			157	0.1	700	Diff-bip, SE-uni	12.5
AD9286	500	Y	2			157	0.1	500	Diff-bip, SE-uni	18
AD9481	250	Y	1			619	0.3	750	Diff-uni	16.19
AD9480	250	Y	1			698	0.3	750	Diff-uni	18.2
ADC08200	200	n	1	46	60	210	1	500	Par-cmos	7.67
ADC08B200Q1	200	n	1	46.3	56	543	0.55	500	Par-cmos	19.7
ADC08B200	200	n	1	46.3	56	543	0.55	500	Par-cmos	16.5
ADC08D502	500	n	2	48	55	700	0.9	1700	Par-lvds, Ser-spi	29.5
ADC08500	500	Y	1	47.5	56	800	0.3	2000	Par-lvds, Ser-spi	34.2
ADC08DL502	500	Y	2	48.5	59.1	625	0.9	2000	Par-lvds, Ser-spi	21.75
ISLA118P50	500		1	49.9	68	428	0.03	1150	LVDS, LVCMOS	36
KAD2708C-27	275		1	50.4	68	261	0.8	600	LVCMOS	12.5
KAD2708C-21	210		1	49.5	69	222	0.8	600	LVCMOS	10.35
KAD2708L-27	275		1	50.4	68	275	0.8	600	LVDS	12.5
KAD2708L-35	350		1	50.4	65	327	0.8	600	LVDS	17.95
KAD2708L-21	210		1	49.5	69	237	0.8	600	LVDS	10.35

7. táblázat: Feladathoz közelálló szóba jövő átalakítók

A 7. táblázatban található összes átalakító 8bit felbontással rendelkezik. Az első sorban elhelyezett AD9284 átalakítót választottam az első prototípus megvalósításához. Rendelkezik bemeneti bufferrel, fogyasztása nem magas, megfelel a mintavételezési követelményeknek és olcsó.

6.6 Bemeneti fokozat zajszámítás

A műveleti erősítők és ellenállásosztó hálózatok zajt generálnak. A tervezés során ezekre a zajforrásokra nagyon oda kell figyelni, mivel a hasznos jelszint pártíz/párszáz milivolt. A tervezés első lépésében néhány alapkérdést kell feltennie a tervezőnek, mielőtt nekiállna megtervezni egy analóg fokozatot: mekkora a bemeneti jel forrás-impedanciája, milyen jelszintünk van és mekkora sávszélességet kell megvalósítani. Ezekkel az információkkal a kezünkben elkezdhetünk számolgatni, hogy adott elrendezés esetén mi mekkora zajt generál a rendszerben.

Ellenállások esetén a termikus zaj könnyen modellezhető. Egyik ilyen modell, mikor az ellenállást egy sorba rendezett ideális ellenállással és egy feszültségforrással helyettesítjük. Ekkor az ellenállás által generált zaj feszültség spektrum sűrűség a 1. egyenlet alapján számolható.

$$\bar{v}_n = \sqrt{4k_B T R}$$

1. egyenlet: ellenállás feszültség spektrum sűrűség

Jól látható, hogy a zaj spektrum konstans a teljes frekvenciatartományon, tehát az egyetlen dolog, ami korlátot szab a zajnak, az a sávszélesség. Ahhoz, hogy megkapjuk az ellenállás által generált zaj RMS értékét a fent kapott eredményt meg kell szorozni a sávszélesség gyökével. Így számolható egy egyszerű ellenállás által generált zaj. A műveleti erősítő bemenete rendelkezik néhány picofarad kapacitással a föld irányába, nem lehetséges egyszerű ellenállás osztó alkalmazása, mivel az osztási arány változna a frekvencia függvényében. Ezt a problémát oldja meg a kiegyensúlyozott ellenállás osztó, ahol minden ellenállással párhuzamosan egy kondenzátor is jelen van. A kondenzátorok értékét úgy kell megválasztani, hogy az egyes párok $R \cdot C$ szorzata megegyezzen. Itt ahogy a frekvencia növekszik, a feszültség osztás szerepet átveszik a kondenzátorok. Az egyetlen hátránya, hogy a rendszer bemeneti impedanciája változik a frekvencia függvényben. Viszont ennek az elrendezésnek van egy hatalmas előnye az egyszerű osztóval szemben, mégpedig zaj szempontjából. Egy $500\text{K}\Omega$ ellenállás által generált zaj 100MHz sávszélesség esetén $910.07\mu\text{V}_{\text{rms}}$, míg ha egy párhuzamos 13pF méretű kondenzátor is jelen van, ez az érték $17.84\mu\text{V}_{\text{rms}}$ -re csökken. RC esetben, ahogy nő az ellenállás, egyre alacsonyabbra kerül az RC tag zaj sávszélessége, gyakorlatilag a zajspektrum képletből kiesik az ellenállás, csak a kapacitás számít ld. 2. egyenlet.

$$\bar{v}_n = \sqrt{\frac{k_B T}{C}}$$

2. egyenlet: RC tag által generált rms zaj

A műveleti erősítőkkel megoldott fokozatokban a zaj számítása ennél bonyolultabb. Az erősítők bemenetein feszültség és áramzajt különböztethetünk meg. Az erősítőt a feladatnak megfelelően kell megválasztani. Célszerű olyan erősítőt választani, ahol a bemeneti jel forrásimpedanciája szorozva az erősítő bemeneti áramzajával nagyságrendileg megegyezik a bemeneti feszültséggzajjal. Célszerű az egyes fokozatok/aktív fokozatok számát minimalizálni, mivel minden ilyen fokozat csökkenti a jel-zaj viszonyt.

A tervezett bemenet által generált zaj háromféleképpen vizsgálható: kiszámolható papíron, szimulálható és mérhető egy megépített prototípuson. Jó esetben ez a három közel ugyanazt az eredményt adja. Én az első két lehetőséget használtam. A kézi számításoknál sok egyszerűsítést alkalmaztam a két eredmény között 20% különbség van. A SPICE szimuláció szerint, amit LTSpice-ban végeztem, $747.7\mu\text{Vrms}$ zaj van a VGA bemenetén. Ezt a zajt a VGA az erősítési tényező szerint felszorozza. Ez még nem csökkenti a jel-zaj viszony, hiszen a hasznos jel is ugyanennyivel szorzódik, viszont az erősítőnek van egy Noise Figure nevű jellegzetessége, ami azt adja meg, hogy a jel-zaj viszonyt hány decibellel fogja csökkenteni. Ez azt jelenti, hogy az rms zaj a Noise Figure-nak megfelelő értékkel szorzódik. A VGA bemenetére jutó jel-zaj viszonyok a 8. táblázatban láthatóak full scale bemeneti jel esetén. Az erősítő adatlapjában található egy táblázat, ami az erősítési kód (Gain Code) függvényében megadja, hogy milyen Noise Figure (NF) értékkel számolhatunk. Az 5. táblázat alapján minden vertikális érzékenység esetében kikerestem a megfelelő NF értéket, és levontam a bemeneti SNR értékből, így kaptam a 9. táblázatot.

10V/div	67.12dB	5V/div	61.1dB	2V/div	53.14dB
1V/div	67.12dB	500mV/div	61.1dB	200mV/div	53.14dB
100mV/div	67.12dB	50mV/div	61.1dB	20mV/div	53.14dB
10mV/div	47.12dB	5mV/div	41.1dB	2mV/div	33.14dB

8. táblázat: VGA bemenetén a jel-zaj viszony

10V/div	42.12dB	5V/div	41.1dB	2V/div	43.14dB
1V/div	42.12dB	500mV/div	41.1dB	200mV/div	43.14dB
100mV/div	42.12dB	50mV/div	41.1dB	20mV/div	43.14dB
10mV/div	39.12dB	5mV/div	34.1dB	2mV/div	25.14dB

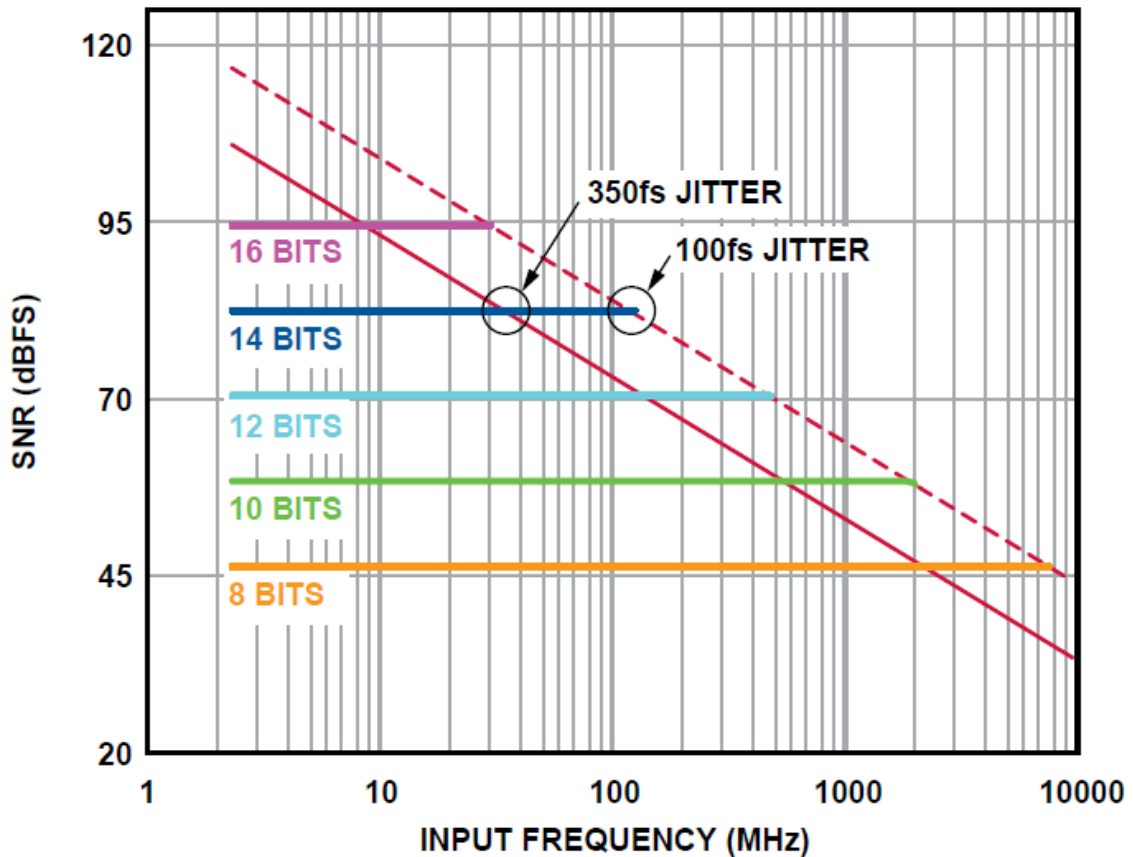
9. táblázat: VGA kimenetén a jel-zaj viszony

Az ADC-t meghajtó buffer, az AD8139 differenciális erősítő, ami $2.2\text{nV}/\sqrt{\text{Hz}}$ zaj spektrummal rendelkezik. Mivel ezeket az értékeket négyzetesen kell összeadni, majd gyököt vonni, ez a $2.2\text{nV}/\sqrt{\text{Hz}}$ nem fogja a jel-zaj viszonyt érezhetően tovább rontani, mivel a bejövő zajspektrum párszáz $\text{nV}/\sqrt{\text{Hz}}$ tartományban mozog, tehát a 8. táblázat értékei tekinthetőek az ADC bemenetén megjelenő SNR értékeknek.

6.7 Órajel minőségének fontossága^{[4][5]}

Az órajel minősége direkt hatással van a mintavett adatokra, ezért az átalakító órajelét nagy körültekintéssel kell megvalósítani. Sok paraméter van, ami az órajel minőségét befolyásolja, például az alap órajelet előállító kristály minősége a PLL sávszélessége, a PCB huzalozása vagy az egyes órajel-bufferek minősége.

Elsőként vizsgáljuk meg, hogy az órajel jitter milyen kapcsolatban áll a mintavett adatokkal. Az órajel jitter alatt gyakorlatilag az egyes periódusok ideálistól való eltérését értjük, vagyis egyik periódus kicsit hosszabb, másik kicsit rövidebb. Ez azt jelenti, hogy a mintáinkat nem pontosan ott vesszük, ahol szeretnénk, időzítési hibát okoz. Ez a rövid idő alatt egy alacsony meredekségű (slope) jel nem változik számottevően, viszont egy nagyobb igen, tehát látható, hogy adott jitter érték egy bizonyos sávszélesség felett kezd problémát okozni ugyanazon jelszint mellett. Ugyanaz a jitter ugyanolyan bemeneti jel esetén nem okoz gondot egy 10bit-es átalakító esetén, de egy 16 bit-es esetben lehet, hogy igen. Az órajel jitter a mintavett jelekben zajként jelenik meg, csökkenti a jel-zaj szintet. A jitter egy olyan probléma, amit még a tervezési fázisban kell megelőzni, hanem a tervezett rendszer nem fogja az elvárt teljesítményt nyújtani.



29. ábra: SNR egy ideális ADC esetén, jitter és frekvencia hatása

A 29. ábrán látható, hogy az órajel jitter milyen hatással van a jel-zaj viszonyra. Látható, hogy alacsony frekvenciákon a jitter nem befolyásolja az SNR értékét, viszont magasabb frekvenciákon ez válik az elsődleges zajforrássá. Minél nagyobb az átalakító felbontása, annál alacsonyabb frekvencián jelentőssé válik a jitter által okozott hiba. Minél magasabb a jitter, annál alacsonyabb frekvenciákon problémát okoz.

A jel-zaj viszonyt sok paraméter befolyásolja, viszont nézzük azokat, amik igazán fontosak a tervezés szempontjából. Ez a három paraméter az órajel jitter teljesítménye, az átalakító DNL hibája és az ADC effektív bemeneti zaja. Ha felépítünk egy képletet, ami ezeket tartalmazza, és ábrázoljuk egy diagramon, egyből láthatóvá válik, hogy adott órajel mellett az átalakító milyen frekvenciatartományban használható komoly teljesítmény degradáció nélkül.

$$SNR = -20 \log_{10} \sqrt{(2\pi f_a t_{jitter_{RMS}})^2 + \frac{2}{3} \left(\frac{1 + \varepsilon}{2^N}\right)^2 + \left(\frac{2\sqrt{2}V_{Noise_{RMS}}}{2^N}\right)^2}$$

3. egyenlet: jel-zaj viszony számítása^[6]

SNR	jel-zaj viszony [dB]
f_a	bemeneti analóg full scale szinusz jel frekvenciája
$t_{jitter_{RMS}}$	összesített RMS órajel és ADC jitter
ε	átlagos DNL hiba LSB-ben kifejezve
N	ADC névleges felbontása
$V_{Noise_{RMS}}$	ADC effektív bemeneti zaj

Látható, ha a jittert, a DNL hibát és az ADC zajt nullának vesszük a formula a jól ismert 2. egyenletre egyszerűsödik.

$$SNR_{bit} = 6.02N + 1.76$$

4. egyenlet: ideális N bites átalakító jel-zaj viszonya

Ez a képlet ebben a formában alkalmazható az órajel jitter felső határértékének meghatározásához, mivel a három paraméter közül, ha az analóg front end tervezése befejeződött, ez az utolsó paraméter, ami a tervezőn múlik. Ennek érdekében írtam egy MATLAB kódot, ami a megadott paraméterek alapján kirajzolja a várható SNR értékeket a bemeneti jel frekvenciájának függvényében. A kód lentebb látható, és alatta a kirajzolt diagram (30. ábra). Néhány iterálás során könnyen kideríthető, hogy adott bemeneti zajszint mellett milyen órajel követelményeket kell megszabni, hogy az órajel következtében ne romoljon tovább a jel-zaj viszony.

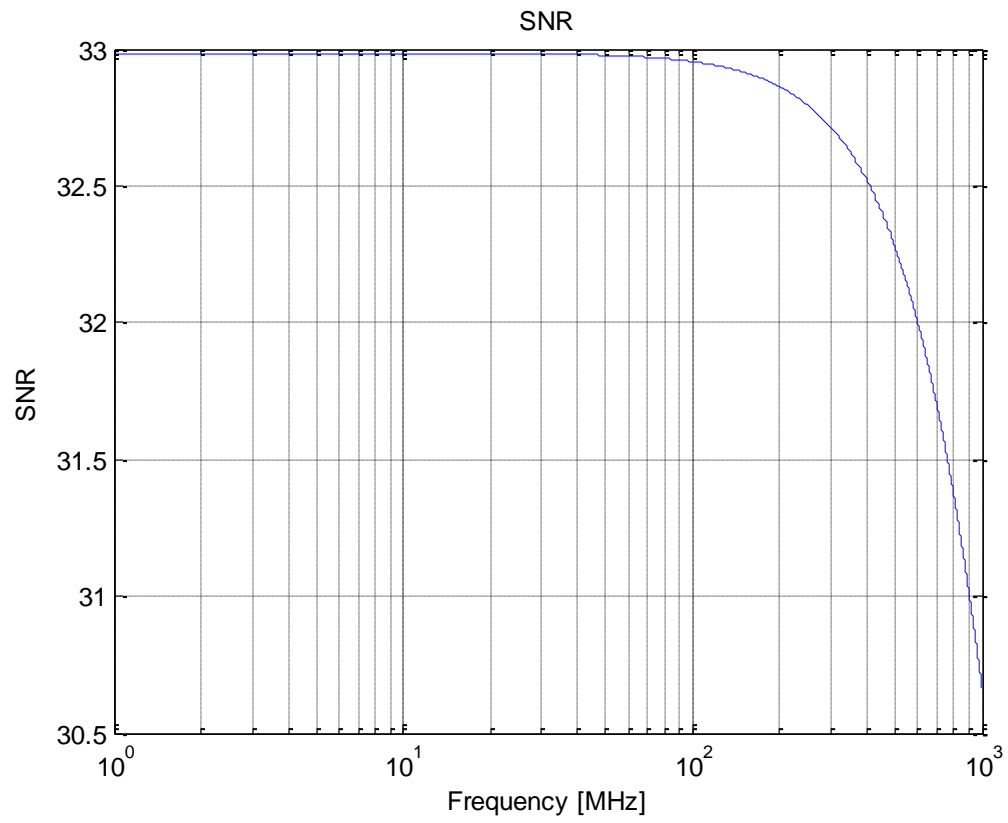
```

N = 8;           %number of ADC bits
tj_rms = 3*10^-12; %combined rms internal ADC jitter & clock jitter; 1ps
epsilon = 0.2;   %Average DNL in LSB
Vnoise_rms = 2; %effective input noise

fa = 10^6+1:10^5:10^9;
SNR = fa;
for inx = 10^6+1:10^5:10^9;
    SNR(1+(inx-1)/10^5 - 10) = -20*log10(sqrt((2*pi*inx*tj_rms)^2
        +2/3*(((1+epsilon)/2^N))^2+(2*sqrt(2)*Vnoise_rms/2^N)^2));
end

figure(1);
semilogx(fa/10^6, SNR);
title('SNR');
ylabel('SNR');
xlabel('Frequency [MHz]');
grid on

```



30. ábra: várható jel-zaj viszony a bemenetként adott körülmények esetén

7 Összefoglaló

A Piacon rengeteg oszcilloszkóp található, viszont nagyon nagy szakadék van a professzionális oszcilloszkópok és a hobbisták számára gyártott egyszerű műszerek között. Ez a terv ezt a szakadékot hívatott szűkíteni azzal, hogy az alsó kategóriában is elérővé tesz nagy mérési szabadságot modularitásának köszönhetően, nagyszámú hardveresen gyorsított funkcionalitás mellett.

Munkám során megterveztem az FPGA modul kapcsolási rajzát, és részletesen előkészítettem egy két csatornás analóg bővítő modul tervezését.

Az FPGA modul tervezéséhez meg kellett ismerni a Toradex Colibri T20 CPU modul használatát, FPGA áramkörök tervezését, nagysebességű PCB tervezést. Az FPGA modul Spartan-6 alapokon való megvalósíthatóságát a tervezés első lépéseként megvizsgáltam, a trigger modul egy részének elkészítésével.

Az analóg bővítő modul tervezéséhez megismerkedtem a nagysebességű analóg digitális átalakítók által szabott követelményekkel, és az egyes módszerekkel, hogy ezeket hogyan lehet megvalósítani. Megismertem az analóg mérőrendszerekben használt alapkapsolásokat. Belementem az analóg jelúton megjelenő zajok forrásaiba, és ezeknek a zajoknak a minimalizálásába. Itt, az órajelt, mint egyik zajforrást vizsgáltam részletesen, és megismertem az elméleti hátteret, hogy hogyan lehet az órajel tulajdonságait analóg rms zaj formára alakítani, és milyen módon lehet a hatását annyira csökkenteni, hogy ne ez legyen a domináns komponens.

Jelenleg az FPGA panel PCB huzalozása és az analóg modul véglegesítése történik. Hamarosan készíteni fogok egy prototípust, aminek funkcionalitása már eléri az egyszerű PC alapú hobbi oszcilloszkópok szintjét. Az első verzió számítógéphez fog kapcsolódni, és az egyes utasításokat az itt elkészített programon keresztül kapja. Majd ezt követi az Android alapú verzió.

8 Irodalomjegyzék

- [1] Windowed Sinc Interpolation
https://ccrma.stanford.edu/~jos/pasp/Windowed_Sinc_Interpolation.html
- [2] Analog Dialogue: Wideband A/D Converter Front-End Design Considerations II (2007)
- [3] AN-1026: High Speed Differential ADC Driver Design Considerations
- [4] AN-501: Aperture Uncertainty and ADC System Performance
- [5] AN-756: Sampled Systems and the Effects of Clock Phase Noise and Jitter
- [6] Analog Dialogue 42-02: Analog-to-Digital Converter Clock Optimization (2008)