

Hazai félvezető gyártósor technológiai könyvtárának fejlesztése Cadence Virtuoso 6 IC tervező rendszerhez

TDK dolgozat

Készítette: Marek Gábor

Konzulensek: Dr. Bognár György BME EET
Timár András BME EET
Dr. Pongrácz Anita MTA-MFA

Tartalom

Bevezető.....	3
Technológia könyvtárak (PDK)	5
A PDK felépítése	6
Szükséges technológiai paraméterek és mérések.....	6
Az MTA-MFA technológiája.....	9
Az MFA CMOS technológiai sora	9
A technológiamonitorozó chip	10
Cadence PDK készítése	13
Technológia fájl készítése	13
DRC szabályok meghatározása.....	14
Litográfia felbontását ellenőrző tesztábrák:	14
Fallon-létra:	18
Minimális gatehossz meghatározása.....	20
A létrejött tervezési szabályok	21
Diva Rule Deck.....	21
Mérések parazita extrakcióhoz	24
Split-Cross-Bridge struktúra	24
Kontaktussorozat.....	26
Tranzistor modell.....	28
Spice Level 1 MOSFET modell.....	28
Level 1 modellparaméterek meghatározása	29
Spice Level 2 MOS modell	33
Transzkonduktancia.....	35
Body-hatás együttható	38
Laterális diffúzió	39
Parazita ellenállások.....	42
Oxidkapacitás	42
Tranzistorparaméterek összesítése	44
Összegzés.....	45
Irodalomjegyzék	46

Bevezető

A TDK munka célja egy Magyarországon rendelkezésre álló CMOS technológia bemérése, és integrált áramkörtervező rendszerhez való illesztése. Az illesztés Cadence Virtuoso IC tervező szoftver technológiai könyvtárának fejlesztéseként valósul meg.

A Magyar Tudományos Akadémia Műszaki Fizikai és Anyagtudományi Intézetének Mikrotechnológiai Osztályának (továbbiakban MTA-MFA) fő profilja a fizikai, kémiai és biokémiai érzékelőkkel kapcsolatos kutatás. A különböző MEMS, mikrofluidikai és napelem alapú technológiák mellett lehetőség van szilícium alapú CMOS áramkörök létrehozására is. Bár az integrált áramköri technológia nem szubmikron felbontású, nagy előnye, hogy MEMS kompatibilis. Ily módon egy chipen alakítható ki egy MEMS érzékelő struktúra, és a hozzá tartozó analóg ill. digitális feldolgozó elektronika.

Hasonló tulajdonsággal rendelkező CMOS gyártóssal egyelőre kevés áramkörgyártó cég bír Magyarországon. Egyelőre az MTA-MFA technológiája adta lehetőségek is kiaknázatlanok CMOS/MEMS kompatibilitási szempontból. Egyrészt mivel az intézet elsősorban műszaki fizikai kutatásokra koncentrál, nem rendelkeznek áramkörtervezésben jártas munkatárssal. Másrészt az alkalmazott technológia nem került még részletes bemérésre, és nem történt meg annak valamely korszerű áramkörtervező rendszerhez való illesztése, implementálása.

A dolgozat bemutatja a technológiát, a technológia bemérésének fázisait, a különböző CAD rendszerekhez való illesztéshez szükséges információk kinyerését, és az iparban gyakran alkalmazott Cadence áramkörtervező rendszeréhez illeszthető technológiai könyvtár létrehozását.

A munka végeztével minden eszköz rendelkezésre fog állni ahhoz, hogy korszerű módon tervezhessünk áramköröket az MTA-MFA technológiájára. A kutatóintézet és a BME VIK Elektronikus Eszközök tanszéke közötti, már meglévő együttműködés így még szorosabb lehet, a tanszék oktatói és hallgatói áramkörtervezői bázisként funkcionálhatnak a jövőben az MFA számára. Az így szerzett tervezői gyakorlaton túl további pozitívum, hogy lehetőség lenne az egyetemen tervezett IC-k legyártására is. Komoly problémája az integrált áramköröknek, hogy gyártásuk nagyon időigényes, és drága folyamat. A most tárgyalt technológia viszont helyben* van, nem kell hosszas szállítási időket figyelembe venni, és szükség esetén a technológusokkal való személyes egyeztetés is könnyen megoldható. Így a tervezett áramkörök nem csupán számítógépen elkészült terv formájában léteznének, hanem kikötés (bonding) és tokozás (packaging) után kézzelfogható eredményei lennének az oktatók, hallgatók által végzett szellemi munkának.

Hagyományos áramkörök esetén egy hallgató például a diplomamunkája keretében tervezett eszközt (a ma már könnyen és olcsón elérhető alkatrészeknek és technológiáknak köszönhetően) le is gyártathatja, és annak működését így nem csak szimulációkkal, hanem tesztekkel is vizsgálhatja, igazolhatja. Integrált áramkörök esetén erre csak a legkritkább esetben van mód, hiszen az IC technológia nem érhető el széles körben, főleg egyedi gyártás esetén. Léteznek ugyan úgynevezett MPW-k (multi project wafer), amikor egy gyártó felosztja az egy félvezető szeleten található chipeket több megrendelő (tipikusan kutatóintézetek, egyetemek) között. Így egy, közös maszk készítésével lehet többféle áramkört egyszerre létrehozni ugyanazon szeleten. Ezzel a módszerrel a gyártási költségek megoszlanak, és az eredeti ár töredékéért lehet integrált áramköröket (kis példányszámban, általában kísérleti céllal) gyártatni. Hátránya ennek a megoldásnak (azon túl, hogy a megoszlott költségek még mindig nagyon magasak), hogy az ilyen pályázatok csak ritkán elérhetők, és a gyártási idők általában nagyon hosszúra nyúlnak, az alkalmazott technológia pedig általában közel sem a legkorszerűbb.

Bár az MTA-MFA-ban alkalmazott mikrométeres litográfiai felbontás sem tekinthető korszerűnek, a szükséges maszkok elkészítése, és így az egész folyamat költségei sokkal alacsonyabbak, mint egy szubmikronos áramkör esetében. Nem beszélve arról, hogy a nagyon kis csatornahosszú, pl. napjainkban már elterjedt 45 nm-es tranzisztorok mellett lehetetlen lenne MEMS struktúrákat létrehozni, ha szavatolni akarjuk az elektronika működését. A mély szubmikron tartományban létrehozott tranzisztorok nagyon érzékenyek az alkalmazott technológiára, mellettük a MEMS készítés során használt műveletek mellett nem biztosított az áramkör megfelelő működése. Ebben a tartományban nagyon pontosan figyelembe kell venni a másodlagos és parazita hatásokat, és MEMS mellé integrálva ezek a hatások még jobban felerősödnének.

Technológia könyvtárak (PDK)

Az integrált áramkört tervezés, legyen az analóg, vagy digitális, nem csak egy tervező programcsomag meglétét igényli. A fizikai terv (ún. layout) elkészítéséhez, de már a tervezés korábbi fázisaiban is szükség van az egyes gyártók által alkalmazott technológiák ismeretére, technológiai paramétereire, melyeket tehát már a tervezés korábbi fázisainál is figyelembe kell venni!

Az integrált áramkör gyártó cég által alkalmazott technológiai sortól függ, hogy milyen rétegek készíthetők a szilícium szeleten, és így egyáltalán milyen struktúrák alakíthatók ki, milyen felbontásban és milyen pontossággal! Minden technológia rendelkezik korlátokkal (például a pontatlanságok, elillesztések következtében). Az ilyen, technológiából következő korlátokat szokás tervezési szabályok formájában megfogalmazni. Ezek betartása mindenképp szükséges ahhoz, hogy megtervezett áramkörünk a gyártás után az elvárásoknak megfelelően működjön, és egyáltalán legyártható legyen.

A technológia meghatározza ezen túlmenően, hogy az elkészült struktúrák fizikai jellemzői milyenek lesznek (különböző rétegek ellenállása, kapacitása, a létrehozott eszközök, például tranzisztorok nyitófeszültsége, stb.). Ezen jellemzők ismerete a tervezés során létrejött parazita elemek visszafejtése, illetve az áramkör szimulációja során kerülnek előtérbe.

A fenti okokból van szükség a tervezéshez az ún. **Process Design Kit** csomagokra (továbbiakban PDK). Egy PDK tehát tartalmazza mindazon gyártó specifikus információkat, melyekkel az áramkörtervezés során rendelkezünk kell, mindezt egy adott programcsomagnak megfelelő formátumban. Jelen dolgozatban a *Cadence* cég *Virtuoso* nevű integrált áramkörtervező alkalmazásában használható technológiai könyvtár fejlesztését mutatom be.

A teljes PDK lehetővé fogja tenni, hogy az MFA gyártósorára hatékonyan, korszerűen, a *Cadence* cég programjait használva lehessen áramköröket tervezni.

Jelenleg a kutatóintézetben egy, a BME Elektronikus Eszközök Tanszékén fejlesztett programot (CleWin) használják a maszkok tervezéséhez. A program MEMS struktúrák tervezésére készült, de mivel más nem áll rendelkezésre, a felmerülő CMOS tervezési feladatokat is ezzel oldják meg. Azonban a MEMS és CMOS tervezés között alapvető különbségek vannak. Ahogy az MFA technológiájának ismertetésénél látni fogjuk, MEMS struktúrák létrehozásánál nagyon sokféle technológiát fel lehet használni, természetesen egyszerre mindre általában nincs szükség. Ebben az esetben hasznos egy CleWin-hez hasonló program használata, amely tetszőleges számú, teste szabható maszkréteggel képes dolgozni.

Integrált áramkörök esetén a technológiai lépések, és azok paramétereik mind adottak, nem változnak. Ez a technológiai állandóság teszi lehetővé, hogy az adott gyártósor jellemzőinek felméréseivel a tervezést támogató további eszközöket használjunk, melyek jelentősen megkönnyítik az áramkörtervezést. Ilyenek a verifikációs eszközök, melyekkel ellenőrizhetjük a fizikai tervet (layout). A szimulációs programok az áramkör elektromos viselkedésének vizsgálatát segítik. A cellakönyvtárak nélkül lehetetlen lenne manapság megszokott gyorsasággal nagy bonyolultságú áramkörök tervezése.

A PDK felépítése^[1]

Ahogy a bevezetőben említettem, egy Process Design Kit csomagnak tartalmaznia kell azon adatokat egy programspecifikus fájlrendszerben, melyek lehetővé teszik az áramkörtervezést egy adott gyártó adott technológiájára.

A különböző PDK-k eltérő felépítésűek lehetnek attól függően, hogy milyen tervezési módszert használunk (analóg, digitális, mixed-signal). Digitális tervezésnél például elengedhetetlen a standard cellák megléte, analóg esetben erre nincs feltétlen szükség.

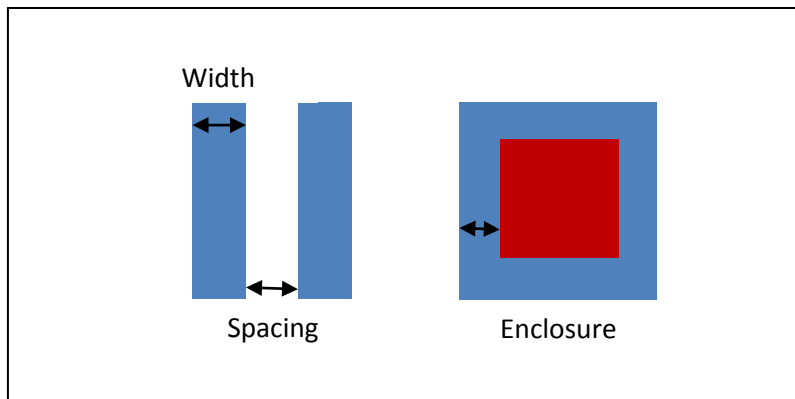
Egy tipikus PDK az alábbiakat tartalmazza:

- réteg definíciókat: a tervezés során alkalmazható rétegek és tulajdonságaik (néhány elektromos adat, egyszerű tervezési megkötések egy, illetve több rétegre vonatkozóan)
- verifikációhoz kapcsolódó adatokat: tervezési szabályokat (Design Rule Check, DRC), elektromos szabályokat (Electrical Rule Check, ERC), a kapcsolat layoutból való visszafejtéséhez szükséges adatokat (Layout versus Schematic, LVS)
- létrehozható elemek (elsősorban a tranzistorok) szimulációhoz szükséges modelljeit (például Spice modellek)
- megjelenítési információkat (layerek megjelenítéséhez layout tervezőben, szimbólumok kapcsolási rajzhoz stb.)
- parametrikus cellákat
- adatokat parazita elemek visszafejtéséhez (extract)

Szükséges technológiai paraméterek és mérések^[1]

Az előző felsorolásból látszik, hogy egy teljes és részletes technológiai könyvtár létrehozásához rengeteg adatra és mérési eredményre van szükség, igen behatóan kell ismerni a gyártási technológiát. A technológiai paraméterek feltérképezése hosszú időt igénybe vevő folyamat, de nyilvánvalóan feltétlenül szükséges.

Vizsgáljuk először a rétegek leírását: kétféle réteget különböztethetünk meg alapvetően. Vannak, amelyek fizikailag léteznek (pl. fémezés, p+ diffúzió, n zseb stb), másokat az áramkörben betöltött szerepük miatt, vagy tervezési szabályok megadásához definiálunk (pl. aktív terület, source, drain, átlapolás rétegek hibák detektálásához, stb.). Előbbiekhez a technológiai lépéssorrend ismerete szükséges, ebből tudható meg például, hogy az adott gyártó hány poliszilícium ill. fémezés réteget alkalmaz stb.



1. ábra: Alapvető tervezési szabályok

Egy technológiai könyvtár talán legfontosabb építőelemei a különböző szabályok, ezek közül is a tervezési szabályok. A legegyszerűbb szabály, amely a technológia alapvető jellemzője, a minimális csíkszélesség (minimal width). A CMOS technológiát a csíkszélesség (mean feature size) értékkel jellemzünk. Ez a legkisebb megvalósítható csatornahosszúságú tranzisztor adott gyártástechnológián, ez jellemzi igazából egy CMOS gyártósor minőségét (AMS 0,35um technológia, TSMC már 22nm technológián gyárt) az egyes rétegekre. Ezen túl elsődleges fontosságú a minimális csíktávolság megadása (minimal spacing), azonos rétegre, és esetleg különböző rétegek között is. További, gyakran alkalmazott szabályok pl. minimális körülvétel (minimal enclosure) (például az aktív területnek milyen szélességben kell körülvennie a gate-et), minimális terület (min. area, például kontaktusoknál). Előfordul, hogy az ilyen szabályokat a pontos mérési adatokkal fogalmazzák meg, más esetben egy tervezési egység többszöröseit használják („lambdás” tervezési szabályokat alkalmaznak), ami a későbbiek során a fizikai terv kisebb csíkszélességű technológiájára való átvitelét könnyíti meg.

Léteznek továbbá olyan szabályok, amiket nem technológiai paraméterek alapján használnak fel, hanem egyszerű, logikai megfontolásokból következnek. Például p és n diffúzió nem kerülhet átlapolásba, kontaktus csak ott lehet, ahol van fém/poliszilícium (olyan réteg, amelyhez egyáltalán lehet kontaktálni), via csak ott lehet, ahol két fém réteg átlapolásban van, stb.

A tervezési szabályok meghatározásának többségéhez mérések szükségesek. A technológia korlátai ugyanis nem számítható paraméterek, az összes gyártási lépés ismeretében is legfeljebb nagyságrendi becsléseket tehetünk. A pontos adatok meghatározásához pedig a már felállított, működő gyártósoron kell precíz méréseket végezni. Hiába ismert egy technológiai sor felbontó képessége korábbról, például eltérő tisztatéri lehetőségek jelentősen megváltoztathatják azt.

A szükséges méréseket kifejezetten erre a célra tervezett, technológiamonitorozó chipeken végzik. Itt alakítanak ki optikai, vagy elektromos úton mérhető struktúrákat, mellyel a kívánt adatok meghatározhatók. Például legkisebb létrehozható csíkszélesség mérése lehetséges egyszerűen, változó szélességű csíkok létrehozásával az adott rétegből, így aztán optikailag ellenőrizhető, hogy milyen vastagság az, ahol a létrejött csík már folytonos. A csíkszélesség pontosítását teszi lehetővé például a Fallon-létra^[2], mely esetében ellenállásmérést végeznek, majd ebből számítással lehet precízebb értéket meghatározni. Az MTA-MFA technológiájához tervezett tesztchip felépítését részletezem az utolsó fejezetben.

Az áramkör verifikációjához szükséges szabályok között szerepelnek az elektromos szabályok. Ezek az elektromos összeköttetések helyességére vonatkoznak, úgy, mint rövidzárok, nem vezérelt bemenetek, megfelelő kapcsolódás tápfeszültséghez és földhöz stb. Az ilyen szabályok jól uniformizálhatóak, és bár lehet eltérés köztük gyártónként, lényegileg nem különböznek, és méréseket nem igényelnek. Kivételt képezhetnek esetleg olyan szabályok, melyek a különböző eszközök, főleg tranzistorok működési tartományaira vonatkoznak (pl. juthat-e egyáltalán megfelelő vezérlőfeszültség a tranzisztorra).

A verifikáció következő lépése a layout és a tervezett kapcsolási rajz összevetése (layout versus schematic, **LVS**). Az LVS során első lépésként a layoutból felismerésre kerülnek elektromosan modellezhető struktúrák, félvezető eszközök: különböző tranzistorok, ellenállások, diódák stb. Ezután egyszerűsítés következik, végül a rendszer összehasonlítja az elvi kapcsolási rajzot, és a layoutból visszafejtett (pl. netlistát generál mindkettőből, és ezeket veti össze). Az LVS során technológiák specifikusak a félvezető eszközök, illetve ezek kialakítása. Ezek ismeretén túl egyébre nincs szükség, méréseket nem kell végezni a technológián.

A verifikációhoz kapcsolódó elemeken túl nagyon fontos része egy PDK-nak az áramkör szimulációját lehetővé tevő adatok meghatározása. Ebben is elsőrendűek az aktív eszközök paraméterei, és modelljei. Miután kiválasztásra került, hogy milyen tranzisztor modellt alkalmaznak, meg kell mérni az ahhoz szükséges paramétereket (nyitófeszültség, stb). Ehhez a tervezési szabályokhoz hasonlóan egy teszttáramkörön kell méréseket végezni különböző tranzisztorokon, majd a mérési adatokból meghatározni a modellparamétereket. Az elkészült modellt aztán valamilyen szimulációs környezetnek megfelelő formátumba kell létrehozni (pl. Spice).

Szimulációhoz kapcsolódik az elvi kapcsolási rajzban nem szereplő, de a fizikai kialakításból következően megjelenő parazita elemek meghatározása (extraction), például parazita ellenállások, kapacitások, induktivitások. Ezek ismeretéhez meg kell mérni az egyes rétegek előbb felsorolt jellemzőit: (négyzetes) ellenállást, azonos és eltérő rétegek közti kapacitást, stb.

Az MTA-MFA technológiája

A MTA-MFA Mikrotechnológiai Intézetében széleskörű technológiai lehetőségek állnak rendelkezésre:

- Magas hőmérsékletű hőkezelés, diffúzió, oxidáció
- Gyorshőkezelés
- Poliszilícium, szilícium-nitrid és szilícium-dioxid alacsony nyomású kémiai gőzfázisú leválasztása (LPCVD)
- Alacsony hőmérsékletű kémiai gőzfázisú leválasztás
- Ionimplantáció
- Vékonyréteg leválasztás – Elektronsugaras gőzölés, DC és RF porlasztás
- Atomi rétegleválasztás (ALD)
- Mély reaktív ionmarás (DRIE)
- Fotolitográfia hátoldali illesztési- és nanoimprint lehetőséggel
- Szeletkötés
- Nedves kémiai műveletek
- Elektrokémiai marás - pórusos szilícium készítés
- Maszk tervezés és generálás
- Elektromos és funkcionális minősítés

Az intézet kutatásai MEMS eszközök és mikrofluidikai alkalmazások szimulációjára, tervezésére és készítésére is irányulnak, az említett technológiák segítségével. A MEMS projektek keretében többek között megvalósult már kapacitív elvű nyomásérzékelő, kalorimetrikus gázszenzor, autógumiba integrált 3D erőmérő, illetve orvosi biológiai alkalmazású eszközök, például agyi elektródák, bioérzékelők.

Az MFA CMOS technológiai sora [3]

Az MFA CMOS technológiájának feltérképezéséhez elkészült egy technológia monitorozó chip, melynek tervezését Hajdú Ádám, korábbi villamosmérnök hallgató végezte. Az MTA-MFA áramkörü technológiájának leírásánál erre az önálló laboratóriumi munkára hagyatkozok^[3], és ezen technológia monitorozó chip mérési adatait használjuk fel a technológiai könyvtárhoz. A teszchipet részletesebben később ismertetem.

A teszchipen egyszerre kerültek kialakításra CMOS és MEMS struktúrák, így mindkét technológiához szükséges lépéseket röviden ismertetem az alkalmazott maszkosrend alapján. A *P* adalékolású szeleteken a következő maszkosrenddel alakítják ki az áramköröket:

1) **TCC_01_zseb:** (P_{31}^+ implantáció (60 keV, $8,13 \times 10^{12} / \text{cm}^2$)

A szelet tisztítása után száraz oxidációval 0,1 μm vastagságú oxidréteget visznek fel a szeletekre. Ezután kerül rájuk a fotoreziszt, melyet az első maszknak megfelelően hívnak elő. Az oxidréteg lemarása után foszfor implantációval az *N* zsebek kerülnek kialakításra a PMOS tranzistorok számára, illetve ekkor implantálják a MEMS eszköznél a porózus Si-tól védeni kívánt részeket.

2) **TCC_02_aktív**

Itt az aktív területekre kerül oxid és nitridmaszk, majd bórral adalékolják az inaktív területeket, ezzel csatornastopot létrehozva.

3) **TCC_03_kiuriteses**

Az előző lépéshez szükséges nitrid és oxidrétegek eltávolítása után 1 µm-es téroxid növesztés következik. Ezután kerül kialakításra a 60 nm vastagságú téroxid (az összes leendő tranzisztoron egyszerre). Néhány szeleten kiürítéses tranzisztorok is kialakításra kerültek, ezeken ekkor végzik el a szükséges implantációt (P/B).

4) **TCC_04_poli_cmos**

A poliszilíciumot a szeletek teljes felületére leválasztják (0,4 µm vastagságban LPCVD eljárással), majd foszforral implantálják (P_{31}^+ 40 keV, $10^{16}/cm^2$). Az ábrákat a TCC_04 maszk szerint előhívott rezisztréteg segítségével alakítják ki.

5) **TCC_05_nplusz** (P_{31}^+ implantáció (40 keV, $3 \times 10^{15}/cm^2$)

A főlöleges oxid eltávolítása után N-csatornás tranzisztorok source-drain helyeinek implantálása következik, a TCC_05 maszk szerint.

6) **TCC_06_pplusz** (B_{11}^+ 40 keV, $7 \times 10^{14}/cm^2$)

P-csatornás tranzisztorok source-drain helyeinek és a piezorezisztív érzékelő adalékolása.

7) **TCC_07_oxid**

Az adalékok behajtása, valamint oxid és nitridrétegek leválasztása után a MEMS érzékelőkre vonatkozó lépések következnek, elsőként védőoxid létrehozása a TCC_07 maszk szerint.

8) **TCC_08_kontakt**

Kontaktusok és pórusos Si maró helyek kialakítása.

9) **TCC_09_poli_mems**

Poliszilícium réteg készítése MEMS struktúrákhoz.

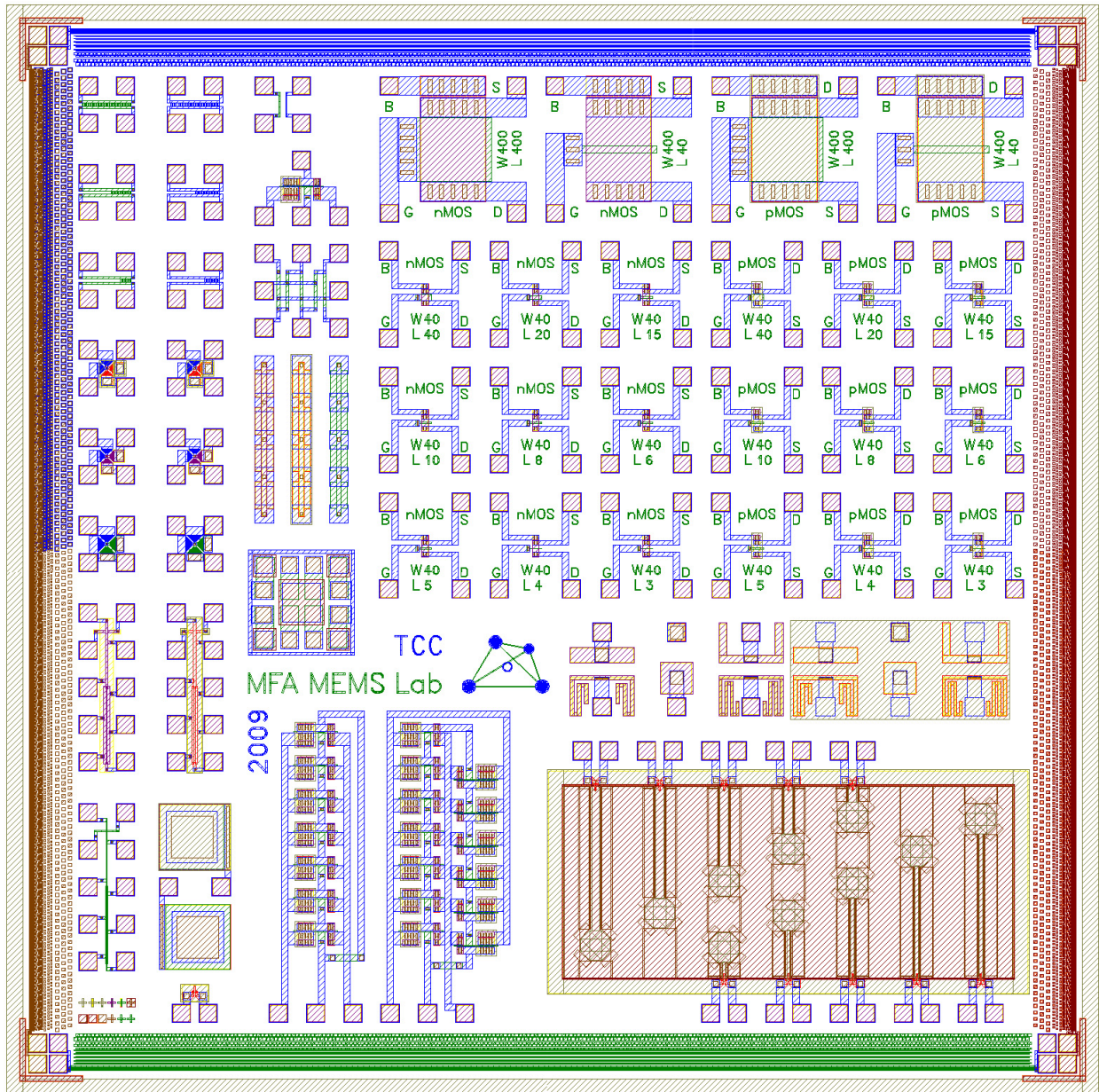
10) **TCC_10_fem**

CMOS és a piezorezisztív érzékelők vezetékének kialakítása alumíniumból.

A technológiamonitorozó chip^{[2][3][4]}

Az integrált áramkörti technológiák feltérképezéséhez technológiamonitorozó chipeket, avagy teszchipeket szokás tervezni és legyártani, amelyeken lemérhetők a különböző keretrendszerekbe való illesztéshez szükséges paraméterek. A chip ábrái közül egyesek a technológia minősítésére alkalmasak, mások vizsgálatával a létrehozott félvezető eszközök vizsgálhatóak. A vizsgálat módja struktúrától függően lehet optikai, vagy elektromos, bizonyos esetekben akár mindkettővel nyerhetők új információk.

A 2009-ben Hajdú Ádám által egy Berkeley egyetemen készült IC alapján tervezett teszchip azóta legyártásra került, az első partiban 3 szelet készült az MTA-MFA laborjában.



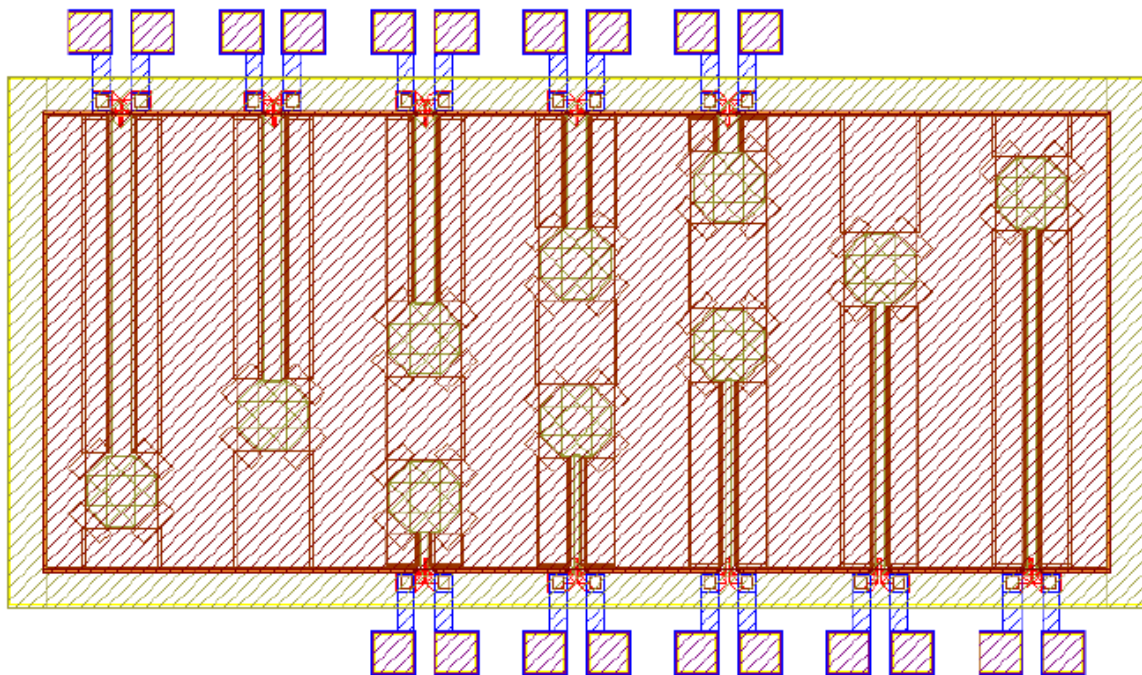
2. ábra: A technológia monitorozó chip layoutja

A technológiát minősítő mérések elvégzéséhez tervezett chipen létrehozott struktúrák két típusba sorolhatóak^[2]:

1. Geometriai minősítést szolgáló ábrák:
 - 1.1. Litográfiai felbontást minősítő ábrák
 - 1.2. Fallon-létra
 - 1.3. Kontaktusablakok
 - 1.4. Kontaktussorozat
 - 1.5. Split-Cross-Bridge struktúra
 - 1.6. Kondenzátorok
 - 1.7. Maszkelillesztést mérő kapacitív tesztábra
2. Elektromos paraméterek méréséhez szükséges elemek
 - 2.1. Kontaktussorozat

- 2.2. Cross-Kelvin struktúra
- 2.3. Diódák
- 2.4. Tranzisztorok
- 2.5. Inverter
- 2.6. Ring-oszcillátor

Ahogy a technológiai lépések részletezésénél már említettem, a teszchipen helyet kapott egy MEMS eszköz is. Egy konzolokból álló struktúráról van szó, amelyeken mechanikai hatás következtében létrejövő elhajlás mértéke piezorezisztív elemek segítségével mérhető. A konzolok befogási pontjánál találhatóak a p+ rétegből kialakított piezoellenállások.



3. ábra: MEMS érzékelő struktúra

A piezorezisztív elemek segítségével a tapintásérzékelővel a mechanikai hatásokat elektromos jellé alakíthatjuk. Ezzel vizsgálható a CMOS és a MEMS technológia egymásra hatása, így a későbbiekben ezen tapasztalatok alapján olyan komplex IC-k hozhatók majd létre, ahol a MEMS érzékelő mellett a jelfeldolgozó elektronika is helyet kap.

Cadence PDK készítése

Technológia fájl készítése [5][6]

A technológiai sorból nyert információk alapján elkészíthetők a PDK legfontosabb elemei, a technológia adatbázis fájlok. Ezek mindenképpen szükségesek a rendszer működéséhez, mivel az ezekben tárolt információkat a programcsomag minden eleme felhasználja. Egy technológiai adatbázis Cadence Virtuoso-hoz való implementálásához két ASCII fájlt kell készíteni (amelyeket később bináris formátumba kell fordítani):

- technológia fájl, amely a technológiai adatokat tartalmazza
- display resource fájl, ami a megjelenítési információkat tartalmazza (az egyes rétegek hogyan jelenjenek meg a képernyőn)

A technológia fájl a következőket tartalmaz(hat)ja :

- statement és control parancsok
- layer definíciók: a tervezés során felhasználható rétegek definíciói
- layer attribútumok, szabályok: itt specifikálhatók a különböző rétegek attribútumai (rétegek anyaga, tervezési rács felbontása, áramsűrűség értékek)
- tervezési megkötések: az egyes rétegekre vonatkozó egyszerű tervezési szabályok (például minimális csíkszélesség, csíktávolság megadható itt)
- site definíciók
- via definíciók, via specifikációk
- félvezető eszközök definíciói

A technológia fájlban definiálandó rétegek, amelyek szerepelnek a testchip terveiben is:

- *N*-zseb: NWELL
- Aktív terület (csatornastoptól elzárt területek): ACTIVE
- *N* adalékkal implantált területek (például *N* tranzisztorok source-a és drain-je): NPLUS
- *P* adalékkal implantált területek: PPLUS
- Alumínium fémezés réteg: METAL
- CMOS áramköröknél használt poliszilícium réteg: POLY_CMOS
- MEMS struktúrákhoz használt poliszilícium réteg: POLY_MEMS
- MEMS struktúrák védőoxid rétege: OXIDE
- Kontaktusmarás: CONTACT

Ezekből a következő technológiai fájl készült (részlet a fájlból):

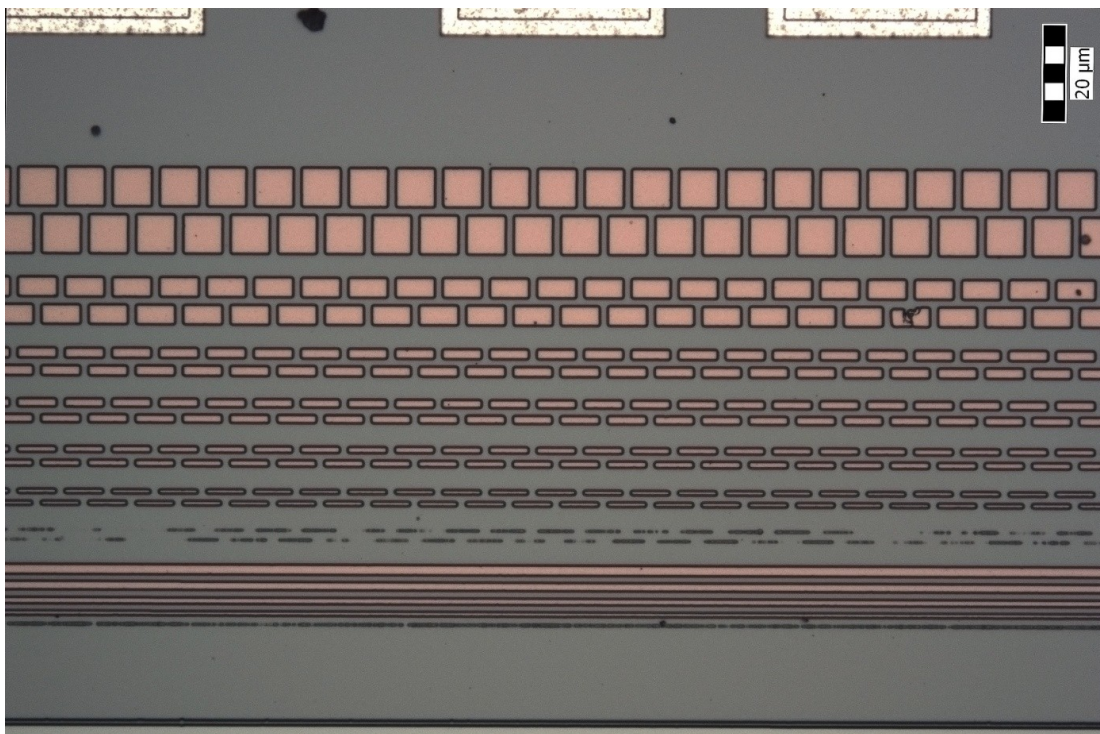
```
techLayers (
; ( LayerName           Layer#       Abbreviation )
; ( -----           -)
;User-Defined Layers:
( NWELL                1           NWELL        )
( ACTIVE               2           ACTIVE       )
( NPLUS                3           NPLUS        )
( PPLUS                4           PPLUS        )
( POLY_CMOS            5           POLY_CMOS    )
( POLY_MEMS            6           POLY_MEMS    )
```

```
( OXIDE          7          OXIDE          )  
( METAL         8          METAL         )  
( CONTACT      9          CONTACT      )  
;System-Reserved Layers:  
) ;techLayers
```

DRC szabályok meghatározása

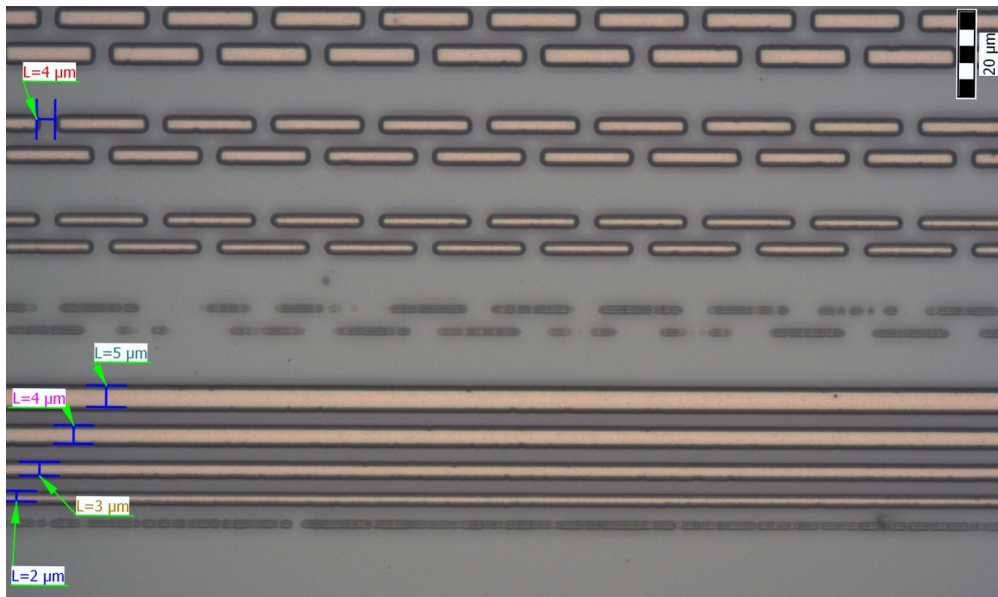
A tervezési szabályok meghatározásához szükséges méréseket az optikai úton végezhetőekkel kezdtem.

Litográfia felbontását ellenőrző tesztábrák:

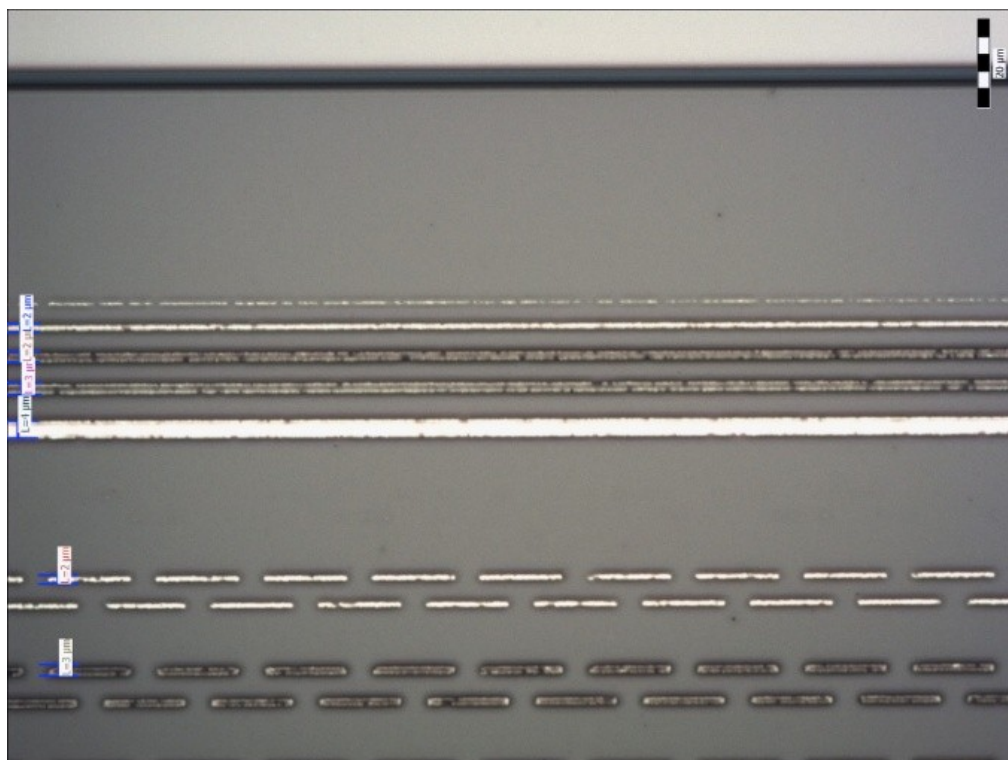


4. ábra Poliszilícium mérőábra

A chipek alján 1,2,3,4 és 5 μm szélességű folytonos csíkokat terveztek poliszilíciumból^{[2][3]}, ezek felett szaggatottan ugyancsak poliszilícium csíkok vannak. A mérésekből látszik, hogy a 2 μm -es csíkszélesség már megfelelő mind folytonos, mind kisebb vonaldarabokra, és megfelelő csíktávolság poliszilícium struktúrák között 4 μm .



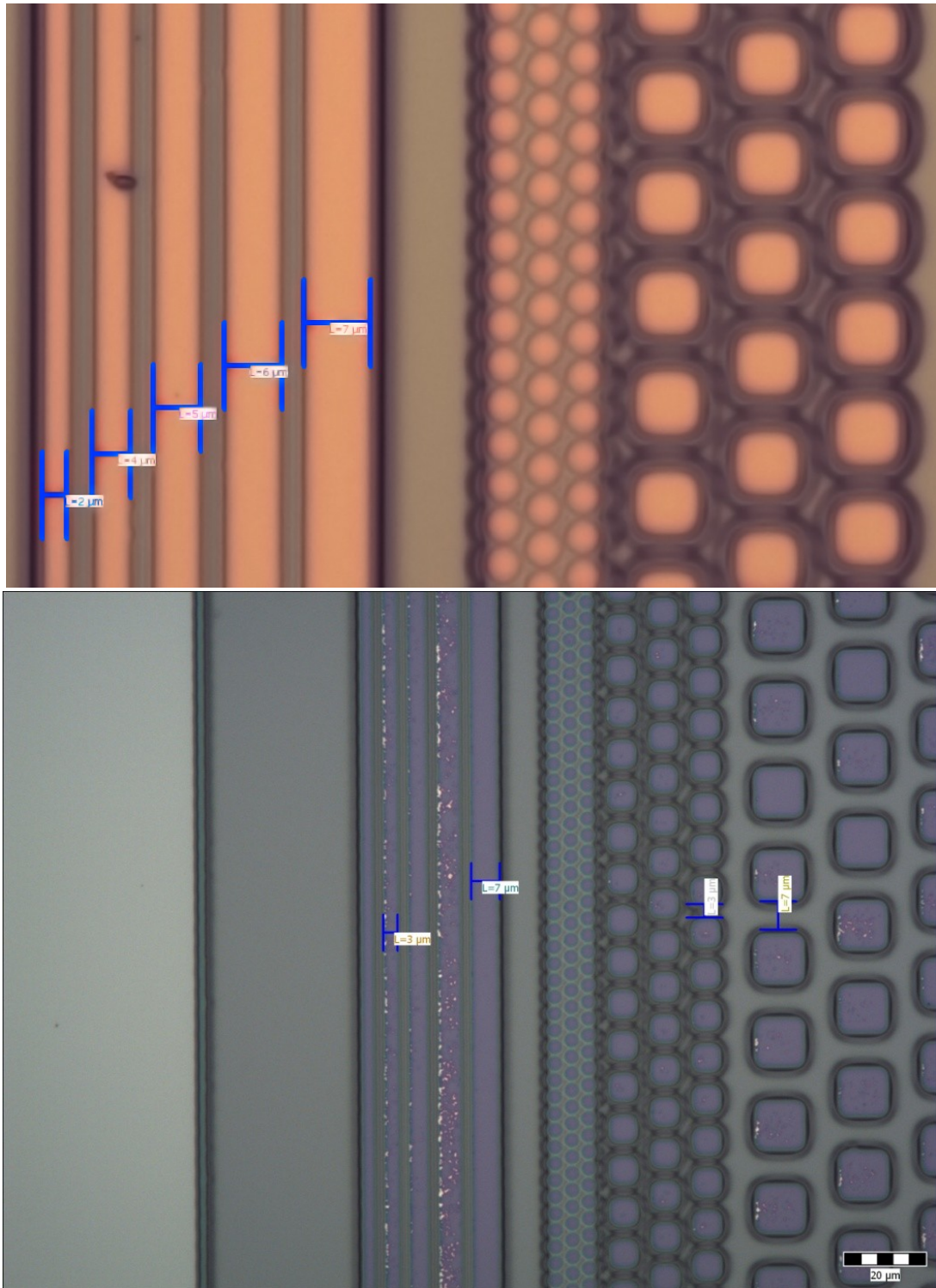
5. ábra Poliszilícium mérőábra a 50x nagyításban



6. ábra Fémezés mérőábra

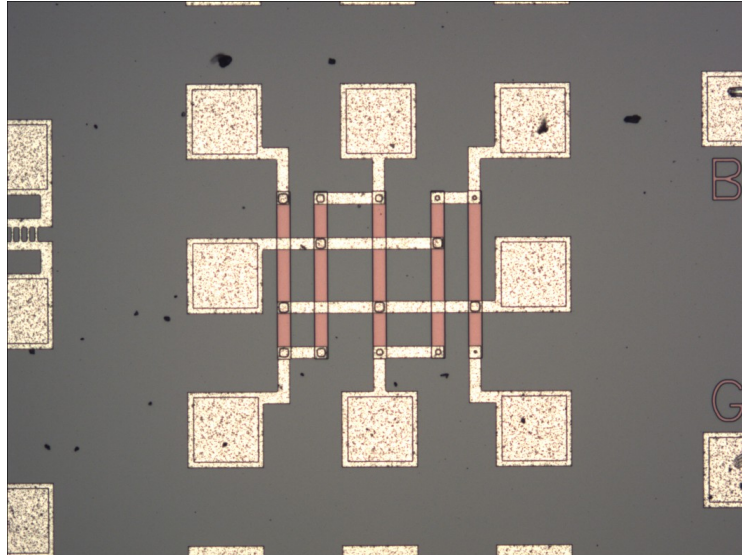
Láthatóan a fémezés minősége gyengébb. Az 1 μm es ábra gyakorlatilag meg sem valósult, és a többiben is jelentős szakadozások vannak, a 4 μm es ábra már elfogadható.

A szeletek bal oldalán kontaktusmarásokat alakítottak ki az előzőekhez hasonló struktúrában, valamint különböző méretű kontaktusnégyzeteket különböző távolsággal, ebből a kontaktusok közötti minimális távolságra lehet következtetni. A minimális szélesség ezen ábrák alapján 2 μm , a minimális távolságra 7 μm már megfelelő.



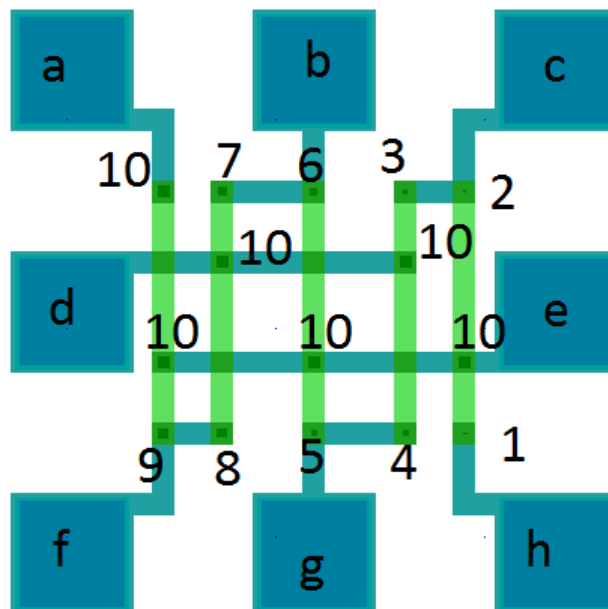
7. ábra Kontaktusok mérőábrái

A minimális kontaktusméret meghatározásához egy másik ábra is rendelkezésre áll, melyen ellenállásmérést kell végezni.



8. ábra: Kontaktusmarások

A 8. ábrán különböző méretű kontaktusokat nyitottak fémezés és polyszilícium rétegek között. 1 μm -tól 10 μm -ig változik a kontaktusok mérete. Összesen 8 db tappancs áll rendelkezésre (ezek a fém rétegen vannak), melyek közötti ellenállás mérésével meghatározható, hogy az adott kontaktus kinyílt-e, létrejött-e a galvanikus kapcsolat a két réteg között. A 9. ábrán jelöltem a különböző kontaktusok méreteit a mellettük található számmal (a-tól h-ig jelölve a fém tappancsok, a fémezés kék színű, a polyszilícium zöld, ahol kontaktus van, ott sötétebb színű az ábra, a méretek μm -ben értendők):



9. ábra: Kontaktusmarás ábra mérése

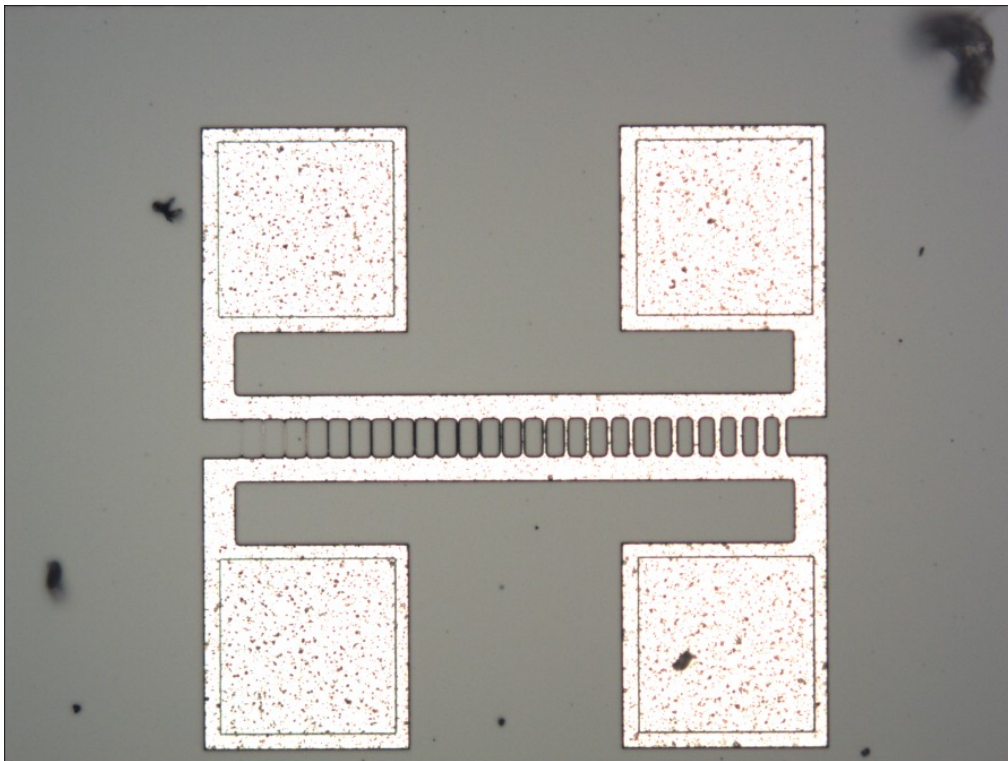
A mérőábra tervezésénél feltételezték (korábban elkészült áramkörök tapasztalatai alapján), hogy a legnagyobb méretű, 10 μm -es kontaktusok mindenképp megvalósulnak. A kisebb kontaktusok úgy vannak rendezve, hogy mindegyikhez tartozzon két tappancs, melyek között a kisebb kontaktus, és valamely 10 μm -es kontaktus közötti vezetést lehet vizsgálni.

Például a legkisebb, 1 μm -es kontaktus méréséhez (jobb alsó sarok) a mérőtűket a „h” és „e” tappancsokra kell helyeznünk.

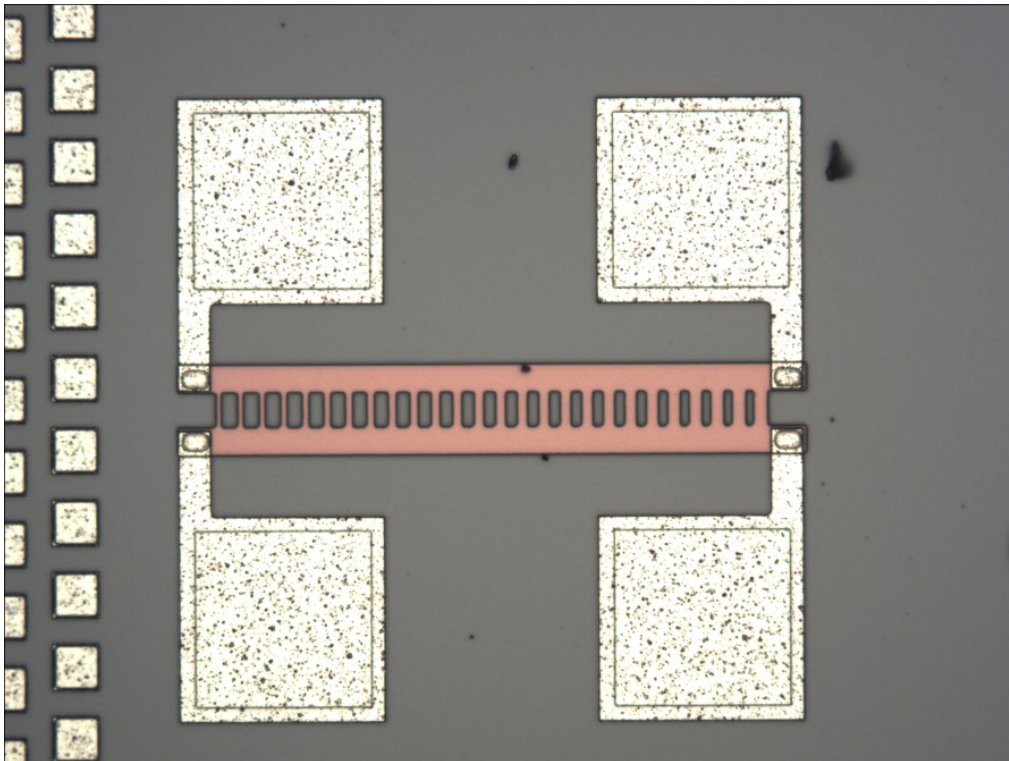
A mérés során az 1 μm -es kontaktusoknál szakadást jelzett a műszer. A 2 μm -es kontaktusok ellenállásának átlaga 383,8 Ω , szórása 18,9 Ω , a műszer egyik esetben sem jelzett szakadást. Így kijelenthető, hogy a minimális kontaktusméret 2x2 μm .

Ellenőrzésképpen nagyobb kontaktusokon is végeztem méréseket, ezek is minden esetben megvalósultak, a 3x3 μm -esek ellenállása átlagban 345,4 Ω , a 4x4 μm -eseké 280,01 Ω .

Fallon-létra:



10. ábra Fallon-létra fémezésből



11. ábra Fallon-létra poliszilíciumból

Csíkszélességek pontosabb meghatározására alkalmasak a Fallon-létrák. Ezeken a struktúrákon a vizsgált rétegből két, szélesebb csík közötti létrafokok találhatóak, melyek egyre csökkenő szélességűek. Így az egyes létrafokok párhuzamosan kapcsolódó ellenállásokként foghatók fel, tehát minél több van belőlük, annál kisebb a rajtuk keresztül mérhető eredő ellenállás. A létrafokok szélességei olyan intervallumba esnek, mely feltételezetten tartalmazza a minimális megvalósítható csíkszélességet az adott rétegre. Az ellenállás méréséhez konstans áramot kényszerítünk a létrára két, egymás alatti mérőponton keresztül, majd mérjük a másik két pont között eső feszültséget.

A tesztchipen – ahogy a 10-11. ábrákon látszik – poliszilícium és alumínium rétegekből készültek a Fallon-létrák. A teljes ábrákon kívül két-két kalibráló ábrára is szükség van. Ezek mérésével határozhatóak meg ugyanis egy függvény paraméterei, mely megadja, hogy adott ellenállás mellett mekkora a megvalósult legkisebb csíkszélesség. A kalibráló létrák nem tartalmazzák az összes létrafokot, a legvékonyabb csík még olyan vastagságú, mely biztosan megvalósul a technológián. Mivel ezeken ismertek a csíkszélességek (a maszktervből, vagy optikai mérés alapján), a rajtuk végzett ellenállásmérés alapján következtethetünk a harmadik, teljes ábrán megvalósult legkisebb csíkszélességre. A függvény (lineáris):

$$lw_{mért} = meredekség \times R_{mért} + b \quad 1.1.$$

A függvény paramétereit (meredekség, b) a következő módon fejezhetjük ki:

$$meredekség = \frac{R_1 - R_0}{lw_{1kirajzolt} - lw_{0kirajzolt}} \quad 1.2.$$

$$b = R_0 - meredekség \times lw_{0kirajzolt} \quad 1.3.$$

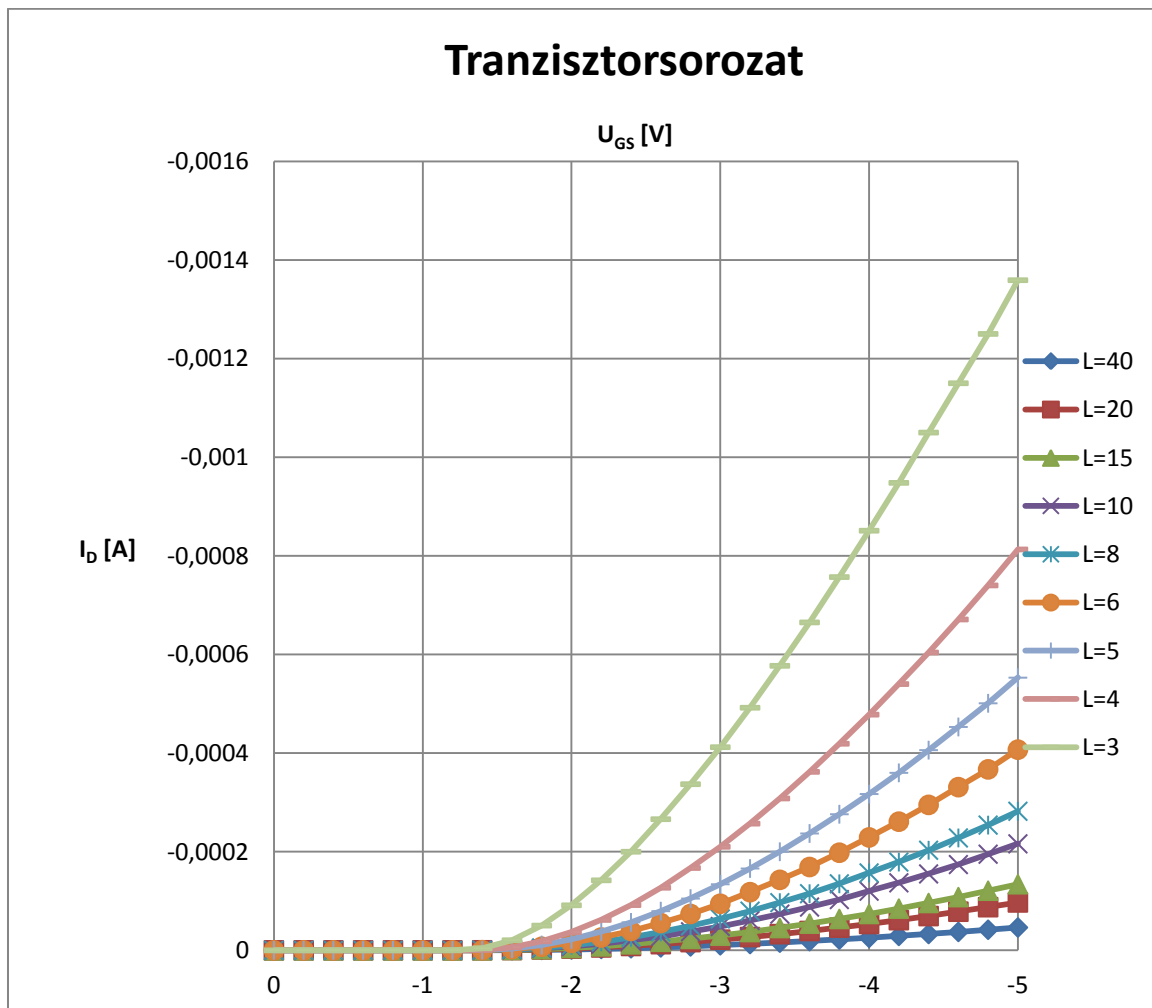
Ahol R_1 és R_0 a kalibráló ábrákon mért ellenállások, lw_0 és lw_1 a legkisebb csíkszélességek.

A fém esetén a kalibráló ábrákon a minimális szélességek $4\ \mu\text{m}$ illetve $5\ \mu\text{m}$. A számítás eredménye szerint a fémezés minimális csíkszélessége $3,88\ \mu\text{m}$, ami közelítőleg megegyezik az optikai vizsgálat során meghatározott $4\ \mu\text{m}$ -es minimális szélességgel.

A poliszilícium ábrán a legkisebb létrafok is megvalósult, ennek következtében a legkisebb csíkszélesség megállapítása ezzel a Fallon-struktúrával nem lehetséges.

Minimális gatehossz meghatározása

Ahogy korábban említettem, egy CMOS technológiát alapvetően jellemez a legkisebb létrehozható csatornahossz. A tesztchipen N és P csatornás tranzisztorokból is rendelkezésre áll egy-egy tranzisztorsorozat, melyek 9-9 db tranzisztort tartalmaznak, sorban csökkenő gate-hosszal, azonos ($40\ \mu\text{m}$ -es) gate szélesség mellett. Előzőleg minimális értéként a $6\ \mu\text{m}$ -es gate-hosszt használta fel Hajdú Ádám a tesztcchip tervezésénél. A tranzisztorsorozat végigmérésével látszik, hogy még a legkisebb, $3\ \mu\text{m}$ -es tranzisztorok is megvalósultak. Így a minimális gate-hosszt $3\ \mu\text{m}$ -ben állapítottam meg, ez kerül később implementálásra a DRC szabályokban.



12. ábra: Tranzisztorsorozat transzferkarakterisztikái

A létrejött tervezési szabályok[2]

A következő táblázatban gyűjtöttem össze a mérések alapján megfogalmazható szabályokat, valamint azokat a nem mérésen, hanem tapasztalaton alapuló elveket, melyeket az MTA-MFA-ban használnak az áramkörtervezés során. A végső szabályok a kettő összevetése alapján alakultak ki:

Tervezési szabály	MTA-MFA empirikus paraméterei	Saját mérési adatok
minimális csíkszélesség:		
Poliszilícium	6 μm	2 μm
Fémezés	4 μm	4 μm
N+	15 μm	-
P+	15 μm	-
Kontaktus	6 μm	2 μm
minimális (csík)távolság:		
Poliszilícium	3 μm	4 μm
Fémezés	-	4 μm
N+	-	7 μm
P+	-	7 μm
Kontaktus	12 μm	7 μm
minimális távolság		
a P+ diffúzió széle és az N zseb széle	12 μm	–
kontaktus ablak és a diffúzió széle	3 μm	–
Túlnyúlás kontaktusra:		
Al fémezés	4 μm	–
poliSi	3 μm	–
Tranzisztor minimum paraméterek:		
A poliSi csík oldalának diffúzió szélétől	12 μm	–
poliSi gate szélessége	6 μm	3 μm
poliSi gate túlnyúlása a diffúziós tartományon	6 μm	–

A kétféle forrásból természetesen mindenhol a kisebb értéket vesszük leendő minimális értéknek, ezeket pirossal jelöltem. Ott, ahol mérési adat nem áll rendelkezésre, az MTA-MFA szabályaira hagytam.

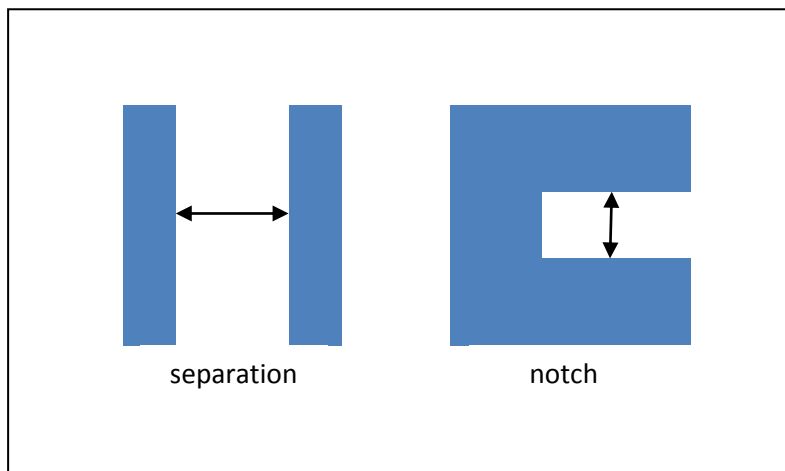
Diva Rule Deck^{[7][8]}

Következő lépésként a fentiekben megfogalmazott szabályokat CAD környezetbe kell illesztenünk. A Cadence Virtuoso esetén szabálycsomagok, ún. Rule Deck fájlok írásával tehetjük ezt meg. A Rule Deck-ek a Cadence cég által kifejlesztett SKILL programnyelven íródnak. A rendelkezésre álló különböző DRC programok lehetőségeinek teljes kihasználásához külön fájlokat kell írni az egyes programokhoz, de egy, az alapvető funkciókat használó szabálycsomag mindegyik DRC szoftverrel használható lesz. Jelen esetben a Virtuoso layoutszerkesztő beépített DRC szoftveréhez (Diva) végeztem az implementációt, de ugyanezt a rule fájlt felhasználhatjuk például a nagyobb tudású Assura-hoz is.

A következő részlet poliszilícium réteg csíktávolság-ellenőrzését valósítja meg:

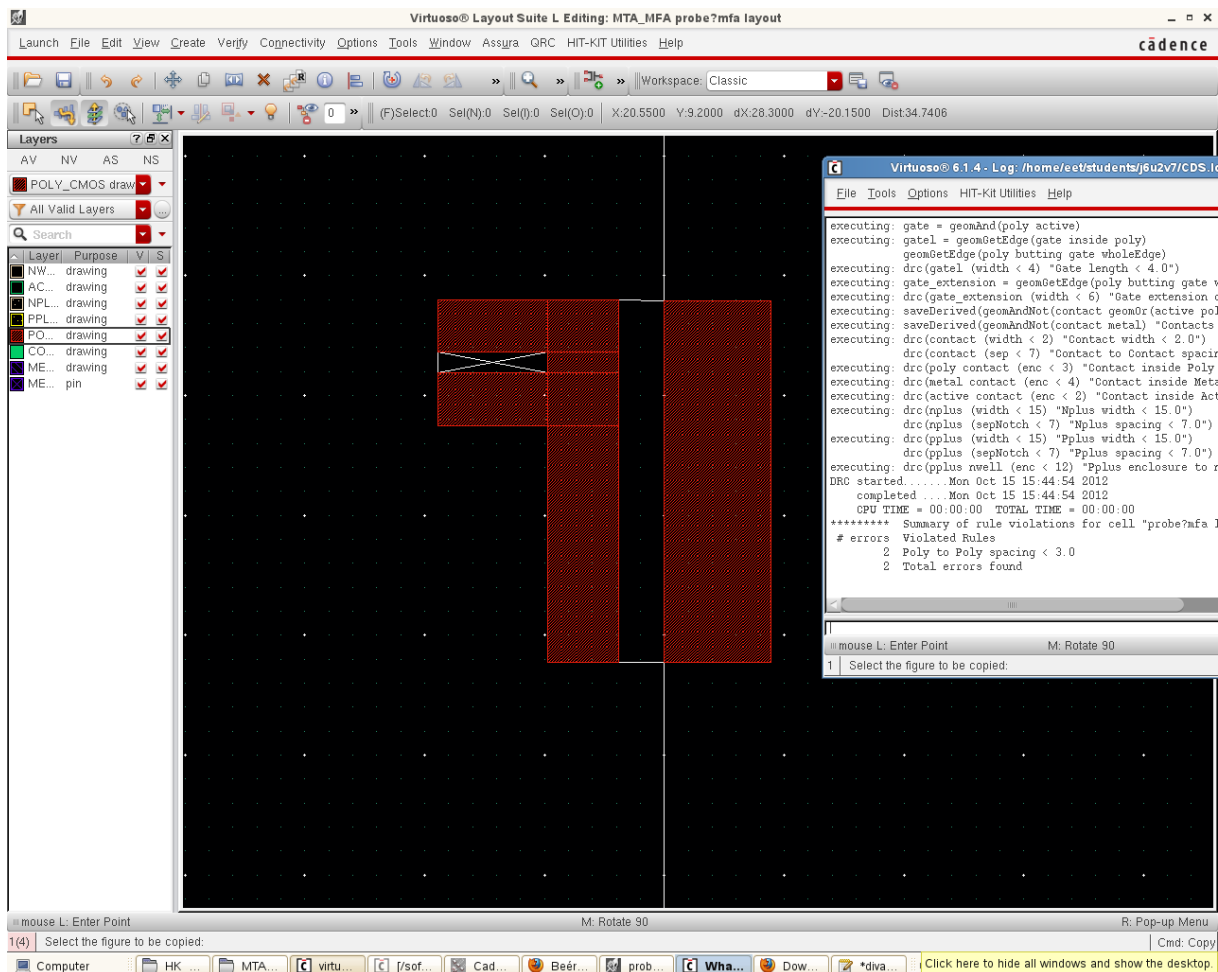
```
polysep = drc( poly sepNotch < 3 "Poly to Poly spacing < 3.0" )
          saveDerived( poly_sep "Poly Minimum spacing = 3.0")
```

Az egyes szabályok ellenőrzését egy *drc* SKILL függvényhívással végezhetjük. A függvény argumentumaiban meg kell jelölnünk a vizsgált réteg(ek)et (a példában ez a poliszilícium réteg), az ellenőrzés típusát (*sepNotch*), annak egyéb paramétereit (jelen esetben kisebb, mint 3 μm), illetve lehetőség van magyarázó szöveg beiktatására. A *sepNotch* egy összetett szabálytípus, a *separation* és *notch* típus összevonása. Előbbi különböző rétegekre is alkalmazható, két külön alakzat (sokszög) éleinek távolságát vizsgálja, míg utóbbi azonos réteg esetén adott alakzat (sokszög) saját élei közti távolságot.



13. ábra: minimális csíktávolság ellenőrzésének típusai: separation és notch

Azon túl, hogy a szabály nem teljesülése esetén a magyarázó szövegből a felhasználó informálódhat a hiba okát illetően, érdemes egy új réteget is létrehozni, amelyen tároljuk azokat az alakzatokat, amik nem feleltek meg az adott szabálynak. A *drc* parancs visszaadja a hibás alakzatokat, ezt tároljuk el a *polysep* rétegbe. A *savederived* parancssal egy hibarétegbe mentjük ki a *polysep* alakzatait, egyszerűbbé téve a hibák helyének azonosítását.

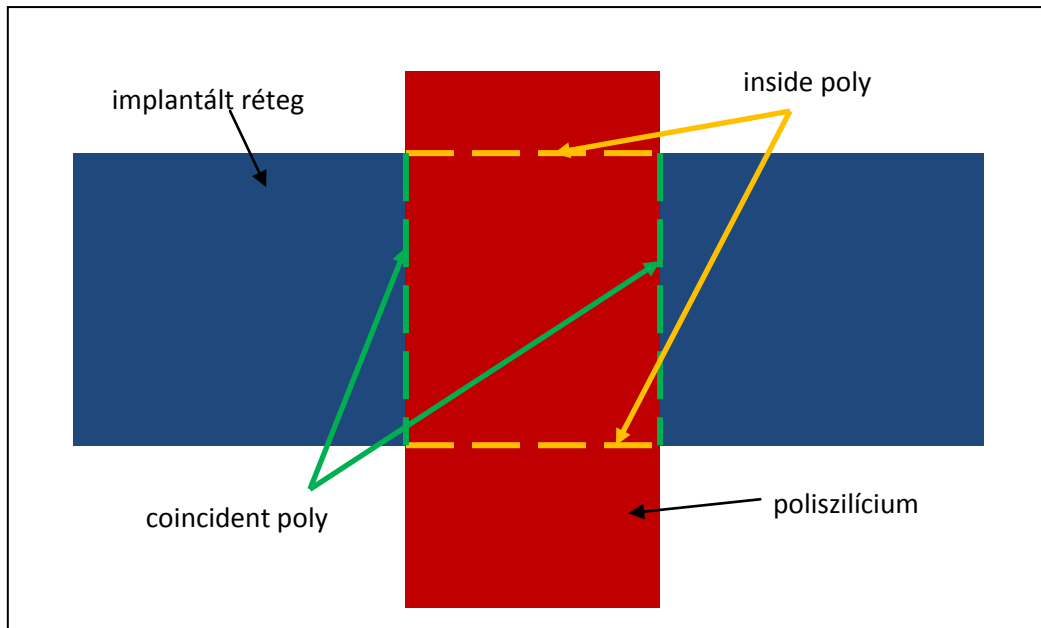


14. ábra: DRC ellenőrzés a Virtuoso Layout szerkesztőjében

A normál csíkszélesség/csíktávolság/körülvétel vizsgálatoknál valamivel összetettebbek a tranzistorokra vonatkozó szabályok. Vizsgálni kell például a minimális csatornahosszt, illetve a poliszilícium csatornán való minimális túlnyúlását.

A tranzistorokra vonatkozó szabályok vizsgálata során először a különböző rétegekre vonatkozó logikai függvényekkel meg kell keresnünk a layoutban a tranzistorok gatejeit, majd ennek paramétereit meg kell mérnünk, hogy megvizsgálhassuk, teljesülnek-e a rá vonatkozó tervezési szabályok. Gate ott található, ahol poliszilícium réteg, és aktív terület fedésbe kerül. Ezután a gate különböző éleit ismerjük fel:

```
gate = geomAnd( poly active )
gatew = geomGetEdge( gate coincident poly )
gatel = geomGetEdge( gate inside poly )
```



15. ábra: Gateparaméterek meghatározása SKILL függvényekkel

Az *inside* paraméterrel a gate azon éleit választjuk ki, melyek a poliszilíciumon belül találhatóak, tehát csatornahossznak megfelelő éleket, a *coincident* paraméterrel pedig a poliszilíciummal érintkező éleket választjuk ki, azaz a csatorna szélességét adó éleket.

Ezzel már meghatározható például a minimális gatehossz:

```
drc( gate1 width < 3 "Gate length < 3.0" )
```

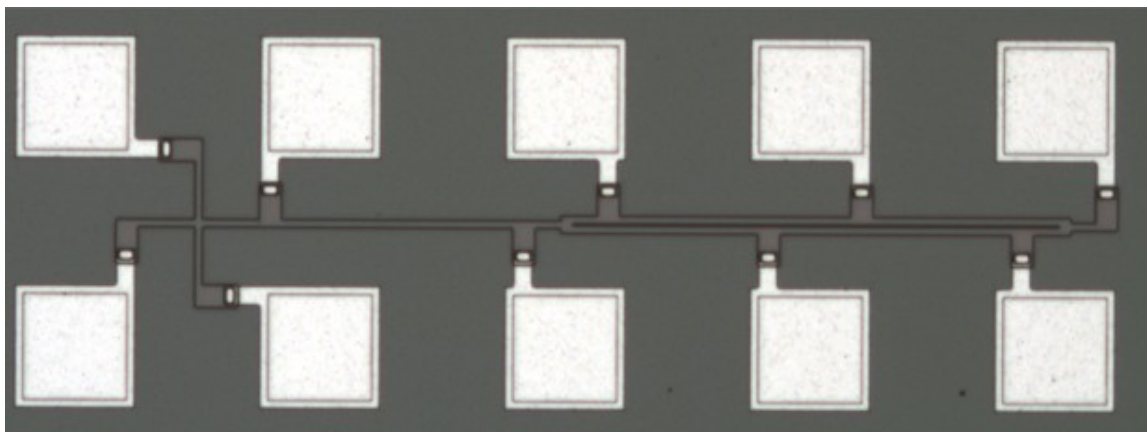
A poliszilícium csatornán való minimális túlnyúlását például a következőképp lehet ellenőrizni:

```
gate_extension = geomGetEdge (poly butting gate wholeEdge) ;
drc( gate_extension width < 6 "Gate extension over active < 6.0" )
```

Mérések parazita extrakcióhoz

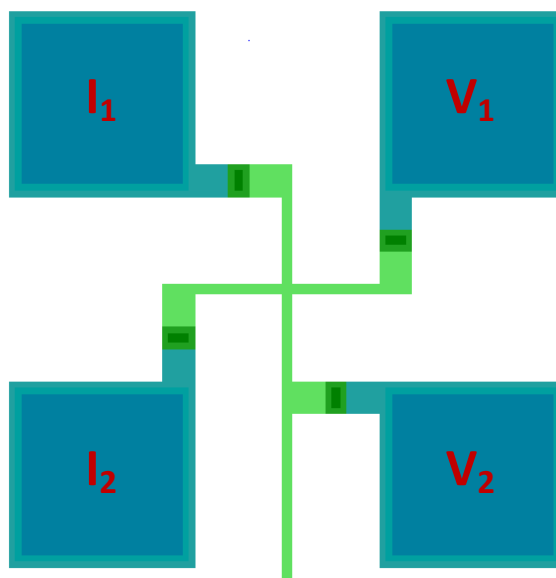
Split-Cross-Bridge struktúra^[2]

A Split-Cross-Bridge egy összetett alakzat, három részből áll: az első egy kereszt-struktúra a négyzetes ellenállás Van der Pauw^[2] elven történő meghatározására, a második a csíkszélesség pontosságának ellenőrzését szolgálja, a harmadikkal pedig a minimális csíktávolság mérhető. Az ábrák poliszilíciumra, $N+$ adalékolt rétegre, illetve $P+$ adalékolt rétegre (N zsebben) készültek el.



16. ábra: Split-Cross-Bridge struktúra poliszilíciumra

A parazita ellenállások számításához, illetve a tranzisztormodell bizonyos paramétereire van szükség a rétegenállások ismeretére. A Van der Pauw-féle módszerrel a következő módon mérhető az ellenállás:



17. ábra: Split-Cross-Bridge struktúra első része

Az I_1 és I_2 kontaktusokra áramgenerátort csatlakoztatunk (a méréseket 1 mA-es mérőáram mellett végeztem). A V_1 és V_2 pontokon pedig mérjük az ábra középső részén, a keresztben eső feszültséget (melyen az előbb beállított áramot hajtjuk keresztül). Ezek után a kereszt anyagának négyzetes ellenállása az 1.4 összefüggés alapján számítható:

$$R_s = \frac{\pi}{\ln 2} \left(\frac{V_1 - V_2}{I_{12}} \right) \quad 1.4.$$

A mérés eredményei, és a kapott négyzetesellenállás-értékek a következők az egyes rétegekre (a teljes szelet chipjeinek mérési adataiból átlagolt értékek):

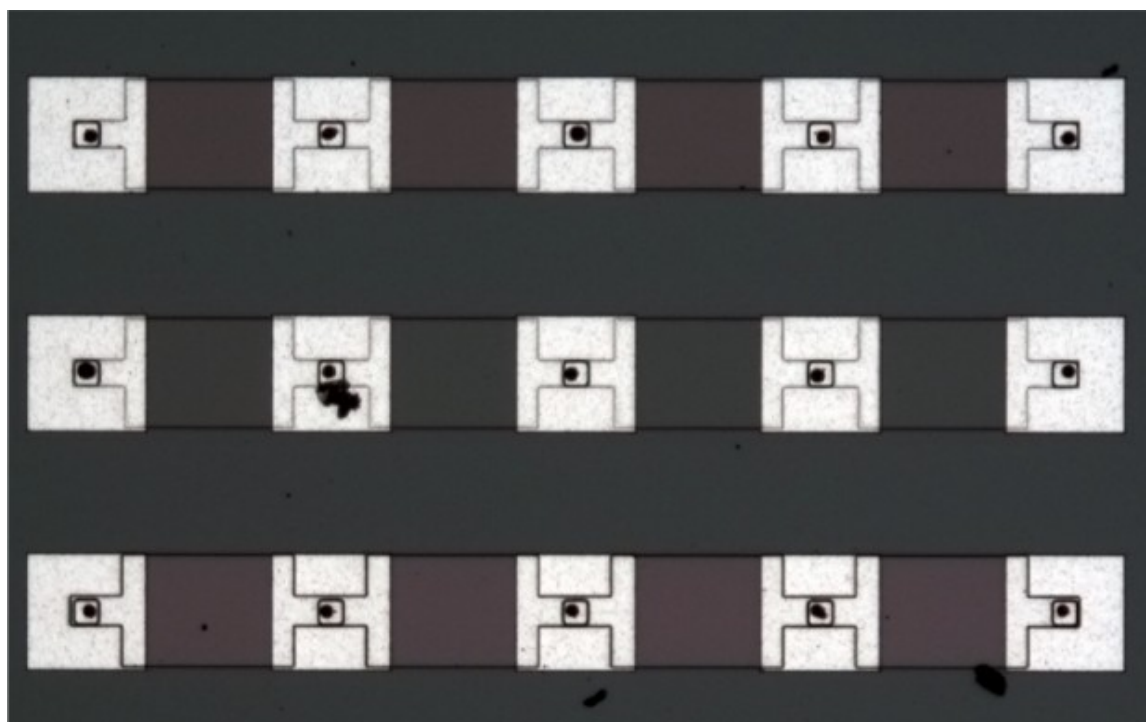
	Feszültség 1mA mellett (V)	Feszültség szórása (V)	Négyzetes ellenállás (Ω)
poliszilícium	5,713294	0,151661	25,89471
<i>N+</i> adalékolt réteg	5,449765	0,147438	24,7003
<i>P+</i> adalékolt réteg	32,04048	0,529275	145,219

Megfigyelhető, hogy az *N+* adalékolt réteg és a poliszilícium vezetési tulajdonságai nagyon hasonlóak. Ennek oka az, hogy (bár eltérő mértékben) a poliszilícium réteget is adalékolják a technológia során foszfor atomokkal, épp a vezetőképesség javítása érdekében.

Kontaktussorozat

Parazita ellenállást képviselnek az alumínium fémezés, illetve a többi réteg (poliszilícium, *N+* illetve *P+* adalékolt rétegek) közötti kontaktusok átmeneti ellenállása. A kontaktusellenállás meghatározására egy kontaktussorozat áll rendelkezésre. Az adott rétegre egymástól egyenlő távolságban öt kontaktust nyitottak. Két tűvel kell ellenállásmérést végezni az ábrán oly módon, hogy az egyik tűt az egyik szélső padre tesszük, a másikkal pedig sorban végiglépünk a többi paden. A kapott ellenállásértékeket ábrázoljuk a távolság függvényében, majd egyenest illesztünk rájuk. Az egyenes az ellenállástengelyt nagyjából az átmeneti értékénél metszi.

A kontaktusok mérete 20x20 μm .



18. ábra: Kontaktussorozat

	poliszilícium	<i>P+</i> adalékolt réteg	<i>N+</i> adalékolt réteg
átmeneti ellenállás (Ω)	45,82222	0,411111	668,9917

Láthatóan a $P+$ rétegre ad nagyon jó kontaktust az alumínium fémezés. Ennek oka az, hogy az alumínium maga is P típusú szennyező. A másik két rétegre nagyobb ellenállású is a kontaktus, hiszen a polyszilícium is $N+$ adalékolással rendelkezik, bár ez az adalékolás kisebb mértékű, mint az $N+$ réteg esetében.

Tranzisztor modell*

Integrált áramkörök esetén nincs mód olyan egyszerűen és gyorsan prototípusok, tesztáramkörök készítésére, mint diszkrét elemekből összeállított áramkörök esetében. Ebből következően a tervezésnél sokkal körültekintőbben kell eljárni, például ellenőrizni az áramkör elektromos működési paramétereit. Természetesen bizonyos bonyolultság fölött a kézzel való számítások túl bonyolulttá válnak, így a számítógépek piacra kerülésével megjelent az igény a számítások gépi elvégzésére. Az egyik legerősebb program az 1973-ban a Berkeley egyetemen, Laurence Nagel által írt SPICE (Simulation Program with Integrated Circuit Emphasis) lett.

A SPICE gyors elterjedését annak köszönheti, hogy tartalmazta az áramköri analízis minden lényeges eszközét (AC és DC analízis, zajanalízis, tranziens vizsgálat stb.), a szimulációhoz szükséges eszközmódellet, mindezt az integrált áramkörök vizsgálatához is megfelelő módon. Ennek ellenére a program erőforrásigénye nem volt magas, az átlagos bonyolultságú problémák kezelése szerényebb teljesítményű számítógépeken sem jelentett gondot.

Ily módon a SPICE nagy népszerűségnek örvendett szimulációval foglalkozó szakemberek körében, az évek során több változata is elkészült, melyek precízebb vizsgálatra adtak lehetőséget, több funkcióval rendelkeztek, gyakorlatilag ipari sztenderddé vált. Ezt az a tény is elősegítette, hogy a SPICE a kezdetektől fogva nyílt forrású, jó néhány, jelenleg is kereskedelmi forgalomban lévő szimulációs program alapjául szolgált. Az általa használt eszközmódellet pedig gyakorlatilag az összes hasonló program támogatja.

Emiatt amikor egy adott integrált áramköri technológiát vizsgálunk, célszerű az elektromos eszközök modelljeit a SPICE-nak megfelelő formátumban elkészíteni, az ehhez szükséges modellparamétereket meghatározni. Így az elkészült modelljeink szinte bármely, az iparban használatos szoftverben használhatóak lesznek (a tanszéken használt Cadence Spectre is SPICE alapú).

A SPICE második változatában 3 alapvető MOS modell került bevezetésre. Később, a nagyfrekvenciás áramkörök, és a mély szubmikron tartományban fellépő jelenségek precíz vizsgálatához új, bonyolultabb modellekkel egészítették ki ezeket (BSIM modellek, EKV stb.). Mivel a jelen esetben vizsgált technológia esetén a fenti hatások nem játszanak szerepet, elegendő valamelyik alsóbb szintű tranzisztor modell összeállítása[10].

Spice Level 1 MOSFET modell^{[9][10]}

A SPICE 1. szintű MOSFET modellje a Sichmann és Hodges által 1968-ban közölt[9] tranzisztormodell egyenleteit használja fel a szimulációhoz. Ennek alapján a drain áram (I_D) a következőképp alakul a működési tartományoktól függően:

- Zárótartományban ($V_{GS} < V_{th}$):

$$I_D = 0 \qquad 2.1.$$

* A fejezetben ismertetett tranzisztormodellek, azok egyenletei a [9]-es, a mérési módszerek és a számítások a [10]-es számú irodalomban találhatóak

- Lineáris tartományban ($0 < V_{DS} < V_{GS} - V_{th}$):

$$I_D = KP \frac{W_{eff}}{L_{eff}} (1 + \lambda V_{DS}) (V_{GS} - V_{th} - \frac{V_{DS}}{2}) V_{DS} \quad 2.2.$$

- Telítési tartományban ($0 < V_{GS} - V_{th} < V_{DS}$):

$$I_D = \frac{KP W_{eff}}{2 L_{eff}} (1 + \lambda V_{DS}) (V_{GS} - V_{th})^2 \quad 2.3.$$

Ahol:

- β számítása: $\beta = KP \frac{W_{eff}}{L_{eff}}$
- KP: transzkonduktancia
- W_{eff} : effektív csatornaszélesség
- L_{eff} : effektív csatornahossz, a tervezett hossz laterális diffúzióval korrigált értéke
- λ : csatornahossz-modulációs paraméter, a drainfeszültség növelésével fellépő elzáródás, és az ez okozta csatorna rövidülés mértékét adja meg
- V_{th} : a tranzisztor nyitófeszültsége
- V_{GS} : gate-source feszültség
- V_{DS} : drain-source feszültség
- I_D : draináram

Látható, hogy a modell nem igényel bonyolult számításokat, és relatív kevés paraméterrel dolgozik. Ezek adják előnyeiket és hátrányait is, ahogy azt a következőkben látni fogjuk.

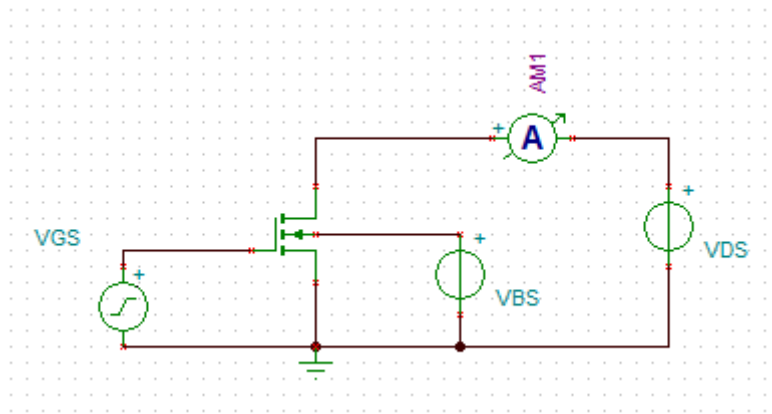
Level 1 modellparaméterek meghatározása:

Ahogy a 2.1 – 2.3 egyenletekből kiderül, a legegyszerűbb modell esetén a transzkonduktancia és a nyitófeszültség meghatározása szükséges egy tranzisztor modellezéséhez, ezentúl a λ megadásával pontosíthatjuk a modellt.

A paraméterek meghatározásához szükséges méréseket 400/400 μm -es csatornájú tranzisztorokon végeztem. Egyrészt a $W/L = 1$ arány egyszerűsíti a számításokat, másrészt ilyen nagy méretek esetén az elillesztések, technológiai szórás stb. okozta csatornahossz és csatornaszélesség eltérése a tervezettől elhanyagolható.

A nyitófeszültség és a transzkonduktancia meghatározásához a tranzisztorok transzfer karakterisztikáit mértem, lineáris tartományban. A lineáris tartományban való működést 50mV-os drainfeszültség beállításával biztosítottam.

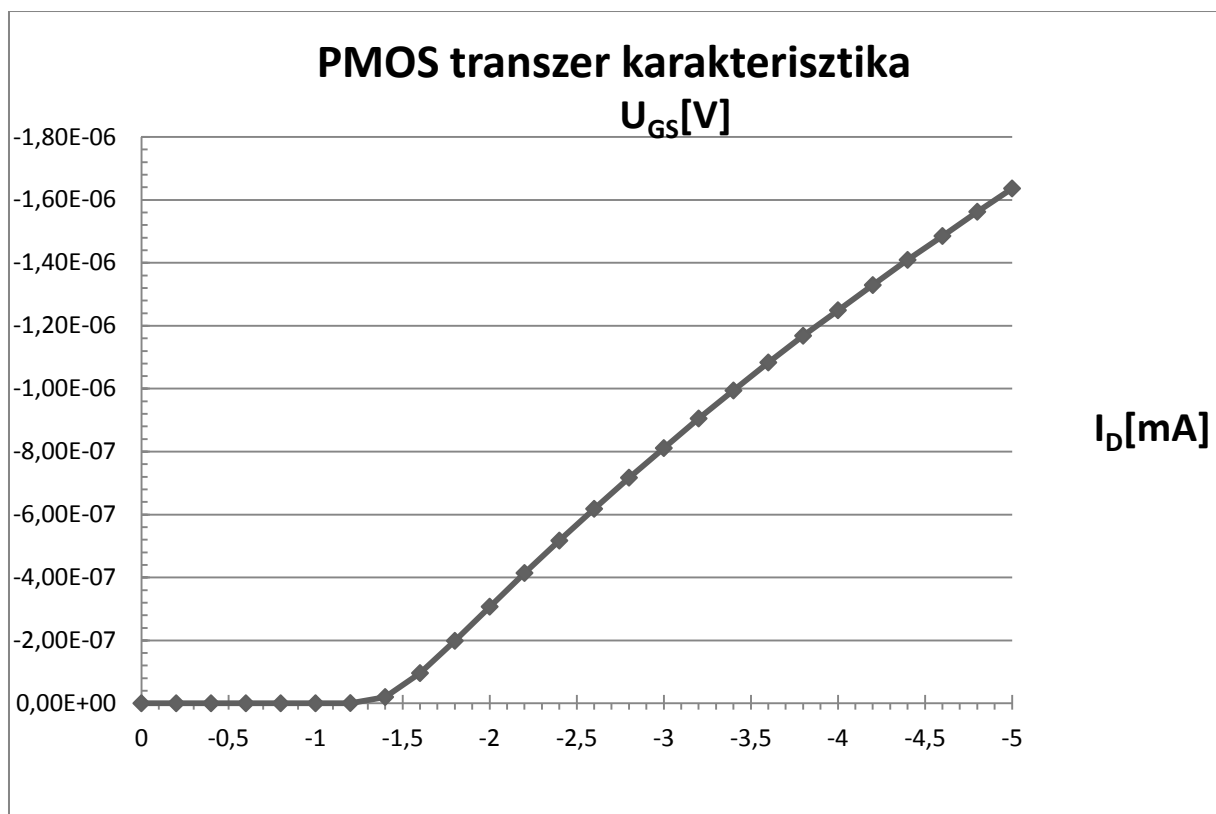
A mérési elrendezés relatíve egyszerű:



19. ábra: Kapcsolási rajz transzferkarakterisztika felvételéhez

A tranzisztor bulk kontaktusa ebben az esetben földre van kötve, tehát $V_{BS}=0$. $V_{DS}=50$ mV mellett változtatjuk a gatefeszültséget, közben mérjük a draináramot.

Egy mért karakterisztika PMOS tranzisztorra:



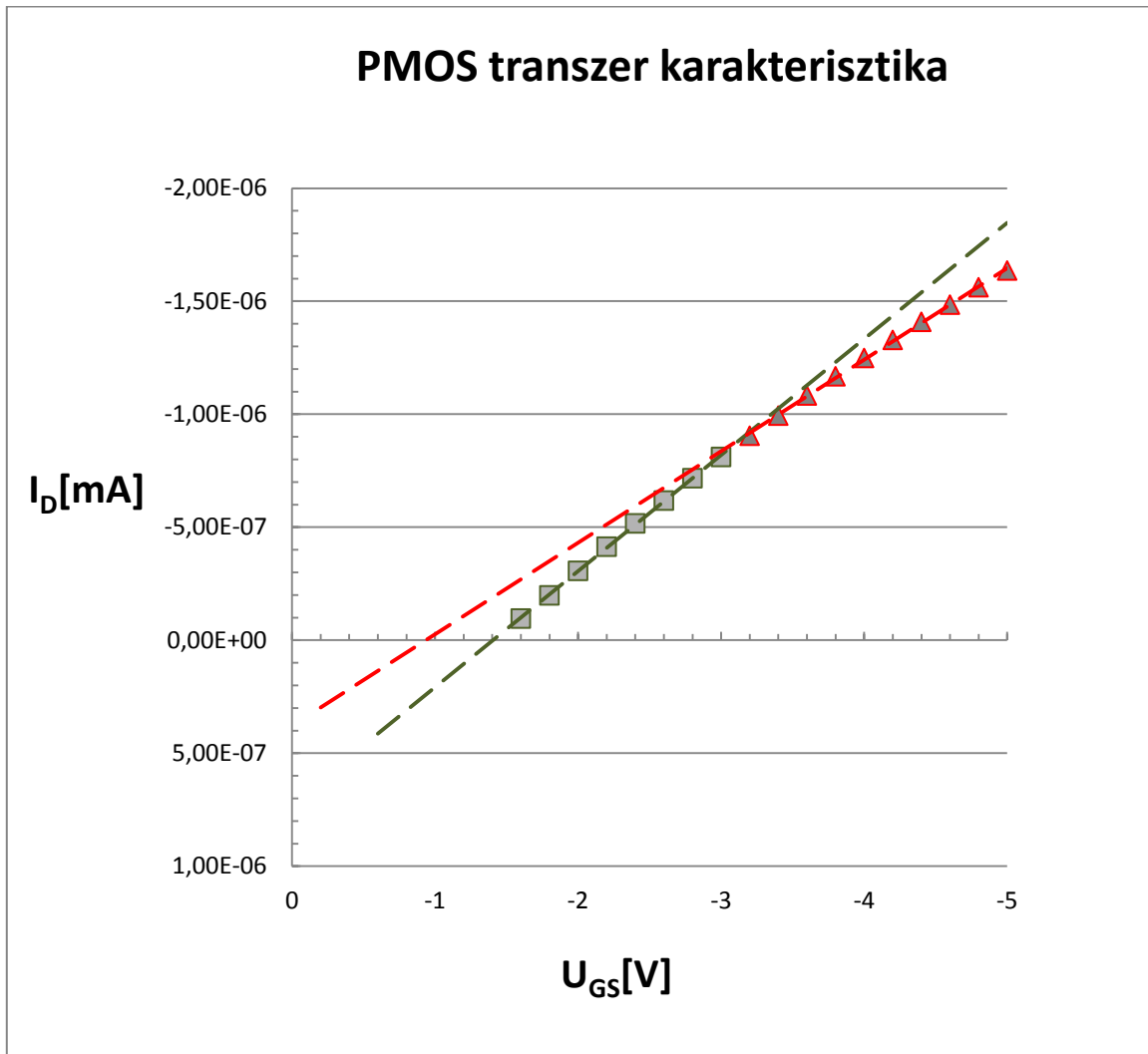
20. ábra: PMOS lineáris transzferkarakterisztika

A nyitófeszültség kiszámításához a karakterisztika nyitó tartományában egyenest illesztünk a mérési pontokra, majd megkeressük a vízszintes tengellyel való metszéspontját. Numerikusan két különböző pont alapján (tehát két-két draináram és gatefeszültség érték alapján) a következőképpen végezhető el a számítás:

$$V_{TH} = \frac{V_{GS1} - (I_{D1}/I_{D2})V_{GS2}}{1 - (I_{D1}/I_{D2})}$$

2.4.

Láthatólag a karakterisztika valójában nem teljesen egyenes (mint ahogy az egyébként az első szintű modell egyenleteiből várnánk), a nyitófeszültséget érdemes az alacsonyabb áramértékeknél vizsgálni. A meredekség csökkenését jól mutatja a 3V alatti illetve 3V fölötti pontokra illesztett egyenesek:



21. ábra: A lineáris PMOS karakterisztika meredekségének változása

A 2.4 összefüggéssel a 3V és 1,6 V közötti tartományból egymás utáni pontokat választva, majd az eredményeket átlagolva a nyitófeszültség: $V_{TH} = -1,345$ V.

A tranzskonduktancia meghatározásához a modell lineáris tartományában érvényes egyenletből induljunk ki. Jelen mérés esetén tehetünk bizonyos elhanyagolásokat, amellyel a karakterisztika egyszerűsödik:

- A drainfeszültség kicsi (50mV), így a $V_{DS}/2$ tag elhanyagolható
- Bár λ -t nem ismerjük, de értéke tipikusan 10^{-2} nagyságrendű, így a $(1 - \lambda V_{DS})$ is elhagyható
- W_{eff}/L_{eff} jó közelítéssel 1-nek vehető a tranzistor méretei miatt

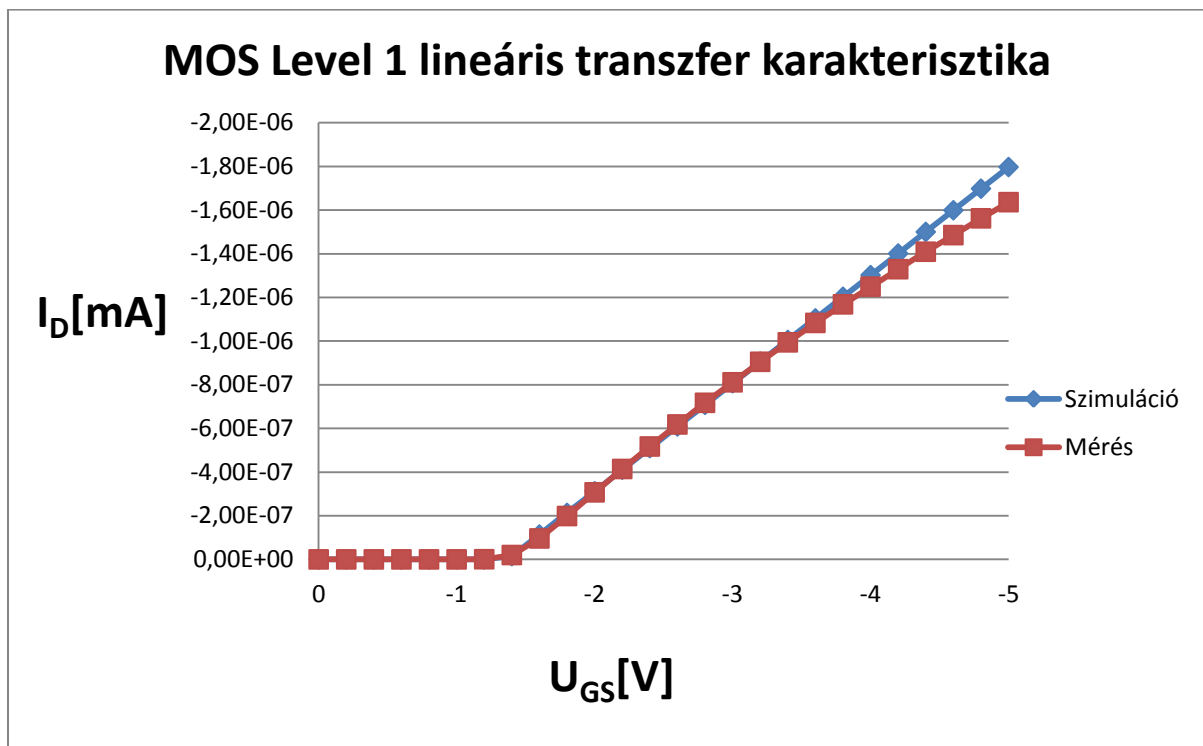
Így:

$$I_{DS} \cong KP(V_{GS} - V_{TH})V_{DS}$$

2.5.

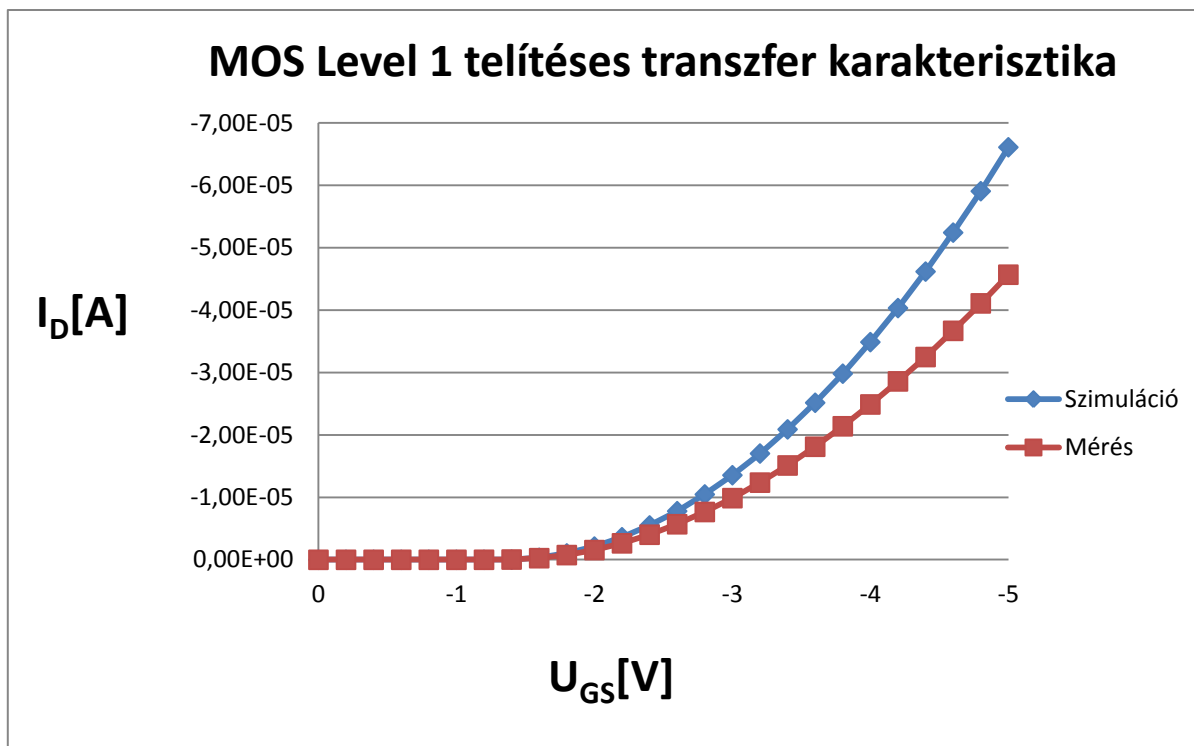
A 2.5 összefüggésből KP-t kifejezve, és mérésből rendelkezésre álló (V_{GS} - I_{DS}) párokra kiszámolva, ezeket átlagolva a transzkonduktancia: $KP=9,901275 \mu A/V^2$

A két kiszámított paramétert egy Spice alapú áramkör-szimulátorral (TINA) szimuláltam. A következő ábrán láthatjuk a szimulált és a mért adatok összevetését:



22. ábra: Spice Level 1 szimuláció és a mérés összevetése lineáris tartományban

Láthatólag a mért karakterisztika meredeksége csökkenni kezd -3V és -4V között, egyébként a szimuláció jól közelíti a mérési eredményeket. Vizsgáljuk meg azonban telítési tartományban is a tranzisztort! A következő ábra 5V-os drainfeszültség mellett mutatja a mért és szimulált görbéket:



23. ábra: Spice Level 1 szimuláció és a mérés összevetése telítési tartományban

Ebben az esetben már jelentős az eltérés a két görbe között. Bár a λ paramétert még nem határoztuk meg, annak korábban említett nagyságrendje miatt nem tudja ellensúlyozni a különbséget.

Az elsőszintű modell legnagyobb hátránya (ahogy jelen példa is mutatja), hogy nem képes egyszerre lineáris és telítési tartományban is ugyanazon paraméterekkel pontos eredményeket adni. Főbb előnyei, hogy a modell egyenletei relatív egyszerűek, ebből következően nem igényel komoly számítási kapacitást, illetve a modellparaméterek meghatározása gyorsan elvégezhető. Használata akkor lehet indokolt, ha a precizitásnál az előbbi két érv fontosabb, esetleg előre garantált, hogy a tranzisztort csak egy adott tartományban fogjuk elsősorban működtetni, ilyenkor az első szintű modell pontossága is kielégítő lehet.

Jelen munka során azonban az első szintű modell pontossága nem kielégítő, így a második szintű modell implementációja mellett döntöttem a magasabb precizitás reményében.

Spice Level 2 MOS modell^{[9][10]}

A SPICE által alkalmazott második szintű MOS tranzisztormodell a Grove-Frohmann modell összefüggéseit használja. Az alkalmazott egyenlet a draináramra ($U_{GS} > V_{T0}$):

$$I_D = \beta \left\{ \left(U_{GS} - U_{BI} - \frac{\eta U_{DE}}{2} \right) U_{DE} - \frac{2}{3} \gamma \left[(\Phi + U_{DE} + U_{SB})^{3/2} - (\Phi + U_{SB})^{3/2} \right] \right\} \quad 2.6.$$

A benne szereplő paraméterek:

- β számítása: $\beta = KP \frac{W_{eff}}{L_{eff}}$
- U_{GS} : gate-source feszültség

- U_{Bi} : beépített feszültség (built-in voltage)
- η : static feedback on threshold voltage
- U_{DE} : effektív drain-source feszültség
- U_{SB} : source-bulk feszültség
- γ : body-effektus paraméter
- Φ : felületi inverziós potenciál

A nyitófeszültség számítása:

$$V_{th} = U_{bi} + \gamma\sqrt{(\Phi - U_{BS})} \quad 2.7.$$

U_{bi} a beépített feszültség:

$$U_{bi} = V_{th0} - \sqrt{\Phi} + (\eta - 1)(\Phi - U_{BS}) \quad 2.8.$$

V_{th0} a zérus bulk-source feszültség esetén érvényes nyitófeszültség. Az első szintű modellnél ezt a paramétert már meghatároztuk, ez továbbra is érvényes maradt, tehát:

$$V_{th0} = -1,345 \text{ V}$$

A β számítása megegyezik az első szintű modellben leírttal. Azonban a Grove-Frohmán modell nem konstans transzkonduktancia értékkel számol. A transzkonduktancia származtatott paraméter, a csatornában lévő töltéshordozók mozgékonyaságától, illetve a gateoxid kapacitásától függ:

$$KP = \mu * C'_{OX} \quad 2.9.$$

A mozgékonyaság az első szintű modellben konstans paraméter, a második szintű modell azonban figyelembe veszi a MOS-ra kapcsolt feszültségek mozgékonyaságra gyakorolt hatását. Ezen jelenség leírására a SPICE a következő összefüggést használja:

$$\mu_{eff} = \mu_0 \left(\frac{\epsilon_{SI}}{\epsilon_{OX}} \frac{U_c t_{ox}}{U_{GS} - U_{TH} - U_t U_{DS}} \right)^{U_e} \quad 2.10.$$

Az összefüggésben szereplő paraméterek:

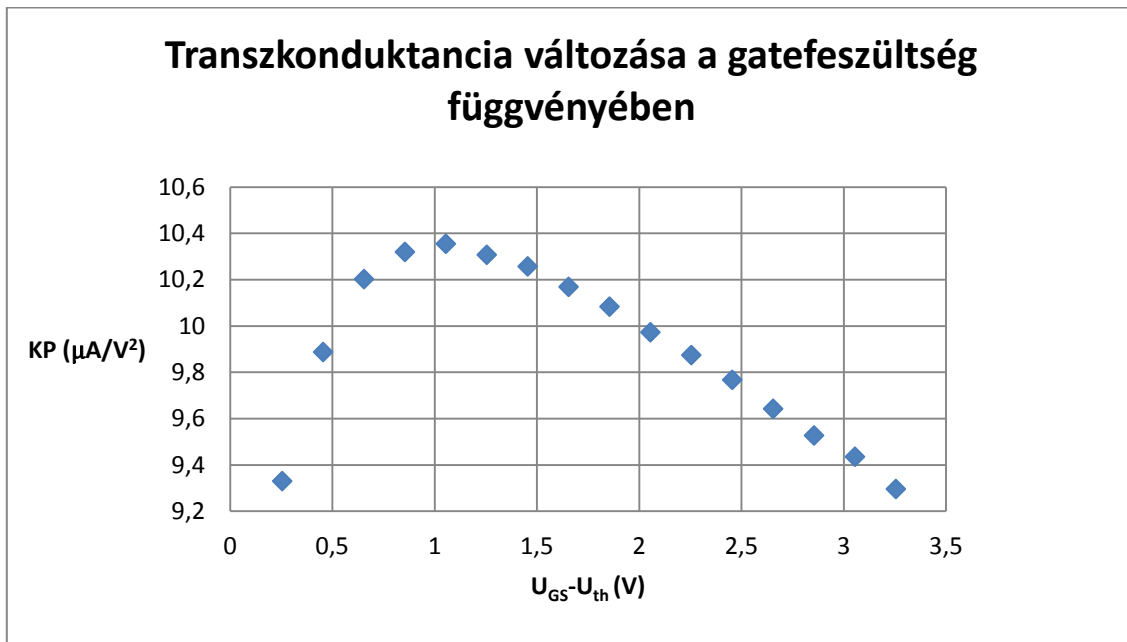
- μ_{eff} : effektív mozgékonyaság
- μ_0 : mozgékonyaság (low-field bulk mobility)
- ϵ_{SI} : szilícium relatív permittivitása
- ϵ_{OX} : szilícium-dioxid relatív permittivitása
- t_{OX} : gateoxid vastagsága
- U_c : mozgékonyaság-degradációhoz tartozó kritikus térerősség
- U_t : transzverzális mező koefficiens (Transverse field coefficient)
- U_e : exponenciális tényező a mozgékonyaság degradációját leíró empirikus formulában

A 2.10 összefüggés nyilvánvalóan felírható KP-ra. Ezen a ponton tennék egy fontos megjegyzést a SPICE modellek összeállításáról: SPICE modell kártya készítésekor nem szükséges az összes lehetséges paramétert megadnunk, sőt! Egyrészt amennyiben nem adunk meg egy adott paramétert, a rendszer egy hozzárendelt alapértelmezett értékkel fog dolgozni. Némely esetben ez egy nagyságrendben általában helyes mennyiség (például nyitófeszültségnél 1V az alapértelmezett), más paramétereknél pedig olyan jellegű, hogy az adott paraméter ne befolyásolja a modell működését (például ha γ -t nem adjuk meg, ennek alapértelmezett értéke 0 lesz, így a body-hatást nem fogjuk figyelembe venni). Másrészt mivel a megadható paraméterek között is vannak összefüggések, összeütközéseket okozhatunk. Például az előbb említett transzkonduktanciát a SPICE közvetlenül fogja használni, amennyiben megadtuk az értékét, ha nem, akkor a 2.9 összefüggés alapján számítja a ki az oxidkapacitásból és a mozgékonyaságból.

Transzkonduktancia

A A nyitófeszültség, illetve a transzkonduktancia meghatározása az előző modellhez hasonló módszerrel történik, bár utóbbi paramétert másképp fogjuk megválasztani. A transzkonduktancia értékét tehát úgy kell megadnunk, hogy annak változását a gatefeszültség (U_{GS}) illetve drainfeszültség (U_{DS}) függvényében tudjuk meghatározni.

Ehhez meg kell keresnünk a nyitófeszültséghez közeli legmagasabb értéket, hiszen a gatefeszültség növelésével KP csak csökkenni tud a 2.10-es összefüggés alapján. Ez az érték $10,354 \mu A/V^2$ 2,4 V-os gatefeszültségnél ,tehát az alsó ábrán körülbelül 1,1V-nál, mivel ott az ún. effektív gatefeszültséget, azaz a gatefeszültség és a nyitófeszültség különbségének függvényében ábrázoltam a transzkonduktanciát (hiszen ezt a paramétert nyitófeszültség felett értelmezzük).



24. ábra: Transzkonduktancia változása

A KP változásának számításához szükséges U_c , U_e paraméterek megállapítása. Az U_t paramétert nem célunk meghatározni. A paraméter alapértelmezett értéke 0,5, azonban a legtöbb SPICE alapú szimulátor nem használja, az eredeti SPICE program sem.

Ábrázoljuk a transzkonduktancia változását a többi paraméter függvényében, logaritmusos skálán, a kapott görbére illesztünk egyenest! Az illesztett egyenes alapján meghatározható U_c , és U_e , értéke a következőképpen:

Az illesztett egyenes egyenlete legyen $y = ax + b$.

Az összefüggés, amivel leírjuk a transzkonduktancia változását:

$$\lg \frac{KP'}{KP} = U_e \left[\lg \frac{t_{OX}\epsilon_{SI}U_C}{\epsilon_{OX}} - \lg(U_{GS} - U_{TH} - U_t U_{DS}) \right] \quad 2.11.$$

Független változónak tekintjük $\lg(U_{GS} - U_{TH} - U_t U_{DS})$ -t, ahol $U_t=0,5$. Függő változónk pedig legyen $\lg \frac{KP'}{KP}$. Ez alapján:

$$y = \lg \frac{KP'}{KP} \quad 2.12.$$

$$x = \lg(U_{GS} - U_{TH} - U_t U_{DS}) \quad 2.13.$$

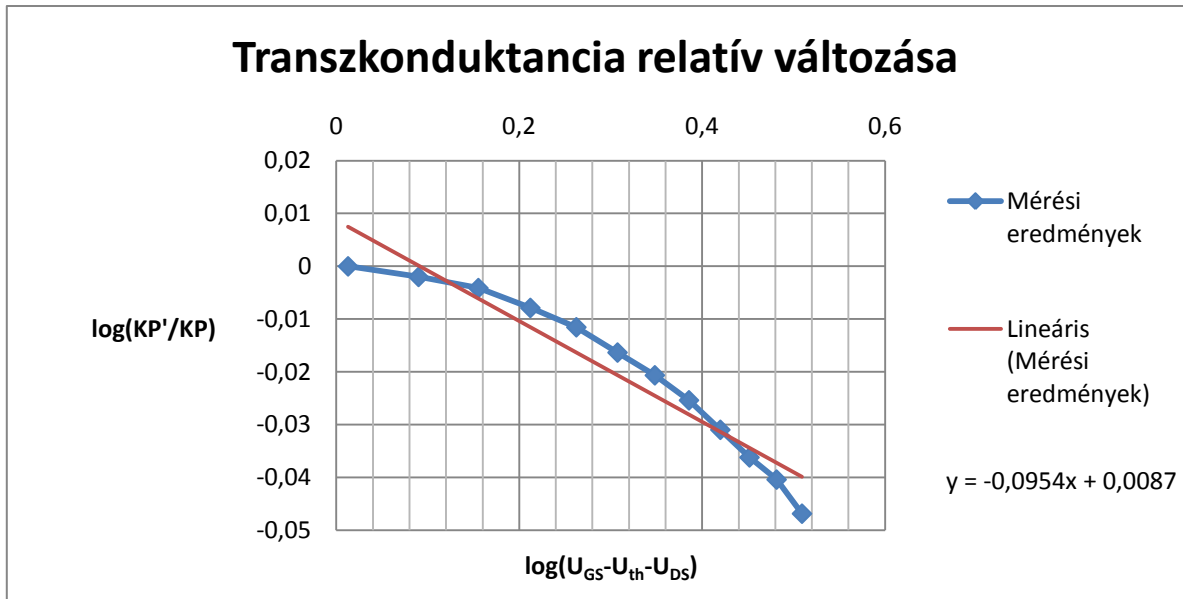
$$a = -U_e \quad 2.14.$$

$$b = U_e \lg \frac{t_{OX}\epsilon_{SI}U_C}{\epsilon_{OX}} \quad 2.15.$$

Így a kívánt paraméterek kifejezhetők:

$$U_e = -a \quad 2.16.$$

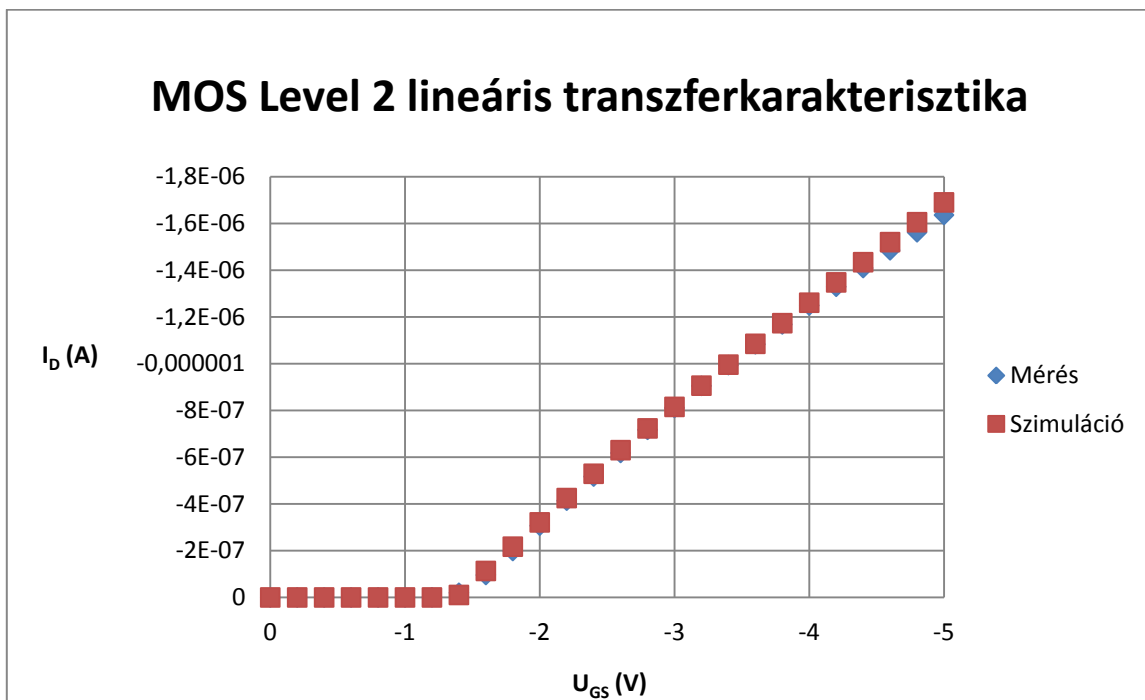
$$U_c = \frac{\epsilon_{OX}}{t_{OX}\epsilon_{SI}} 10^{-b/a} \quad 2.17.$$



25. ábra: Transzkonduktancia relatív változása logaritmikus léptékben

Az illesztett egyenes egyenlete tehát: $y = -0,0954x + 0,0087$

A 2.16 és 2.17 összefüggések alapján: $U_e=0,0954$, $U_c= 68,353$ kV/cm. (A számításhoz szükséges paraméter a gateoxid vastagsága, mely 59,15 nm, meghatározását később részletezem)



26. ábra: Spice Level 2 szimuláció és a mérés összehasonlítása lineáris tartományban

A második szintű modellben implementált paraméterekkel láthatóan jóval pontosabban modellezhető a lineáris karakterisztika, köszönhetően a nem konstans transzkonduktancia alkalmazásának.

Body-hatás együttható

Ismert, hogy amennyiben a MOS tranzisztor U_{BS} bulk-source feszültsége nem nulla, akkor a nyitófeszültség értéke megváltozik (PMOS-ok esetén pozitív, NMOS-ok esetén negatív bulk-source feszültség hatására a nyitófeszültség abszolút értékben megnövekszik). Ezt a hatást a γ paraméterrel szokás modellezni. Meghatározása többféleképpen is történhet, például:

- eszközfizikai megfontolások alapján a meglévő paraméterek alapján számítással
- nem zérus U_{BS} mellett a nyitófeszültség méréséből kalkulálva

Az első módszer esetén a szükséges összefüggés:

$$\gamma = \frac{C'_{OX}}{\sqrt{2q\epsilon_0\epsilon_{SI}N_D}} \quad 2.18.$$

Ahol:

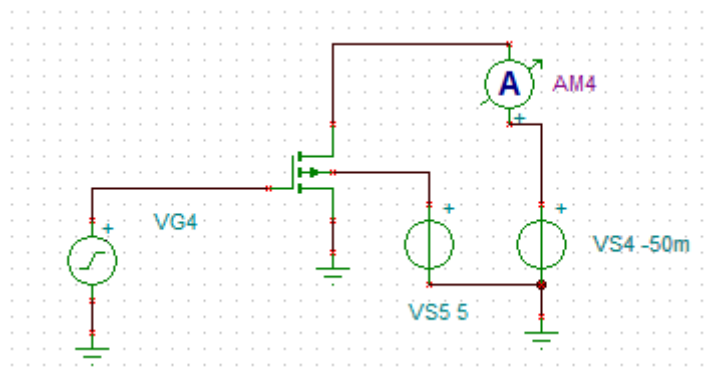
- q : az elemi töltés
- N_D : a donoratomok koncentrációja a szilícium felületén (NMOS tranzisztor esetén az akceptoratomok koncentrációjával kell számolni)

A donoratomok koncentrációja $2,1 \times 10^{16} \text{ cm}^{-3}$ (bár kísérőszelet nem volt a teszthipek mellett, melyen a koncentráció mérhető lett volna, de egy viszonylag pontos SILVACO-modellezés rendelkezésre áll az előbb megjelölt eredménnyel). A számítás eredménye:

$$\gamma \cong 700 \text{ V}^{1/2}$$

A másik említett módszerhez, amellyel a Body-effektus paramétere meghatározható, a nagyméretű tranzisztorok transzfer karakterisztikáit célszerű felvenni, lineáris tartományban. Ahhoz, hogy a nyitófeszültség növekedését vizsgálhassuk, a P csatornás tranzisztorok esetében pozitív, a NMOS-ok esetén negatív bulk-source feszültséget kell beállítanunk. A méréseket és számításokat az eddigiekhez hasonlóan PMOS tranzisztorokra mutatom be.

A mérési elrendezés:



A különböző bulk-source feszültségekkel végzett mérésekből a 2.19 összefüggés szerint számítható γ értéke.

$$\gamma = \frac{V_{TH2} - V_{TH1}}{\sqrt{\Phi - U_{BS2}} - \sqrt{\Phi - U_{BS1}}} \quad 2.19.$$

A felületi inverziós potenciált N típusú félvezető esetén a 2.20 összefüggéssel számíthatjuk (hiszen a PMOS-ok N zsebben kapnak helyet):

$$\Phi = 2 \frac{kT}{q} \ln \frac{N_D}{n_i} \quad 2.20.$$

- kT/q : termikus feszültség (300K-en 26 mV)
- n_i : intrinsic töltéshordozó koncentráció (300K-en $1,015 \cdot 10^{10} \text{ cm}^{-3}$)

A γ paraméter utóbbi módon való mérését idő hiányában egyelőre nem tudtam elvégezni.

Laterális diffúzió

A tesztchipen megtalálhatóak kisebb csatornahosszúságú tranzisztorok is. Ezek többféle mérés szempontjából is hasznosak. A sorozatban csökkenő csatornahosszú tranzisztorok méréseiből például meghatározhatunk egy további fontos paraméter, a laterális diffúzió mértékét.

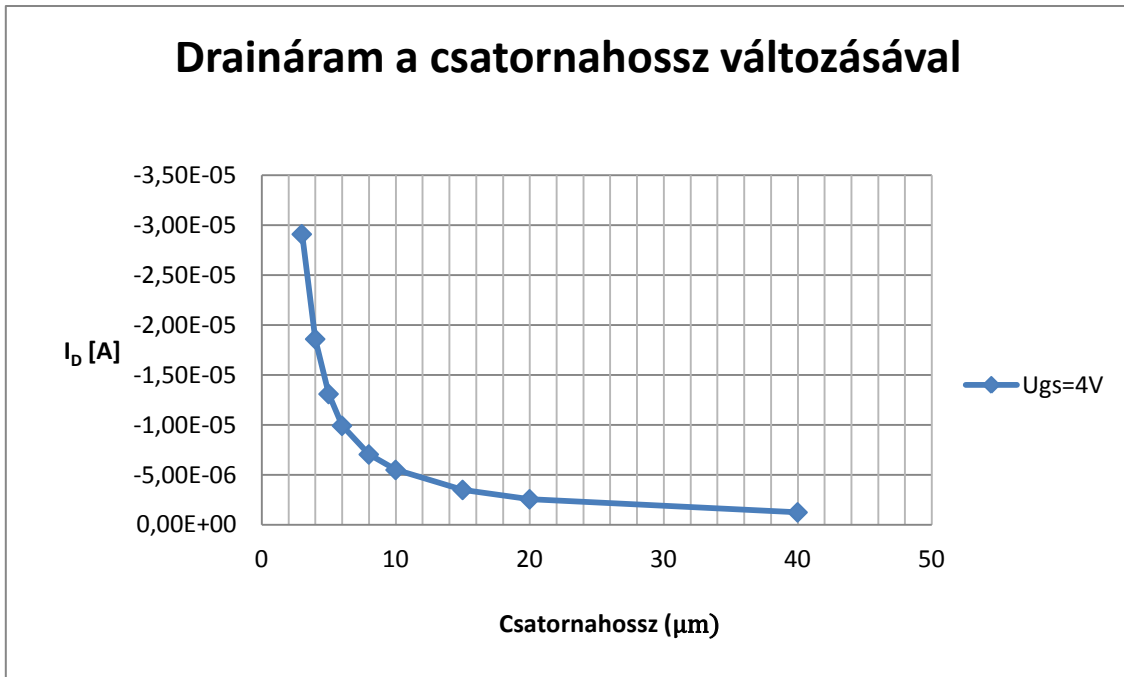
A MOS tranzisztor készítése során a source és drain területek implantálásakor a belőtt adalékatomok kis mértékben a maszkoló poliszilícium gate alá is bejutnak. Azt ezt követő hőkezelések során bekövetkező diffúzió pedig növeli a jelenség mértékét. Így a csatorna nem a teljes gate alatti terület lesz, hanem rövidebb lesz annál. A jelenségnek nincs nagy jelentősége a nagyméretű tranzisztoroknál például az eddig mért $400 \times 400 \mu\text{m}$ -eseknél), de kisebb csatornahossznál már figyelembe kell vennünk, hogy a tervezett W/L arány nem lesz valós!

A laterális diffúzió meghatározását a tranzisztorok csatornaellenállásának mérésével végeztem. A tesztchipen rendelkezésre állnak P - és $NMOS$ -okból is fix 40 mikronos szélességű, egyre csökkenő csatornahosszú tranzisztorok, ezek sorban: 40, 20, 15, 10, 8, 6, 5, 4 és 3 mikrométeresek.

Ha megmérjük ezek csatornaellenállását, és ábrázoljuk a kapott eredményeket, az adatok egy egyenesre fognak esni (hiszen az ellenállás adott keresztmetszet esetén a hosszról lineárisan függ). A csatornaellenállás meghatározásához ismert gate- és drainfeszültség mellett draináramot kell megmérnünk:

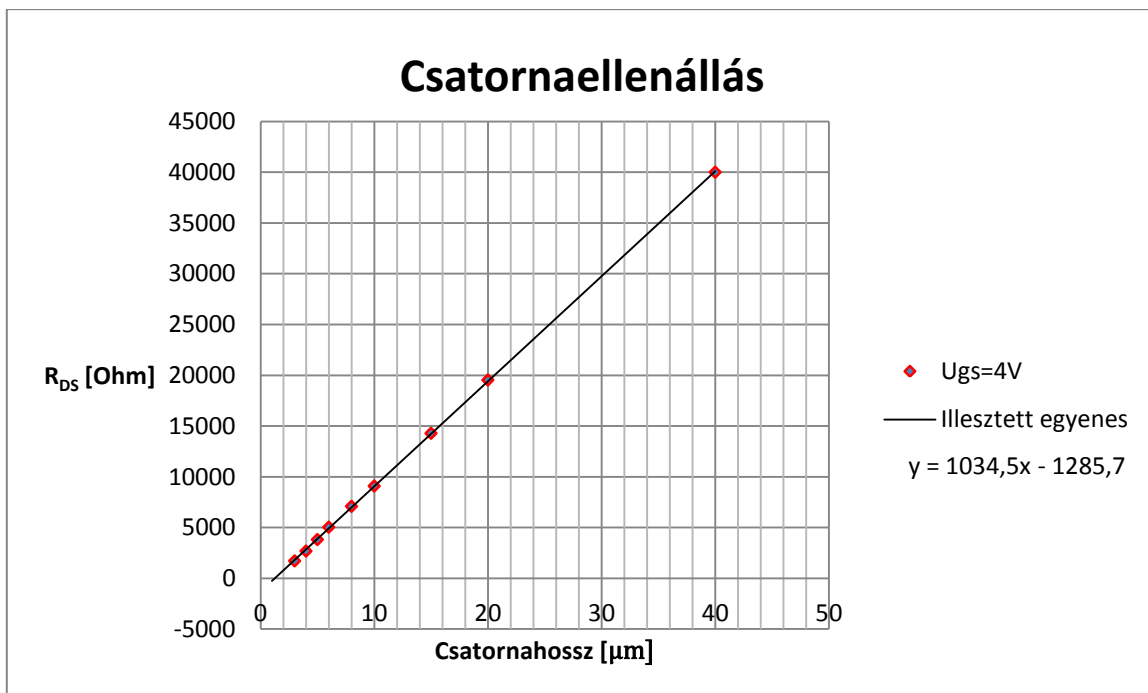
$$R_{DS} = \frac{U_{DS}}{I_D} \quad 2.21.$$

A méréseket a lineáris tartományban, 50mV-os drainfeszültség mellett végeztem, hogy a drainfeszültség növelésével megjelenő csatornaelzáródás ne játsszon szerepet a mérésben. 4V-os gatefeszültséggel a következő áramértékeket kaptam:



27. ábra: Draináram változása a csatornahossz csökkenésével, azonos csatornaszélesség mellett

Az ebből számított csatornaellenállás értékek a csatornahossz függvényében:

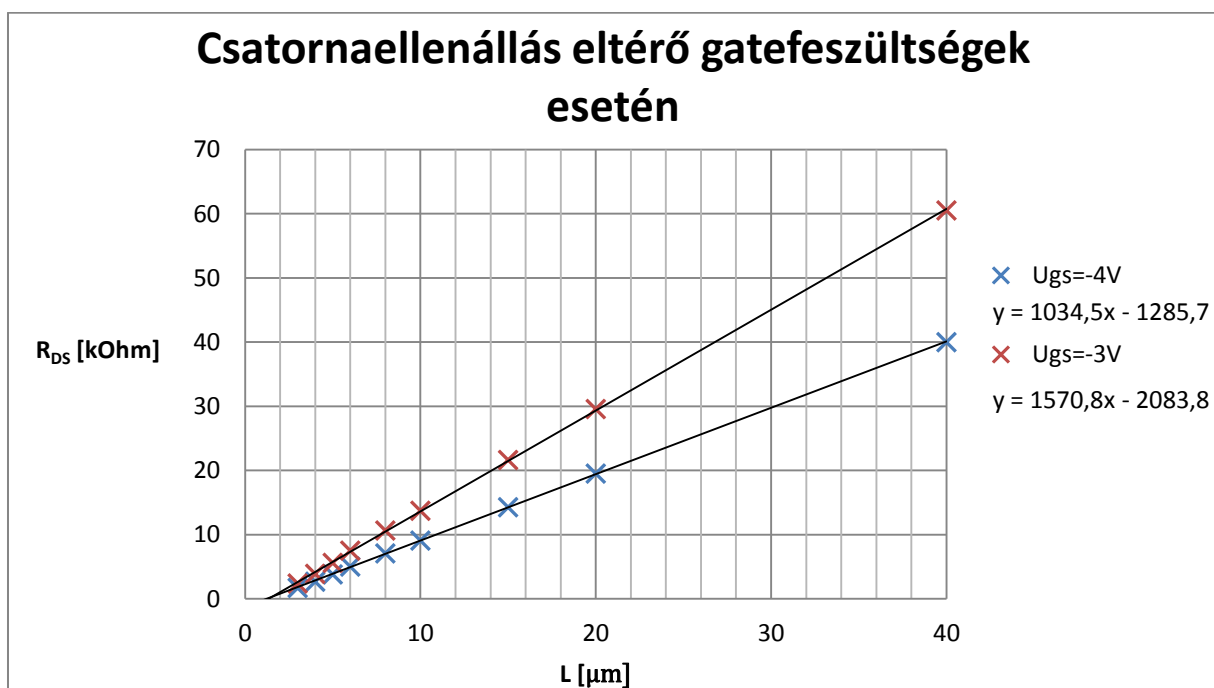


28. ábra: Csatornaellenállás változása a csatornahossz függvényében

Ideális esetben a mérési pontokra illeszthető egyenes az origóból indul. Azonban tudjuk, hogy a megvalósult csatornahossz valójában kisebb, mint a tervezett. Ebből következően nem az origóban lesz 0 ellenállásérték, hanem valamely L_{eff} pozitív hosszértéknél, amely megadja azt a tervezett hosszt, amelynél valójában még 0 hosszúságú a csatorna a laterális diffúzió miatt[10].

Az 26. ábra alapján így 1,24 μm lenne a csatornaszélesség hibája (az illesztett egyenes egyenletéből $y=0$ helyettesítéssel könnyen számítható). Azonban egy jelentős hibát okozó hatást még nem vettünk figyelembe. Ugyanis amikor a csatornaellenállást mértük, a valójában a source és drain területek, és a csatorna ellenállását egyszerre határoztuk meg. Így a mért érték minden esetben több, mint amekkora a csatorna ellenállása. Nulla valós csatornahossznál tehát nem zérus ellenállást mérnénk, hanem a source-drain parazita ellenállást.

A csatornában lévő töltések számát, és ezzel a csatorna vezetőképességét a gatefeszültséggel tudjuk szabályozni, így különböző gatefeszültségek esetén különböző ellenállásértékeket mérünk. A fenti, nulla valós csatornahosszra vonatkozó megállapítás viszont minden esetben igaz lesz. Tehát ha eltérő gatefeszültségekkel végezzük el a fenti mérést, akkor eltérő meredekségű egyeneseket kapunk, melyek (elméletileg) egy pontban metszik egymást. Ezen pont pedig a source-drain parazita ellenálláshoz, illetve a nulla valós csatornahosszhoz tartozik:



29. ábra: Csatornaellenállás vizsgálata különböző gatefeszültségek mellett

Az illesztett egyeneseket felhasználva, és a metszéspontokat meghatározva a következő értékeket kaptam:

$$L_{err} = 1,502 \mu\text{m}$$

$$R_p = 254,223 \text{ Ohm}$$

Amiből a laterális diffúzió és a source illetve drain ellenállás:

$$X_{jl} \cong 0,75 \mu\text{m}$$

$$R_D = R_S = 127,165 \text{ Ohm}$$

Utóbbi értéket azonban nem használom fel modellparaméterként, hanem a rétegellenállás értékeket implementálom, feltételezve, hogy a technológián létrehozott tranzisztorok eltérő source és drain területekkel fognak rendelkezni.

Lehetséges a csatorna szélességének hibáját is meghatározni az előbb ismertetetthez hasonló módszerrel, azonban a tesztchipen nincs olyan tranzisztorsorozat, melynél a csatornaszélesség változik adott csatornahossz mellett. Ebben az esetben a csatornavezetést vizsgálva kellene hasonló módon méréseket, majd számításokat végezni, hisz ez a paraméter a csatornaszélességtől lineárisan függ.

Parazita ellenállások

A source és drain területek által képviselt parazita ellenállást többféleképp is implementálhatjuk a tranzisztormodellbe. Amennyiben különálló tranzisztortípusokkal dolgoznánk (például ha nem integrált technológiáról lenne szó, hanem diszkrét tranzisztorokról), lehetséges lenne egyszerűen az RS és RD paramétereket megadni a modellkártyán. Azonban integrált tranzisztorok esetén a source és drain területek általában változóak, így RSH (sheet resistance, azaz négyzetes ellenállás) paraméterrel kell dolgoznunk. Továbbá a SPICE-ban minden tranzisztorra megadhatóak a source és drain területek nagysága, az NRD és NRS paraméterekkel. Így a négyzetes ellenállásból, és a terület nagyságából számítja ki a program a létrejövő parazita ellenállásokat. Az utóbbi két paraméter kinyerhető a layoutból az Extract futtatása során, amikor a tranzisztorok felismerését végezzük. Az RSH paraméterek PMOS-okra a $P+$ réteg négyzetes ellenállása, NMOS-okra pedig az $N+$ réteg négyzetes ellenállása, amelyeket a „Mérések parazita extrakcióhoz” című fejezetben már meghatároztam, ezen értékek (kerekítve) 24,7 Ω , illetve 145,22 Ω .

Oxidkapacitás

A modellhez szükséges adat a gate oxid fajlagos kapacitása, egyrészt AC szimuláció esetén a MOS-ban jelenlévő kapacitások meghatározásához, másrészt egyéb paraméterekhez, melyek az oxidkapacitásból számíthatóak egyszerűen (például oxidvastagság).

A tesztchipen rendelkezésre állnak nagyméretű kapacitás ábrák (400x400 μm), melyek dielektrikuma a gate oxiddal egyezik meg, a két fegyverzet pedig poliszilícium és $N+$ adalékolt réteg, valamint poliszilícium és $P+$ adalékolt réteg N zsebben. Az oxidkapacitást akkumulációban mértem (-5 V).

A kapacitás értéke $P+$ rétegnél 93,155 pF, $N+$ rétegnél 93,595 pF (az egész szeleten mérve, majd a releváns adatokat átlagolva). Így a fajlagos kapacitás (ismerve a fegyverzetek dimenzióit, az értéket a két rétegből átlagolva):

$$C'_{OX} = \frac{C_{mért}}{A} = \frac{93,375 \text{ pF}}{160.000 \mu\text{m}^2} = 584 \frac{\mu\text{F}}{\text{m}^2} \quad 2.22.$$

A fajlagos kapacitásból meghatározhatóak a C_{GDO} és C_{GSO} paraméterek, amelyek a gate-drain illetve gate-source kapacitásokat adják meg. Ezek a gateoxid-kapacitás, és a laterális diffúzió ismeretében becsülhetők[10].

$$C_{GDO} = C_{GSO} = C'_{OX} X_{jl} = 8.22 \cdot 10^{-10} \frac{\text{F}}{\text{m}} \quad 2.23.$$

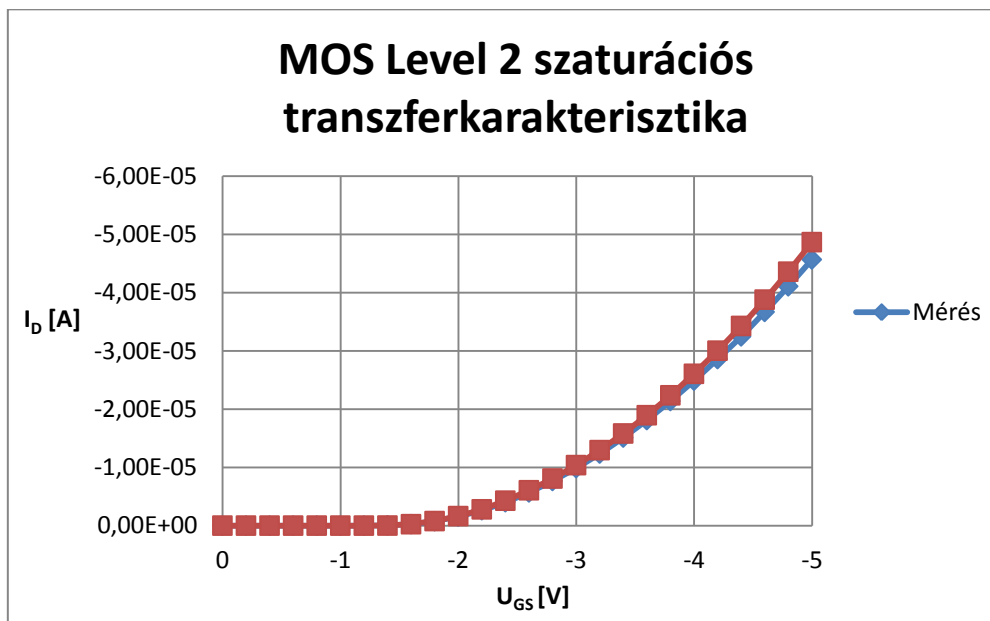
Ismerve a kapacitásértékeket, illetve a kapacitások geometriai adatait, a dielektrikum vastagsága, azaz a gateoxid-vastagság könnyen meghatározható:

$$C' = \varepsilon_{ox} \frac{A}{t_{ox}}, \text{ amiből: } t_{ox} = \varepsilon_{ox} \frac{A}{C} \quad 2.24 \text{ és } 2.25$$

A mérési adatok alapján $t_{ox} = 59 \text{ nm}$ $P+$ adalékolású réteg esetén, és $t_{ox} = 59,3 \text{ nm}$ $N+$ adalékolásnál, a modellben a kettő átlagát, tehát $59,15 \text{ nm}$ -t implementáltam. Ugyanez az érték érvényes mindkét tranzisztortípusra, ugyanis a gate oxid egy lépésben kerül kialakításra az egész szeleten. Tehát az eltérés a $P+$ és $N+$ alapon lévő kapacitások oxidvastagsága között nem az adalékolástól függ, csupán a szelet különböző részein a helytől függően változik valamelyest. A teszchip technológiai lépései során a gateoxid készítésénél eredetileg 60 nm -es vastagság volt a kitűzött cél, amelyet láthatólag relatív kis hibával sikerült is megvalósítani.

Ezzel gyakorlatilag a második szintű modell összes fontos paraméterét meghatároztuk. A többi paraméter jelen esetben elhagyható, ugyanis olyan jelenségekkel vannak kapcsolatban (rövidcsatorna-effektus, keskenycsatorna-effektus), melyek a jelen technológián nem játszanak szerepet.

A modell teljesítőképességét már megvizsgáltuk lineáris tartományban, bár ott az első szintű modell is elfogadhatóan teljesített. Ebben az esetben már azonban a szaturációs tartománybeli szimulált értékek is elfogadható mértékben követik a mérési eredményeket:



30. ábra: Spice Level 2 szimuláció és a mérés összevetése szaturációs tartományban

Tranzisztorparaméterek összesítése

A SPICE modellkártya az előzőek alapján a következő adatokat tartalmazza:

Paraméter neve	Jelölés	Érték
Nyitófeszültség	V_{t0}	-1,345 V
Transzkonduktancia	KP	10,354 $\mu\text{A}/\text{V}_2$
Oxidkapacitás	C_{ox}	584 $\mu\text{F}/\text{m}^2$
Body-effektus paramétere	γ	700 $\text{mV}^{1/2}$
Felületi inverziós potenciál	Φ	756 mV
Gate-Source kapacitás	CGSO	327,6 pF/m
Gate-Drain kapacitás	CGDO	327,6 pF/m
Source és Drain négyzetes ellenállása	R_{sh}	
Oxidvastagság	t_{ox}	59,15 nm
Laterális diffúzió	ld	750 nm
Exponenciális koefficiens	U_e	0,954
Kritikus térerősség	U_c	68,353 kV/cm

Összegzés

TDK munkámban bemutattam a technológia implementálásának összes fázisát, a monitorozó mérésektől kezdve a Cadence rendszerhez való illesztésig. Immáron lehetséges az Elektronikus Eszközök Tanszékén alkalmazott szoftveres környezetben tervezni az MTA-MFA technológiájára, a szokásos layout tervező, verifikációs és szimulációs eszközök segítségével. Néhány kiegészítés még szükséges, ezeket a közeljövőben szeretném elvégezni. Ilyen feladatok a parazita extrakt teljessé tétele a parazita kapacitások implementálásával, az eszközextrakció elkészítése, és ezek alapján az LVS szabályok elkészítése. Továbbá a tranzisztormodell jelenleg csak a PMOS tranzisztorokra készült el. A munka kezdetén rendelkezésre álló TCC szeleteken az NMOS tranzisztorok nem voltak alkalmasak a mérések elvégzésre, az egyik szeleten egy technológiai hiba miatt, más szeleteken pedig az N csatornás tranzisztorok kiürítések, azonban a CMOS technológiához, és a SPICE modell alkotásához növekményes eszközök szükségesek. Ez év október elején készültek el új TCC szeletek az MFA-ban, ezek bemérése, és ezzel az NMOS tranzisztor modell összeállítása jelenleg is zajlik.

További terveim között szerepel a technológiamonitorozó chip továbbfejlesztése. Vannak olyan ábrák, melyeket áttervezést igényelnek, ilyen például a Fallon-létra poliszilícium része. A technológia teljesítőképességének, és a tranzisztormodellek pontosságának ellenőrzésére pedig néhány áramköri elemet, illetve komplett áramkört is szeretnék a meglévő, technológiaminősítő struktúrák mellett elhelyezni. Az eddig meglévő chipeken egy inverter, illetve két Ring-oszcillátor kapott helyet. Ezek mérése az újonnan elkészült szeleteken már lehetséges lesz, azonban analóg áramköri elemeket is célszerű lenne elhelyezni, mivel az ilyen felbontású technológia inkább utóbbiaknak kedvez, nagyon nagy bonyolultságú digitális áramkörök készítésére kevésbé alkalmas. Így egy egyszerű műveleti erősítővel, és annak külön mérhető alapelemeivel (például áramtükör) szeretném a tesztchip terveit bővíteni.

Irodalomjegyzék

- 1) Process Design Kits & Rule Decks (PRD) Methodology Guide for IC6.1
- 2) Hajdu Ádám: Technológiai tesztchip tervezése (önálló laboratórium beszámoló)
- 3) Hajdu Ádám: Technológiai monitorozó chip továbbfejlesztése, a bemérés feltételeinek megteremtése, alternatív technológiai lépéssorrend kidolgozása (önálló laboratóriumi beszámoló)
- 4) Hajdu Ádám, Retkes Tamás, Weidisch Tamás Endre: Févezető alapú, 3D tapintásérzékelő MEMS eszköz fejlesztése (TDK dolgozat)
- 5) Virtuoso Technology Data ASCII Files Reference
- 6) Virtuoso Technology Data User Guide
- 7) Cadence Diva Reference
- 8) Assura Physical Verification Command Reference
- 9) HSPICE® MOSFET Models Manual
- 10) Giuseppe Massobrio, Paolo Antognetti: Semiconductor Device Modeling with SPICE